

8 位 MCU
HR7P159B

数 据 手 册

- 产品简介
- 数据手册
- 产品规格

上海东软载波微电子有限公司

2021 年 09 月 23 日

东软载波 MCU 芯片使用注意事项

关于芯片的上/下电

东软载波 MCU 芯片具有独立电源管脚。当 MCU 芯片应用在多电源供电系统时，应先对 MCU 芯片上电，再对系统其它部件上电；反之，下电时，先对系统其它部件下电，再对 MCU 芯片下电。若操作顺序相反则可能导致芯片内部元件过压或过流，从而导致芯片故障或元件退化。具体可参照芯片的数据手册说明。

关于芯片的复位

东软载波 MCU 芯片具有内部上电复位。对于不同的快速上/下电或慢速上/下电系统，内部上电复位电路可能失效，建议用户使用外部复位、下电复位、看门狗复位等，确保复位电路正常工作。在系统设计时，若使用外部复位电路，建议采用三极管复位电路、RC 复位电路。若不使用外部复位电路，建议采用复位管脚接电阻到电源，或采取必要的电源抖动处理电路或其它保护电路。具体可参照芯片的数据手册说明。

关于芯片的时钟

东软载波 MCU 芯片具有内部和外部时钟源。内部时钟源会随着温度、电压变化而偏移，可能会影响时钟源精度；外部时钟源采用陶瓷、晶体振荡器电路时，建议使能起振延时；使用 RC 振荡电路时，需考虑电容、电阻匹配；采用外部有源晶振或时钟输入时，需考虑输入高/低电平电压。具体可参照芯片的数据手册说明。

关于芯片的初始化

东软载波 MCU 芯片具有各种内部和外部复位。对于不同的应用系统，有必要对芯片寄存器、内存、功能模块等进行初始化，尤其是 I/O 管脚复用功能进行初始化，避免由于芯片上电以后，I/O 管脚状态的不确定情况发生。

关于芯片的管脚

东软载波 MCU 芯片具有宽范围的输入管脚电平，建议用户输入高电平应在 V_{IHMIN} 之上，低电平应在 V_{ILMAX} 之下。避免输入电压介于 V_{IHMIN} 和 V_{ILMAX} 之间，以免波动噪声进入芯片。对于未使用的输入/输出管脚，建议设置为输入状态，并通过电阻接至电源或地，或设置为输出状态，输出固定电平。对未使用的管脚处理因应用系统而异，具体遵循应用系统的相关规定和说明。

关于芯片的 ESD 防护措施

东软载波 MCU 芯片具有满足工业级 ESD 标准保护电路。建议用户根据芯片存储/应用的环境采取适当静电防护措施。应注意应用环境的湿度；建议避免使用容易产生静电的绝缘体；存放和运输应在抗静电容器、抗静电屏蔽袋或导电材料容器中；包括工作台在内的所有测试和测量工具必须保证接地；操作者应该佩戴静电消除手腕环手套，不能用手直接接触芯片等。

关于芯片的 EFT 防护措施

东软载波 MCU 芯片具有满足工业级 EFT 标准的保护电路。当 MCU 芯片应用在 PCB 系统时，需要遵守 PCB 相关设计要求，包括电源、地走线（包括数字/模拟电源分离，单/多点接地等等）、复位管脚保护电路、电源和地之间的去耦电容、高低频电路单独分别处理以及单/多层板选择等。

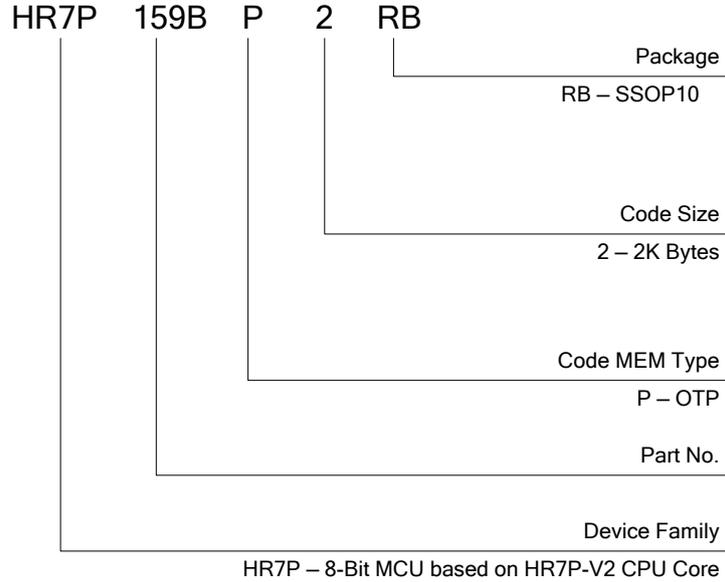
关于芯片的开发环境

东软载波 MCU 芯片具有完整的软/硬件开发环境，并受知识产权保护。选择上海东软载波微电子有限公司或其指定的第三方公司的汇编器、编译器、编程器、硬件仿真器开发环境，必须遵循与芯片相关的规定和说明。

注：在产品开发时，如遇到不清楚的地方，请通过销售或其它方式与上海东软载波微电子有限公司联系。

产品订购信息

型号	OTP	RAM	I/O	Timer	PWM	UART	LVD	封装类型
HR7P159BP2RB	1K Words	128B	7+1INPUT	8-bit X 3	2	1	2	SSOP10



地 址：中国上海市徐汇区古美路 1515 号凤凰园 12 号楼 3 楼

E-mail: support@essemi.com

电 话：+86-21-60910333

传 真：+86-21-60914991

网 址：<http://www.essemi.com>

版权所有©

上海东软载波微电子有限公司

本资料内容为上海东软载波微电子有限公司在现有数据资料基础上慎重且力求准确无误编制而成，本资料中所记载的实例以正确的使用方法和标准操作为前提，使用方在应用该等实例时请充分考虑外部诸条件，上海东软载波微电子有限公司不担保或确认该等实例在使用方的适用性、适当性或完整性，上海东软载波微电子有限公司亦不对使用方因使用本资料所有内容而可能或已经带来的风险或后果承担任何法律责任。基于使本资料的内容更加完善等原因，上海东软载波微电子有限公司保留未经预告的修改权。使用方如需获得最新的产品信息，请随时用上述联系方式与上海东软载波微电子有限公司联系。

修订历史

版本	修改日期	更改概要
V1.0	2015-3-13	初版
V1.1	2015-8-4	<ol style="list-style-type: none"> 1. 删除 BOR 模块配置字 BOREN<1:0>, 更新软件控制位 SREN。 2. 更新 BOR 复位电压点和使能配置字 BORVS<1:0>。 3. 更新芯片工作电压 VDD 改为: 2.1~5.5V。 4. 统一修改公司名称、logo 及网址等。
V1.2	2016-7-7	修改了 WDT 时钟的精度范围等
V1.3	2016-08-16	增加了 N_MRST 脚管脚电压要求
V1.4	2018-1-18	更新芯片简介概述中部分描述。
V1.5	2018-5-17	<ol style="list-style-type: none"> 1. 新增内部高速 32KHz 时钟频率随电压和温度变化图; 2. 更新 PA1/MRSTN 无施密特触发输入相关内容; 3. 更新参数表中 WDT 溢出时间。
V1.6	2018-9-13	<ol style="list-style-type: none"> 1. 更新了内部 HRC 16MHz 全温度范围的偏差为±3%, 更新了 16MHz 随电压-温度变化的曲线图; 2. 增加下电复位电压点选择为 2.7V 或 3.4V 的建议。
V1.7	2019-3-4	<ol style="list-style-type: none"> 1. 添加芯片上电和下电工作条件表; 2. 增加使能位 GIE 的补充说明; 3. 增加了封装尺寸的补充说明; 4. 变更 Logo。
V1.8	2019-7-11	<ol style="list-style-type: none"> 1. 更新 LVD 章节寄存器名称; 2. 更新特殊功能寄存器总表中 LVD0 中断使能位和标志位名称。
V1.9	2021-9-23	<ol style="list-style-type: none"> 1. 更新封装尺寸参数; 2. 更新公司地址。

目 录

内容目录

第 1 章	芯片简介	11
1.1	概述	11
1.2	应用领域	12
1.3	结构框图	13
1.4	管脚分配图	14
1.4.1	10-pin	14
1.4.2	管脚复用说明	15
第 2 章	内核特性	17
2.1	CPU 内核概述	17
2.2	系统时钟和机器周期	17
2.3	指令集概述	17
2.4	特殊功能寄存器	18
第 3 章	存储资源	20
3.1	概述	20
3.2	程序存储器	20
3.2.1	概述	20
3.2.2	程序区地址映射示意图	20
3.2.3	程序计数器 (PC)	20
3.2.4	程序堆栈	21
3.2.5	程序存储器查表操作	22
3.2.5.1	概述	22
3.2.5.2	操作例程	22
3.2.6	特殊功能寄存器	22
3.3	数据存储器	24
3.3.1	概述	24
3.3.2	数据区地址映射	24
3.3.3	通用数据存储器	24
3.3.4	特殊功能寄存器	24
3.3.5	寻址方式	25
3.3.5.1	直接寻址	25
3.3.5.2	间接寻址	26
3.3.6	特殊功能寄存器	27
第 4 章	输入/输出端口	28
4.1	概述	28
4.2	结构框图	28
4.3	I/O 端口功能设置	29
4.3.1	I/O 端口输入/输出控制	29
4.3.2	I/O 端口弱上拉、弱下拉功能	29
4.3.3	I/O 端口复用功能	29
4.4	端口中断	30
4.4.1	按键中断 (KINT)	30

4.4.2	外部端口中断 (PINT)	30
4.5	I/O 端口操作注意事项	30
4.6	特殊功能寄存器	31
第 5 章	特殊功能及操作特性	34
5.1	系统时钟与振荡器	34
5.1.1	概述	34
5.1.2	时钟源	34
5.1.2.1	外部时钟	35
5.1.2.2	内部高速 16MHz RC 振荡器模式(INTOSCH)	35
5.1.2.3	内部低速 32kHz RC 振荡器模式(INTOSCL)	35
5.1.3	系统时钟切换	36
5.1.3.1	系统上电时序	37
5.1.3.2	系统时钟切换时序	37
5.1.4	系统时钟分频	39
5.1.5	特殊功能寄存器	39
5.2	看门狗定时器	42
5.2.1	概述	42
5.2.2	内部结构图	42
5.2.3	WDT 定时器	42
5.2.4	特殊功能寄存器	43
5.3	复位模块	44
5.3.1	概述	44
5.3.2	上电复位	44
5.3.3	下电复位	44
5.3.4	外部 N_MRST 管脚复位	45
5.3.5	看门狗定时器溢出复位	46
5.3.6	RST 指令复位	47
5.3.7	特殊功能寄存器	48
5.4	低功耗操作	49
5.4.1	MCU 低功耗模式	49
5.4.2	低功耗模式配置	49
5.4.3	IDLE 唤醒方式配置	50
5.4.4	唤醒时序图	50
5.4.5	特殊功能寄存器	51
第 6 章	外设	52
6.1	定时器/计数器模块 (Timer/Counter)	52
6.1.1	8 位定时器/计数器 (T8N)	52
6.1.1.1	概述	52
6.1.1.2	内部结构图	52
6.1.1.3	工作模式	52
6.1.1.4	预分频器	53
6.1.1.5	工作模式	53
6.1.1.6	定时器模式	53
6.1.1.7	同步计数器模式	54

6.1.1.8	特殊功能寄存器	55
6.1.2	两路 8 位 PWM 时基定时器 (T8P1/T8P2)	57
6.1.2.1	概述	57
6.1.2.2	内部结构图.....	57
6.1.2.3	工作模式	57
6.1.2.4	预分频器和后分频器	58
6.1.2.5	工作模式	59
6.1.2.6	定时器模式.....	59
6.1.2.7	PWM 输出模式	59
6.1.2.8	特殊功能寄存器	61
6.2	通用异步接收发送器 (UART)	64
6.2.1	概述	64
6.2.2	波特率配置	64
6.2.3	传输数据格式	64
6.2.4	异步发送器	65
6.2.5	异步接收器	66
6.2.6	UART 使用注意事项.....	67
6.2.7	特殊功能寄存器	67
6.3	低电压检测模块 (LVD0/LVD1)	70
6.3.1	概述	70
6.3.2	LVD 操作	70
6.3.3	特殊功能寄存器	70
第 7 章	中断处理.....	72
7.1	概述	72
7.2	内部结构	72
7.3	中断模式选择	72
7.3.1	默认中断模式	73
7.3.2	向量中断模式	73
7.4	中断现场保护	74
7.5	中断操作	74
7.5.1	中断使能位 GIE 的操作	74
7.5.2	外部中断.....	74
7.5.3	外部按键中断	75
7.5.4	T8N 溢出中断	75
7.5.5	T8Pn(T8P1/T8P2)定时中断	75
7.5.6	T8Pn(T8P1/T8P2)周期中断	75
7.5.7	UART 中断	76
7.5.8	LVDn 中断	76
7.5.9	中断操作注意事项	76
7.6	特殊功能寄存器	77
第 8 章	芯片配置字	80
第 9 章	芯片封装图	81
9.1	10-pin SSOP 封装图.....	81
附录 1	指令集.....	82

附录 1.1	概述	82
附录 1.2	寄存器操作指令	82
附录 1.3	程序控制指令	82
附录 1.4	算术/逻辑运算指令	84
附录 2	特殊功能寄存器总表	86
附录 3	电气特性	91
附录 3.1	参数特性表	91
附录 3.2	参数特性图	94

图目录

图 1-1	HR7P159B 结构框图	13
图 1-2	HR7P159B (SSOP10) 顶视图	14
图 3-1	程序区地址映射	20
图 3-2	堆栈示意图	22
图 3-3	数据区地址映射示意图	24
图 3-4	特殊功能寄存器空间	25
图 3-5	普通直接寻址示意图	26
图 3-6	间接寻址示意图	26
图 4-1	输入/输出端口结构图——PA0/PA2/PA3/PBx	28
图 4-2	输入端口结构图——PA1	29
图 5-1	系统时钟内部结构图	34
图 5-2	晶体/陶瓷振荡器模式 (HS、XT、LP 模式)	35
图 5-3	系统上电时序图	37
图 5-4	INTOSCL 时钟切换到 INTOSCH/HS/XT 时钟	37
图 5-5	INTOSCH/HS/XT 时钟切换到 INTOSCL 时钟	38
图 5-6	低速 LP 时钟切换到 INTOSCH 时钟	38
图 5-7	INTOSCH 时钟切换到低速 LP 时钟	39
图 5-8	看门狗定时器内部结构图	42
图 5-9	芯片复位原理图	44
图 5-10	上电复位时序示意图	44
图 5-11	下电复位时序示意图	45
图 5-12	外部 N_MRST 管脚复位	45
图 5-13	N_MRST 复位参考电路图 1	46
图 5-14	N_MRST 复位参考电路图 2	46
图 5-15	看门狗溢出复位	47
图 5-16	RST 指令复位	47
图 5-17	HS/XT/INTOSCO/INTOSC 模式时, 系统唤醒 IDLE0 时序图	51
图 5-18	LP 模式时, 系统唤醒 IDLE0 时序图	51
图 5-19	HS/XT/INTOSCO/INTOSC/LP 模式时, 系统唤醒 IDLE1 时序图	51
图 6-1	T8N 内部结构图	52
图 6-2	定时器模式时序图	54
图 6-3	计数器模式时序图 (T8NEG=0, T8NCKI 上升沿计数)	55
图 6-4	T8P1/T8P2 内部结构图	57
图 6-5	T8Pn 定时器模式时序图	59
图 6-6	T1n PWM 模式示意图	60
图 6-7	PWM 输出示意图	60
图 6-8	UART 数据格式示意图	65
图 6-9	UART 发送器操作流程	65
图 6-10	UART 发送器发送数据时序图 (9 位数据格式, 第 9 位数据为“0”)	66
图 6-11	UART 接收器操作流程	66
图 6-12	UART 接收器接收数据时序图 (9 位数据格式)	67
图 6-13	LVD 工作时序图	70
图 7-1	中断控制逻辑	72

表目录

表 1-1	管脚说明.....	16
表 4-1	I/O 端口弱上拉	29
表 4-2	I/O 端口弱下拉	29
表 4-3	按键中断.....	30
表 4-4	外部端口中断	30
表 5-1	晶体振荡器电容参数参考表	35
表 5-2	振荡模式切换选择	37
表 5-3	下电复位电压点配置表.....	45
表 5-4	低功耗模式配置表	49
表 5-5	休眠唤醒表	50
表 5-6	休眠唤醒时间表.....	50
表 6-1	T8N 工作模式配置表.....	53
表 6-2	T8N 预分频器配置表.....	53
表 6-3	T8Pn 工作模式配置表	58
表 6-4	T8P1/T8P2 预分频器配置表	58
表 6-5	T8P1/T8P2 后分频器配置表	58
表 6-6	UART 波特率配置表	64
表 7-1	中断处理模式配置表	72
表 7-2	默认中断模式中断逻辑表	73
表 7-3	向量中断模式中断逻辑表	74
附录表 1-1	寄存器操作指令表.....	82
附录表 1-2	程序控制指令表	83
附录表 1-3	算术/逻辑运算指令表.....	85

第 1 章 芯片简介

1.1 概述

- ◆ 内核
 - 高性能哈佛型 RISC CPU 内核
 - 79 条精简指令
 - 指令周期为 2 个系统时钟周期
 - 复位向量位于 000_H，中断向量位于 008_H
 - 支持中断处理，12 个中断源，支持中断向量表
 - CPU 最高工作频率
 - 2MHz (VDD=2.1~5.5V)
 - 20MHz (VDD=3.0~5.5V)
- ◆ 存储资源
 - 992 Words OTP 程序存储器，8 级程序堆栈
 - 128 Bytes SRAM 数据存储器
 - 程序存储器支持直接寻址、相对寻址和查表读操作
 - 数据存储器支持直接寻址和间接寻址
- ◆ I/O 端口
 - 最多支持 7 个 I/O 和 1 个输入
 - PA 端口 (PA0~PA3)
 - PB 端口 (PB0~PB3)
 - 支持 1 个外部端口中断 PINT (PINT0 为输入端)
 - 支持 1 个 5 输入外部按键中断 KINT (KIN0~KIN4 为输入端)
 - 支持独立的可配置内部弱上/下拉输入端口
 - 常温下，弱上下拉电阻匹配精度在±3%以内 (VDD=5V)
- ◆ 复位及时钟
 - 内嵌上电复位电路 POR
 - 内嵌下电复位电路 BOR
 - 内嵌低电压检测中断电路
 - 支持外部复位
 - 支持独立硬件看门狗定时器
 - 支持内部高频 16MHz RC 振荡时钟源
 - 可分频，最低可分频至 32KHz
 - 出厂前，芯片已经在常温 25℃条件下校准，校准精度为±2%
 - 支持内部低频 32KHz RC 振荡器时钟源(用于 WDT 时钟源及可配置为系统时钟源)
 - 支持外部振荡器时钟源
 - 支持高低速系统时钟切换

- 内部低频 32KHz 时钟与内/外部高频时钟切换
- 外部低频时钟与内部高频时钟切换
- ◆ 外设
 - 8 位定时器 T8N
 - 定时器模式（系统时钟）/计数器模式（外部计数时钟输入）
 - 支持可配置预分频器
 - 支持中断产生
 - 8 位 PWM 时基定时器 T8P1/T8P2
 - 定时器模式（系统时钟）
 - 支持可配置预分频器及可配置后分频器
 - 支持两路脉宽调制（PWM）输出扩展功能，PWM 输出精度最大为 9 位
 - 支持中断产生
 - 一路高速异步收发器 UART
 - 支持异步全双工收发
 - 支持 8 位/9 位数据格式
 - 约定数据从最低位开始接收/发送
 - 支持中断产生
 - 两路独立的低电压检测电路 LVD0/LVD1
 - 支持 8 种可配置电压检测，分别是 2.1V/2.4V/3.0V/3.2V/3.6V/3.8V/4.1V/检测外部 LVDIN
 - 支持中断产生
- ◆ 低功耗特性
 - IDLE 电流
 - 3uA@5.0V, BOR/WDT 使能, 25°C, 典型值
 - 动态电流
 - 20uA@32KHz, 5.0V, 25°C, 典型值
 - 500uA@2MHz, 5.0V, 25°C, 典型值
 - 1.5mA@16MHz, 5.0V, 25°C, 典型值
- ◆ 编程及调试接口
 - 支持 ICD 调试
 - 支持编程代码加密保护
- ◆ 设计工艺及封装
 - 低功耗、高速 OTP CMOS 工艺
 - 10 个管脚，采用 SSOP 封装
- ◆ 工作条件
 - 工作电压范围：2.1V ~ 5.5V
 - 工作温度范围：-40°C ~ 85°C

1.2 应用领域

本芯片可用于 LED 灯控、便携式产品和小家电等领域。

1.3 结构框图

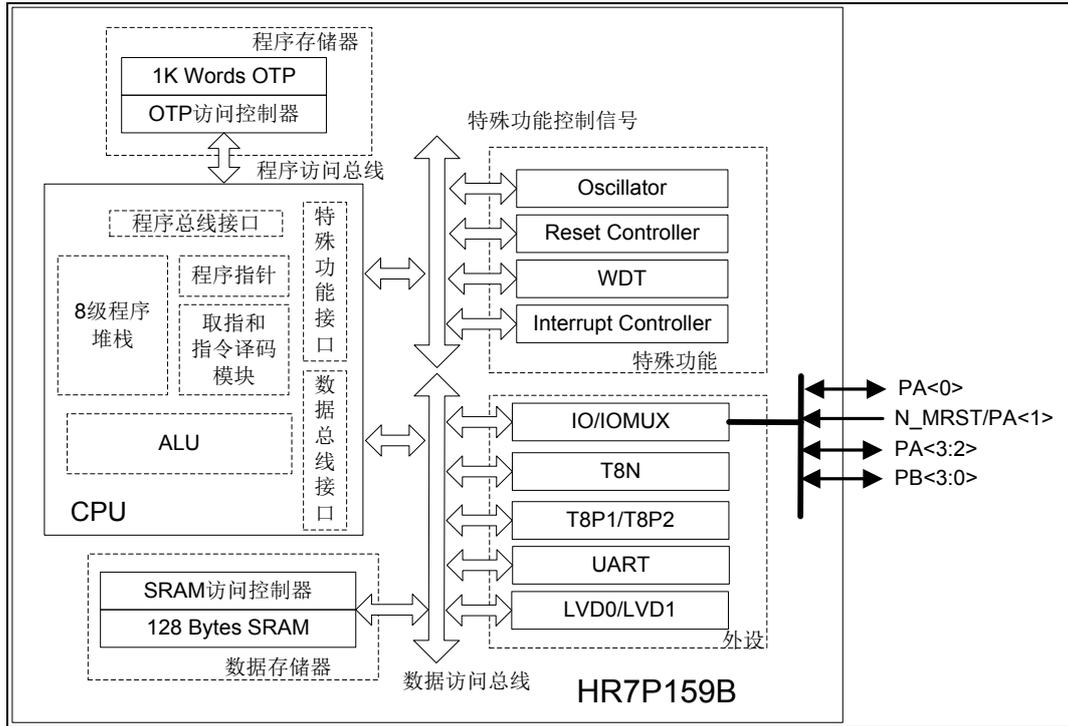


图 1-1 HR7P159B 结构框图

1.4 管脚分配图

1.4.1 10-pin

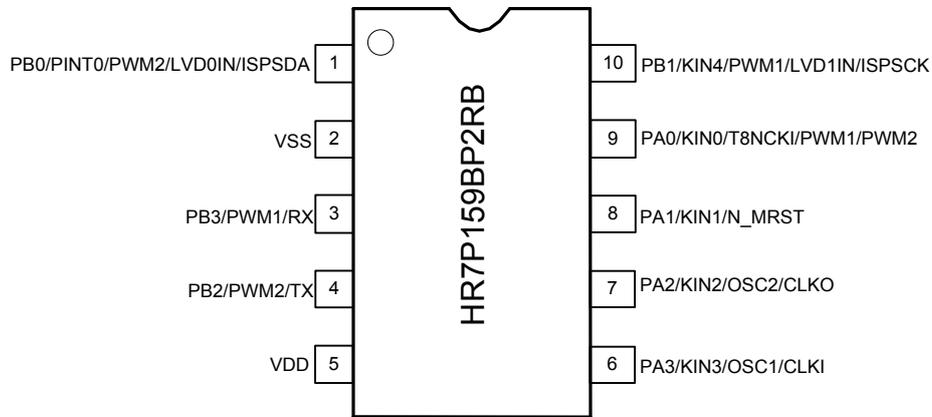


图 1-2 HR7P159B (SSOP10) 顶视图

注 1: N_MRST 表示低电平复位有效;

注 2: T8P1 的 PWM1 输出端口可软件配置。

注 3: T8P2 的 PWM2 输出端口可软件配置。

注 4: 用户系统必须保证 N_MRST 管脚电压低于芯片电源电压 VDD, 否则芯片可能进入异常工作模式。如果该管脚上电压存在过冲, 则用户系统必须限制该脉冲的电压不高于 VDD+0.5V, 脉冲宽度不超过 100us。

1.4.2 管脚复用说明

管脚名	管脚复用	输入类型	输出类型	A/D	端口说明	备注
PA0/KIN0/T8NCKI/PWM1/ PWM2	PA0	TTL	CMOS	D	通用 I/O	可单独使能 弱上/下拉
	KIN0	TTL	—	D	外部按键中断输入 0	
	T8NCKI	TTL	—	D	T8N 时钟输入	
	PWM1	—	CMOS	D	T8P1 为时基的脉宽调制输出	
	PWM2	—	CMOS	D	T8P2 为时基的脉宽调制输出	
PA1/KIN1/N_MRST	PA1	TTL	CMOS	D	通用 I	可单独使能 弱上拉
	KIN1	TTL	—	D	外部按键中断输入 1	
	N_MRST	TTL	—	D	外部复位输入	
PA2/KIN2/OSC2/CLKO	PA2	TTL	CMOS	D	通用 I/O	可单独使能 弱上/下拉
	KIN2	TTL	—	D	外部按键中断输入 2	
	OSC2	—	OSC	A	晶振/谐振器输出	
	CLKO	—	CMOS	D	Fosc/16 参考时钟输出	
PA3/KIN3/OSC1/CLKI	PA3	TTL	CMOS	D	通用 I/O	可单独使能 弱上/下拉
	KIN3	TTL	—	D	外部按键中断输入 3	
	OSC1	OSC	—	A	晶振/谐振器输入	
	CLKI	TTL	—	A/D	时钟输入	
PB0/PINT0/PWM2/LVD0IN/ SPSDA	PB0	TTL	CMOS	D	通用 I/O	可单独使能 弱上/下拉
	PINT0	TTL	—	D	外部端口中断输入 0	
	PWM2	—	CMOS	D	T8P2 为时基的脉宽调制输出	
	LVD0IN	AN	—	A	LVD0 检测输入电压	
	ISPSDA	TTL	CMOS	D	串行编程数据输入输出	
PB1/KIN4/PWM1/LVD1IN/ ISPSCK	PB1	TTL	CMOS	D	通用 I/O	可单独使能 弱上/下拉
	KIN4	TTL	—	D	外部按键中断输入 4	
	PWM1	—	CMOS	D	T8P1 为时基的脉宽调制输出	
	LVD1IN	AN	—	A	LVD1 检测输入电压	
	ISPSCK	TTL	—	D	串行编程时钟输入	

管脚名	管脚复用	输入类型	输出类型	A/D	端口说明	备注
PB2/PWM2/TX	PB2	TTL	CMOS	D	通用 I/O	可单独使能弱上/下拉
	PWM2	—	CMOS	D	T8P2 为时基的脉宽调制输出	
	TX	—	CMOS	D	UART0 数据发送	
PB3/PWM1/RX	PB3	TTL	CMOS	D	通用 I/O	可单独使能弱上/下拉
	PWM1	—	CMOS	D	T8P1 为时基的脉宽调制输出	
	RX	TTL	—	D	UART0 数据接收	
VDD	VDD	Power	—	—	电源	—
VSS	VSS	Power	—	—	地, 0V 参考点	—

表 1-1 管脚说明

注 1: A = 模拟端口, D = 数字端口;
 所有通用数据 I/O 均为 TTL 施密特输入和 CMOS 输出驱动。
 OSC: 晶振输入输出
 Power: 电源输入输出
 AN: 模拟输入

注 2: N_MRST 表示低电平有效;
 注 3: T8P1 的 PWM1 输出端口可软件配置;
 注 4: T8P2 的 PWM2 输出端口可软件配置。

第 2 章 内核特性

2.1 CPU内核概述

- ◆ 内核特性
 - 高性能哈佛型 RISC CPU 内核
 - 79 条精简指令
 - 系统时钟工作频率最高为 20MHz
 - 机器周期为 2 个系统时钟周期
 - 支持中断处理和中断向量表

2.2 系统时钟和机器周期

系统时钟频率（Fosc）最高支持 16MHz。两个系统时钟周期通过片内时钟生成器产生两个不重叠的正交时钟 phase1（p1），phase2（p2）。

两个不重叠的正交时钟周期组成一个机器周期。若系统时钟频率为 4MHz，一个机器周期的时间为 500ns。

2.3 指令集概述

采用 HR7P 系列 79 条精简指令集系统。

除部分条件跳转与控制程序流程的指令为双（机器）周期指令外，其他指令均为单（机器）周期指令。具体指令集请参考《附录 1 指令集》。

2.4 特殊功能寄存器

CPU 相关寄存器包括 10-bit 程序计数器 PCRL/PCRH, 程序状态字寄存器 PSW 和累加器 A 寄存器 AREG。其中程序状态寄存器 PSW 用于存放各个状态标志位, 包括程序出栈/压栈溢出、负数标志位、溢出标志位、零标志位、半进位/半借位标志位, 以及全进位或全借位标志位等。

PSW: 程序状态字寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	UF	OF	N	OV	Z	DC	C
R/W	—	R	R	R/W	R/W	R/W	R/W	R/W
POR	x	0	0	x	x	x	x	x

“x”: 未知

- Bit 7 未使用
- Bit 6 UF: 程序出栈溢出标志位
0: 程序出栈未溢出
1: 程序出栈溢出
- Bit 5 OF: 程序压栈溢出标志位
0: 程序压栈未溢出
1: 程序压栈溢出
- Bit 4 N: 负数标志位
0: 有符号算术或逻辑运算结果为正数
1: 结果为负数
- Bit 3 OV: 溢出标志位
0: 有符号算术运算未发生溢出
1: 发生溢出
- Bit 2 Z: 零标志位
0: 算术或逻辑运算的结果不为零
1: 算术或逻辑运算的结果为零
- Bit 1 DC: 半进位或半借位标志位
0: 低四位无进位或低四位有借位
1: 低四位有进位或低四位无借位
- Bit 0 C: 全进位或全借位标志位
0: 无进位或有借位
1: 有进位或无借位

注 1: 仅部分指令可对 PSW 寄存器进行写操作, 包括 JDEC、JINC、SWAP、BCC、BSS、BTT、MOVA 和 SETR。其它指令对 PSW 寄存器的写操作, 只根据运行结果影响相应状态标志位。

注 2: OF 和 UF 位为只读标志位, 仅上电复位、复位指令和 N_MRST 复位会将其清零, 其他复位不影响该两位标志位。

AREG: 累加器 A 寄存器								
Bit	7	6	5	4	3	2	1	0
Name	AREG<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

“x”: 未知

Bit 7~0 AREG<7:0>: 累加器的值

PCRL: 程序计数器低 8 位								
Bit	7	6	5	4	3	2	1	0
Name	PCR<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 PCR<7:0>: 程序计数器低 8 位

PCRH: 程序计数器高 2 位								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	—	PCR<9:8>	
R/W	—	—	—	—	—	—	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~2 未使用

Bit 1~0 PCR<9:8>: 程序计数器高 2 位

第 3 章 存储资源

3.1 概述

本芯片采用哈佛总线架构，程序寻址空间和数据寻址空间相互独立。

片内存储器资源包括：

- ◆ 992 Words OTP 程序存储器；
- ◆ 128 字节 SRAM

其中 OTP 程序存储器被映射到程序寻址空间，SRAM 数据存储器被映射到数据寻址空间。

3.2 程序存储器

3.2.1 概述

OTP 程序存储器用于存储用户程序。由于芯片指令位宽为 16 位（2 个字节），因此 992 Words OTP 程序存储器被映射到程序寻址空间为 000H~3EFH，其中 3F0H~3FFH 为保留区。每个访问地址对应 16 位宽（2 个字节）的存储单元。通过 10 位程序计数器 PC 进行程序寻址访问。

复位向量位于 000H，中断向量入口地址位于 008H，支持 8 级硬件堆栈。

3.2.2 程序区地址映射示意图

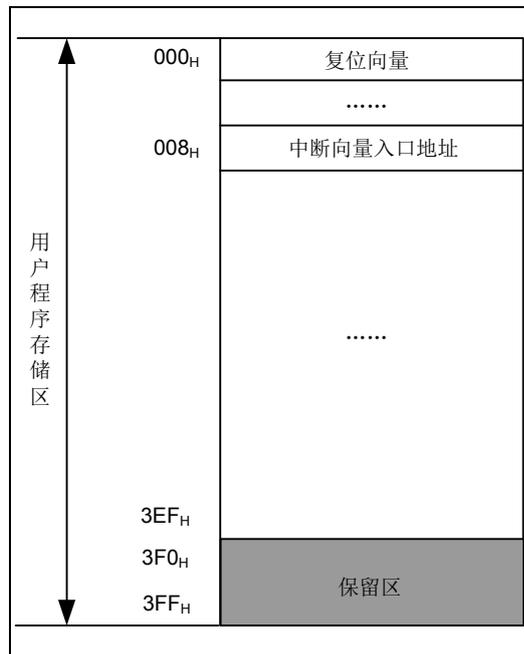


图 3-1 程序区地址映射

3.2.3 程序计数器（PC）

程序计数器中存放的是要执行的下一条指令的地址。PC 在每个指令周期后都会自动加 1，除非 PC 的值被指令或中断异常改写。10 位程序计数器 PC<9:0>，无实际物理地址，不可读写，可寻址 1K 程序存储空间 000H ~ 3FFH，超出地址范围会导致 PC 循环（又从 000H 开始访问）。PC<7:0>可

通过 PCRL 寄存器的读/写操作进行读/写, 而 PC<9:8>通过 PCRH 寄存器来间接(如 RCALL、CALL、GOTO 等指令)赋值。

芯片复位时, PCRL、PCRH 和 PC 都会被清零。PC 硬件堆栈操作不会影响 PCRH 的值。

注: 各种指令对 PC 的影响:

1. 通过指令直接修改 PC 值时, 对 PCRL 为目标寄存器的操作可直接修改 PC<7:0>, 即 PC<7:0>=PCRL<7:0>; 而操作 PC<7:0>的同时也会执行 PC<9:8>=PCRH<1:0>, 因此, 修改 PC 时, 应先修改 PCRH<1:0>, 再修改 PCRL<7:0>。
2. 执行 RCALL 指令时, PC<7:0>为寄存器 R 中的值; 而 PC<9:8>=PCRH<1:0>。
3. 执行 CALL, GOTO 指令时, PC<9:0>为指令中 11 位立即数的低 10 位(操作数)。
4. 执行 LCALL 指令时, 该指令为双字指令共有 16 位立即数(操作数)。PC<9:0>被修改为该 16 位立即数的值的低 10 位; 同时 PCRH<1:0>被修改为 I<9:8>的值。
5. 执行 AJMP 指令时, 该指令为双字指令共有 16 位立即数(操作数)。PC<9:0> 被修改为该 16 位立即数的值的低 10 位, 同时 PCRH 修改为 I<9:8>的值。
6. 执行 PAGE 指令时, PCRH<7:3>的值将被该指令的立即数替换(程序存储器的大小只有 1008 Words, 因此 PCRH<7:3>被固定为全零, 执行 PAGE 指令后 PC 值不受影响)。
7. 执行其他指令时, PC 值自动加 1。

应用实例: 以 PCRL 为目标寄存器的指令应用程序

```

.....
MOVI    pageaddr
MOVA    PCRH        ; 设置表格页面地址
MOVI    tableaddr   ; 设置偏移量给 A 寄存器
CALL    TABLE      ; 调用子程序方式查表
.....
TABLE:
ADD     PCRL, F      ; PC 加上偏移量, 指向访问的地址
RETIA   0X01
RETIA   0X02
RETIA   0X03
.....

```

3.2.4 程序堆栈

芯片内有 8 级程序堆栈(硬件堆栈), 堆栈位宽与 PC 位宽相等, 用于 PC 的压栈和出栈。执行 CALL、LCALL 和 RCALL 指令或中断被响应后, PC 自动压栈保护; 当执行 RET、RETIA 或 RETIE 指令时, 堆栈会将最近一次压栈的值返回至 PC。

程序堆栈只支持 8 级缓冲操作, 即程序堆栈只保存最近的 8 次压栈值, 对于连续超过 8 次的压栈操作, 第 9 次的压栈数据使得第 1 次的压栈数据丢失。同样, 超过 8 次的连续出栈, 第 9 次出栈操作, 可能使得程序流程不可控。芯片复位后, 堆栈指针将重新指向堆栈顶部。

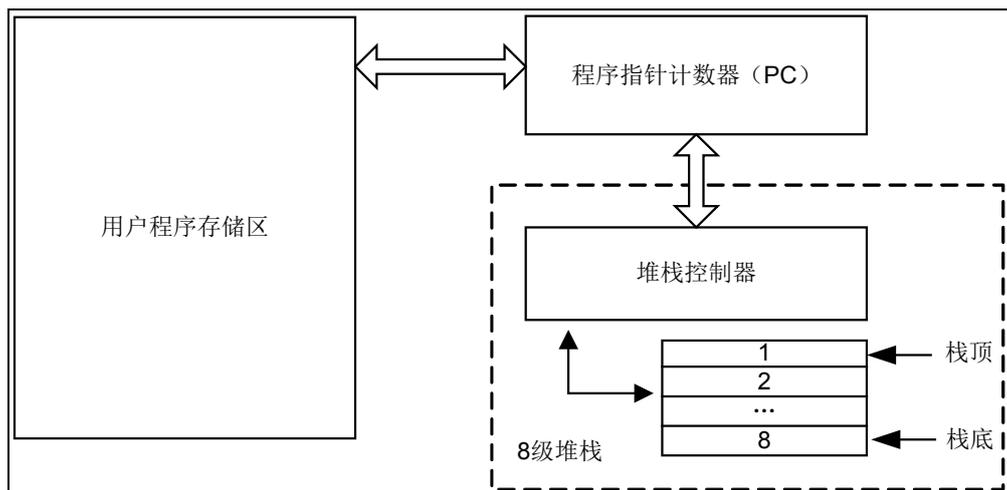


图 3-2 堆栈示意图

3.2.5 程序存储器查表操作

3.2.5.1 概述

程序存储器查表操作只支持查表读操作。

查表读操作通过查表读指令将 FRA (FRAH, FRAL) 所指向的程序存储器地址中的一个字 (Word) 读入 ROMD (ROMDH, ROMDL) 中。

3.2.5.2 操作例程

应用例程 1: 程序存储器查表读。

```

MOVI    0x05           ; 读取程序存储器 0105H
MOVA    FRAL
MOVI    0X01
MOVA    FRAH
TBR
MOV     ROMDH, 0
... ..
MOV     ROMDL, 0
... ..
    
```

3.2.6 特殊功能寄存器

FRAL: 查表地址寄存器低 8 位								
Bit	7	6	5	4	3	2	1	0
Name	FRA<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

“x”: 未知

Bit 7~0 FRA<7:0>: 查表地址低 8 位

FRAH: 查表地址寄存器高 8 位								
Bit	7	6	5	4	3	2	1	0
Name	FRA<15:8>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

“x”: 未知

Bit 7~0 FRA<15:8>: 查表地址高 8 位

ROMDL: 查表数据寄存器低 8 位								
Bit	7	6	5	4	3	2	1	0
Name	ROMD<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

“x”: 未知

Bit 7~0 ROMD<7:0>: 查表数据低 8 位

ROMDH: 查表数据寄存器高 8 位								
Bit	7	6	5	4	3	2	1	0
Name	ROMD<15:8>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

“x”: 未知

Bit 7~0 ROMD<15:8>: 查表数据高 8 位

3.3 数据存储器

3.3.1 概述

- ◆ 数据存储器由 2 部分组成
 - 通用数据存储器 GPR
 - 特殊功能寄存器 SFR
- ◆ 通用数据存储器 GPR
 - 共 1 个存储体组
 - 128 字节，地址范围 00_H~7F_H
- ◆ 特殊功能寄存器 SFR
 - 128 个特殊寄存器
 - 地址范围 FF80_H~FFFF_H
- ◆ 支持 2 种寻址方式
 - 直接寻址
 - 间接寻址

3.3.2 数据区地址映射



图 3-3 数据区地址映射示意图

3.3.3 通用数据存储器

通用数据存储器被用于临时存放数据和控制信息，可以在程序控制下进行读写操作。本芯片通用数据存储器空间为 128 Bytes，地址范围为 0000H~007FH。通用数据存储器的内容在上电复位后是不确定的，未下电的其他复位后，将保存复位前的内容。

3.3.4 特殊功能寄存器

特殊功能寄存器用于芯片对外设操作的控制设定。本芯片支持 128 个特殊寄存器，地址范围 FF80H~FFFFH。大多数寄存器都是可以读写的，仅有少数部分寄存器不对外开放。相关功能所使用的寄存器将分别在各个章节中描述。

FF80 _H	IAD	FFA0 _H	INTG	FFC0 _H	RXB
FF81 _H	IAAL	FFA1 _H	LVD0C	FFC1 _H	RXC
FF82 _H	IAAH	FFA2 _H	LVD1C	FFC2 _H	TXB
FF83 _H	—	FFA3 _H	INTF1	FFC3 _H	TXC
FF84 _H	PSW	FFA4 _H	INTE1	FFC4 _H	BRR
FF85 _H	AREG	FFA5 _H	OSCCAL	FFC5 _H	—
FF86 _H	—	FFA6 _H	WDTCAL	FFC6 _H	—
FF87 _H	FRAL	FFA7 _H	PWRC	FFC7 _H	—
FF88 _H	FRAH	FFA8 _H	OSCC	FFC8 _H	—
FF89 _H	ROMDL	FFA9 _H	WKDC	FFC9 _H	CALPROT
FF8A _H	ROMDH	FFAA _H	OSCP	FFCA _H	—
FF8B _H	PCRL	FFAB _H	WDTC	FFCB _H	—
FF8C _H	PCRH	FFAC _H	PWEN	FFCC _H	—
FF8D _H	—	FFAD _H	—	FFCD _H	—
FF8E _H	PA	FFAE _H	—	FFCE _H	—
FF8F _H	PAT	FFAF _H	—	FFCF _H	—
FF90 _H	PB	FFB0 _H	T8N	FFD0 _H	—
FF91 _H	PBT	FFB1 _H	T8NC	FFD1 _H	—
FF92 _H	—	FFB2 _H	T8P1	FFD2 _H	—
FF93 _H	—	FFB3 _H	T8P1C	FFD3 _H	—
FF94 _H	N_PAD	FFB4 _H	T8P1P	FFD4 _H	—
FF95 _H	N_PBD	FFB5 _H	T8P1RL	FFD5 _H	—
FF96 _H	N_PAU	FFB6 _H	T8P1RH
FF97 _H	N_PBU	FFB7 _H	T8P1OC
FF98 _H	—	FFB8 _H	T8P2	FFF8 _H	—
FF99 _H	—	FFB9 _H	T8P2C	FFF9 _H	—
FF9A _H	—	FFBA _H	T8P2P	FFFA _H	—
FF9B _H	—	FFBB _H	T8P2RL	FFFB _H	—
FF9C _H	—	FFBC _H	T8P2RH	FFFC _H	—
FF9D _H	INTF0	FFBD _H	T8P2OC	FFFD _H	—
FF9E _H	INTE0	FFBE _H	PWM1C	FFFE _H	—
FF9F _H	INTC0	FFBF _H	PWM2C	FFFF _H	—

注：“—”为保留空间，未使用

图 3-4 特殊功能寄存器空间

3.3.5 寻址方式

SRAM 数据存储器的寻址方式支持直接寻址和间接寻址。

3.3.5.1 直接寻址

在直接寻址时，指令中的 8 位地址信息用于 GPR 和 SFR 寻址。当指令中的 8 位地址信息 R<7:0>小于 80_H时，直接寻址 GPR 映射区。当 R<7:0>大于或等于 80_H时，直接寻址 SFR 映射区。

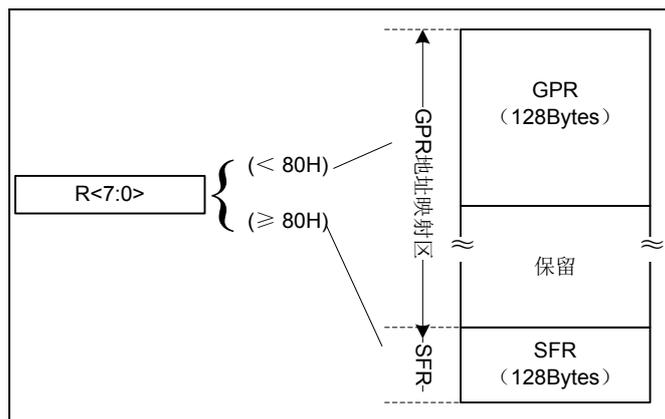


图 3-5 普通直接寻址示意图

3.3.5.2 间接寻址

间接寻址是通过 16 位间接地址寄存器 IAA（由 2 个 8 位寄存器 IAAH 和 IAAL 组成）和 8 位虚拟数据寄存器 IAD 间接访问数据寻址空间中的存储单元，寻址空间为 0000_H~ FFFF_H。先将访问目的地址存放于间接地址寄存器 IAA，再通过指令对 IAD 进行读/写操作，实际的读/写操作对象则是 IAA 指向的数据寻址空间中的目的地址单元。

由于 IAD 寄存器本身也映射到数据寻址空间的 FF80H 地址，因此，当 IAA 存放的地址值为 FF80H 时，读/写 IAD 相当于用间接寻址方式访问虚拟寄存器 IAD 本身，此时读操作将始终读出为 00H，写操作则是一个空操作（可能影响状态位）。

ISTEP 指令，用来对 16 位间接地址寄存器 IAA 进行偏移操作。执行该指令时，先将指令字中的 8 位有符号立即数进行符号位扩展为 16 位数，再将 IAA 的值加上这个数的结果存回 IAA 寄存器。ISTEP 可实现的偏移范围为-128~127。虽然只有 8 位立即数，但是该条指令对整个 IAA(IAAL 和 IAAH)进行 16 位计算。计算的结果依然存放于 IAAL 和 IAAH 中。

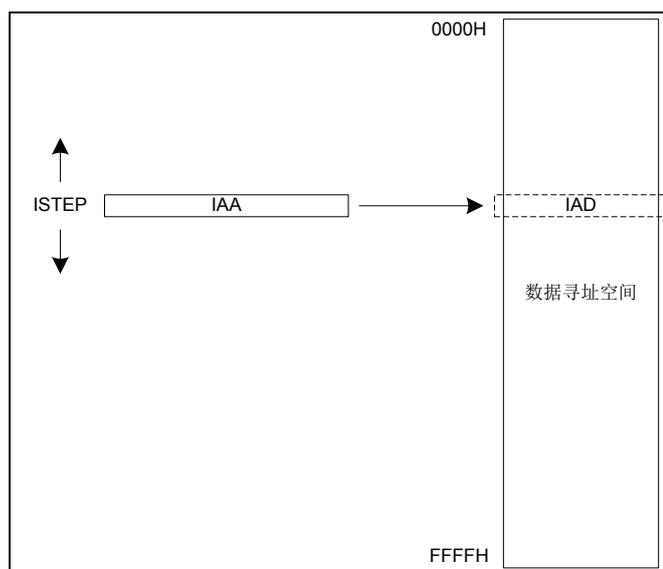


图 3-6 间接寻址示意图

应用例程：采用间接寻址将（020_H~02F_H）的寄存器清零。

```

.....
CLR   IAAH
MOVI  0X20      ; 对指针初始化
MOVA  IAAL      ; IAA 指向 RAM
NEXT1:
CLR   IAD       ; 清零 IAD 寄存器
ISTEP 0X01      ; 指针 IAA 内容加 1
JBS   IAAL, 4   ;
GOTO  NEXT1     ; 未完成，循环到下一个单元清零
CONTINUE:
.....          ; 已经完成，继续执行后面的程序
    
```

3.3.6 特殊功能寄存器

IAD: 间接寻址数据寄存器								
Bit	7	6	5	4	3	2	1	0
Name	IAD<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 IAD<7:0>: 间接寻址数据

IAAL: 间接寻址索引寄存器低 8 位								
Bit	7	6	5	4	3	2	1	0
Name	IAA<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 IAA<7:0>: 间接寻址索引低 8 位

IAAH: 间接寻址索引寄存器高 8 位								
Bit	7	6	5	4	3	2	1	0
Name	IAA<15:8>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 IAA<15:8>: 间接寻址索引高 8 位

第 4 章 输入/输出端口

4.1 概述

输入/输出端口是芯片的最基本组成部分，本芯片最多支持 7 个 I/O 端口和 1 个输入端口。除 PA1 为 TTL 输入外，其它所有 I/O 端口都是 TTL/SMT 输入和 CMOS 输出驱动。

◆ PA 输入/输出端口功能组件

- 3 位双向输入/输出和 1 位输入端口
- TTL/SMT 输入和 CMOS 输出驱动
- 端口输入/输出控制寄存器 (PAT)
- 端口弱上拉控制寄存器 (N_PAU)
- 端口弱下拉控制寄存器 (N_PAD)
- PA0~3 支持外部按键中断功能

◆ PB 输入/输出端口功能组件

- 4 位双向输入/输出端口
- TTL/SMT 输入和 CMOS 输出驱动
- 端口输入/输出控制寄存器 (PBT)
- 端口弱上拉控制寄存器 (N_PBU)
- 端口弱下拉控制寄存器 (N_PBD)
- PB0 支持外部端口中断功能
- PB1 支持外部按键中断功能

注 1: 当端口设置为输出、外部振荡器时钟端口时，内部弱上/下拉自动禁止。

4.2 结构框图

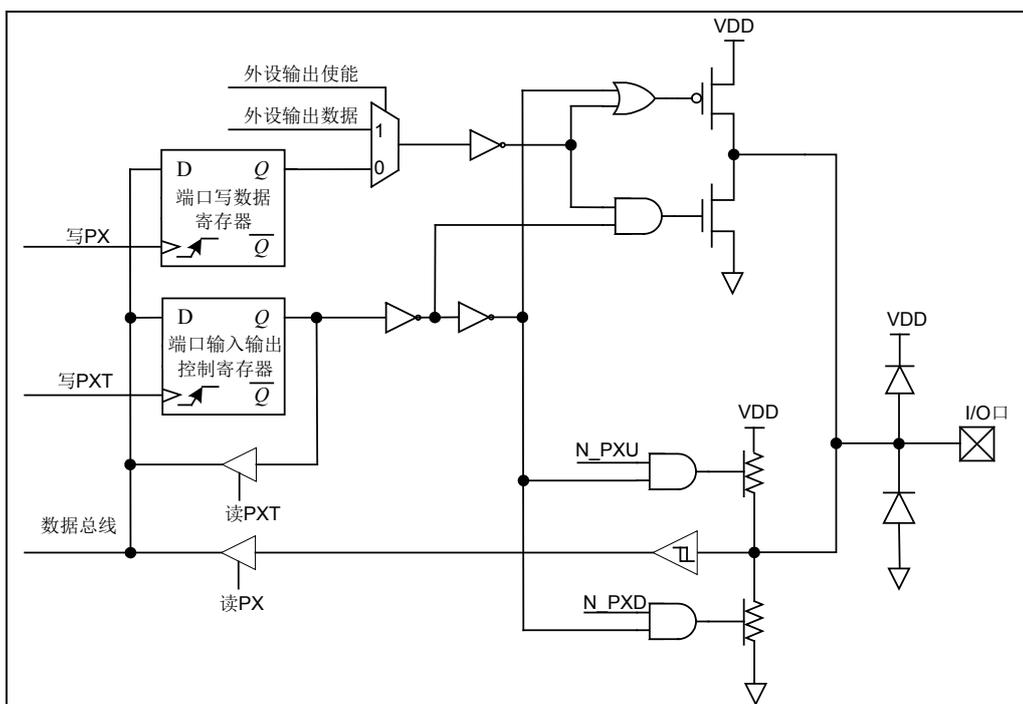


图 4-1 输入/输出端口结构图——PA0/PA2/PA3/PBx

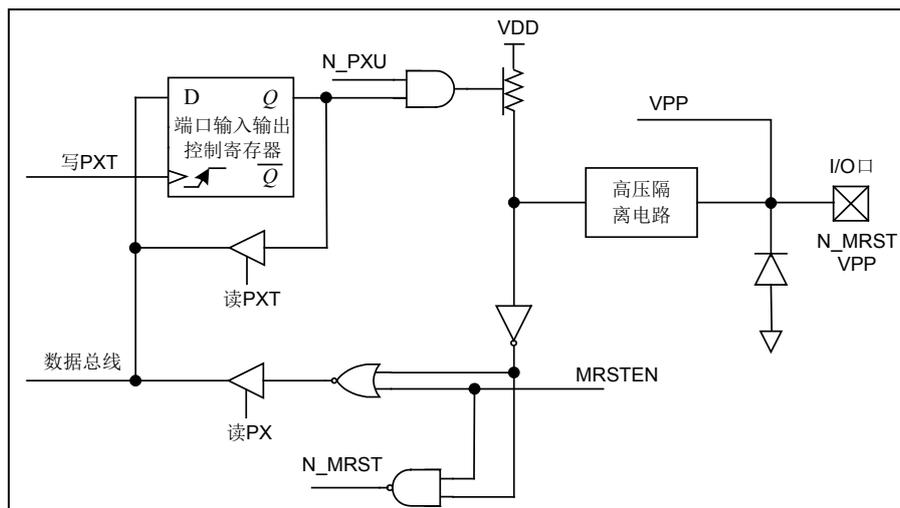


图 4-2 输入端口结构图——PA1

注 1: PA1 端口对应的 PAT 控制位始终为 1，即 PA1 只能作输入用。

4.3 I/O 端口功能设置

4.3.1 I/O 端口输入/输出控制

除 PA1 外，芯片中的所有 I/O 端口都具有输入/输出的能力，端口控制寄存器 PxT 用于相应端口的输入或输出功能选择。当 I/O 端口设置为数字输出状态时，I/O 端口输出 Px 寄存器内容，即相应 I/O 端口电平状态，读取 Px 寄存器的操作实际为读取相应 I/O 端口电平状态。当 I/O 端口设置为数字输入状态时，读取 Px 寄存器的操作实际为读取相应 I/O 端口电平状态。

4.3.2 I/O 端口弱上拉、弱下拉功能

很多产品的应用中需要端口连接上拉或下拉电阻，使端口固定在一个稳定的电平状态，防止外界干扰以及其它影响。本芯片中只有 PA1 端口默认弱上拉使能，其它所有端口均提供独立的弱上、下拉功能，可通过软件独立配置。

管脚	0	1	2	3	4	5	6	7
PA	支持	支持	支持	支持	-	-	-	-
PB	支持	支持	支持	支持	-	-	-	-

表 4-1 I/O 端口弱上拉

管脚	0	1	2	3	4	5	6	7
PA	支持	不支持	支持	支持	-	-	-	-
PB	支持	支持	支持	支持	-	-	-	-

表 4-2 I/O 端口弱下拉

4.3.3 I/O 端口复用功能

为了使资源合理利用最优化，本芯片大部分的 I/O 端口都具有复用功能。当端口用于复用功能时，管脚电平由复用功能决定。

4.4 端口中断

4.4.1 按键中断 (KINT)

本芯片外部端口支持 1 组外部按键中断。按键中断支持最多 5 个按键输入端 KIN<4:0>, 5 个按键共用一个按键中断使能位 KIE (INTE0<0>) 及按键中断标志位 KIF (INTF0<0>), 每个输入端可以由相应的按键屏蔽位 KMSKx (INTC0<4:0>) 屏蔽, 任何其中一个按键中断产生将影响中断标志 KIF。

端口电平变化可以产生中断, 在按键中断使能 (KMSKn=1, KIE=1) 的情况下, 输入端口与锁存器上的最后输入值进行比较, 如果不匹配引起中断, 中断标志位置 1, 此中断能将芯片从睡眠状态唤醒。

用户可在中断服务程序中用软件清除该中断标志, 操作步骤如下:

- 1) 对端口寄存器进行读或者写操作, 结束端口电平与锁存器值的不匹配条件;
- 2) 软件清除中断标志位。

在按键中断使能 (KMSKn=1, KIE=1) 前, 先对端口寄存器进行读或者写的操作, 清除中断标志位, 以免误产生中断。

管脚名	端口输入	按键屏蔽	中断使能	中断标志
PA0	KIN0	KMSK0	KIE	KIF
PA1	KIN1	KMSK1		
PA2	KIN2	KMSK2		
PA3	KIN3	KMSK3		
PB1	KIN4	KMSK4		

表 4-3 按键中断

4.4.2 外部端口中断 (PINT)

本芯片外部端口支持一个外部端口中断。端口中断只支持 1 个输入端 PINT0, 外部端口中断由相应的 PIE (INTE0<2>) 使能, 通过 PEG0 (INTC0<5>) 选择上升沿触发还是下降沿触发。当外部中断已配置, 且输入信号变化满足触发条件时, 将产生 PINT 外部端口中断, 中断产生将影响相应的中断标志 PIF (INTF0<2>)。此中断能将芯片从睡眠状态唤醒。

管脚名	端口输入	边沿选择	中断名	中断使能	中断标志
PB0	PINT0	PEG0	PINT	PIE	PIF

表 4-4 外部端口中断

4.5 I/O端口操作注意事项

当执行以端口寄存器为目标的操作时, 芯片实际执行读-修改-写过程, 即先读取该组全部 I/O 端口的电平, 修改后再写回端口寄存器。位操作指令对 I/O 的修改操作只影响选定的位, 不会影响同组其它 I/O 端口。因此建议用户对单个 I/O 的修改采用位操作指令。此外用户在对 I/O 端口的复用功能使能和关闭时, 应充分考虑当前 I/O 端口的输出寄存器值, 并判断是否需要重新对这些 I/O 端口进行初始化赋值。

4.6 特殊功能寄存器

输入/输出端口的设置包括一系列的寄存器控制，PX 寄存器用于显示 PX 端口的电平状态，PXT 寄存器用于设置 PX 端口的输入输出状态，N_PXU / N_PXD 用于设置 PX 端口的弱上拉 / 弱下拉电阻的连接状况。

PA: PA 端口电平状态寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	PA3	PA2	PA1	PA0
R/W	—	—	—	—	R/W	R/W	R/W	R/W
POR	0	0	0	0	x	x	x	x

“x”: 未知

- Bit 7~4 未使用
 Bit 3~0 PA<3:0>: PA 端口电平状态
 0: 低电平
 1: 高电平

PAT: PA 端口输入输出控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	PAT3	PAT2	PAT1	PAT0
R/W	—	—	—	—	R/W	R/W	R	R/W
POR	0	0	0	0	1	1	1	1

- Bit 7~4 未使用
 Bit 3 PAT3: PA3 端口输入输出状态选择位（复用为外部振荡端口时，硬件固定为输入状态）
 0: 输出状态
 1: 输入状态
 Bit 2 PAT2: PA2 端口输入输出状态选择位（复用为外部振荡端口时，硬件固定为输入状态）
 0: 输出状态
 1: 输入状态
 Bit 1 PAT1: 硬件固定为 1，该端口只能用作输入
 Bit 0 PAT0: PA0 端口输入输出状态选择位
 0: 输出状态
 1: 输入状态

PB: PB 端口电平状态寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	PB3	PB2	PB1	PB0
R/W	—	—	—	—	R/W	R/W	R/W	R/W
POR	0	0	0	0	x	x	x	x

“x”: 未知

- Bit 7~4 未使用
 Bit 3~0 PB<3:0>: PB 端口电平状态

0: 低电平

1: 高电平

PBT: PB 端口输入输出控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	PBT3	PBT2	PBT1	PBT0
R/W	—	—	—	—	R/W	R/W	R/W	R/W
POR	0	0	0	0	1	1	1	1

Bit 7~4 未使用

Bit 3~0 PBT<3:0>: PB 端口输入输出状态选择位

0: 输出状态

1: 输入状态

N_PAU: PA 端口弱上拉控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	N_PAU3	N_PAU2	N_PAU1	N_PAU0
R/W	—	—	—	—	R/W	R/W	R/W	R/W
POR	0	0	0	0	1	1	0	1

Bit 7~4 未使用

Bit 3~0 N_PAU <3:0>: PA 端口内部弱上拉控制位

0: 使能

1: 禁能

N_PBU: PB 端口弱上拉控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	N_PBU3	N_PBU2	N_PBU1	N_PBU0
R/W	—	—	—	—	R/W	R/W	R/W	R/W
POR	0	0	0	0	1	1	1	1

Bit 7~4 未使用

Bit 3~0 N_PBU <3:0>: PB 端口内部弱上拉控制位

0: 使能

1: 禁能

N_PAD: PA 端口弱下拉控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	N_PAD3	N_PAD2	—	N_PAD0
R/W	—	—	—	—	R/W	R/W	—	R/W
POR	0	0	0	0	1	1	1	1

Bit 7~4,1 未使用

Bit 3~2,0 N_PAD <3:2,0>: PA 端口内部弱下拉控制位

0: 使能

1: 禁能

N_PBD: PB 端口弱下拉控制寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	N_PBD3	N_PBD2	N_PBD1	N_PBD0
R/W	—	—	—	—	R/W	R/W	R/W	R/W
POR	0	0	0	0	1	1	1	1

Bit 7~4 未使用

Bit 3~0 N_PBD <3:0>: PB 端口内部弱下拉控制位

0: 使能

1: 禁能

第 5 章 特殊功能及操作特性

5.1 系统时钟与振荡器

5.1.1 概述

芯片运行所需要的时钟源由振荡器提供，不同的振荡器选择可以让使用者在不同的应用需求中实现更大范围的功能。本款芯片所提供的振荡器有三种：外部晶体/陶瓷振荡器XTAL、内部高速RC振荡器(16MHz)和内部低速RC振荡器(32KHz)。灵活选择振荡器，使得产品在速度和功耗方面可以达到最优化。内部低速RC振荡器除了作为系统时钟源外，还可以为看门狗定时器等提供所需要的时钟源。

- ◆ 振荡器模式
 - 外部振荡器 (HS/XT/LP)
 - 内部 16MHz RC 振荡器 (可配置为 INTOSC 和 INTOSCIO)
 - 内部 32KHz RC 振荡器
- ◆ 内部 16MHz RC 振荡器
 - 8 位校准寄存器 (OSCCAL)
 - 出厂前，在常温下已经校准在±2%以内
 - 支持多种分频时钟
- ◆ 内部 32KHz RC 振荡器
 - 8 位校准寄存器 (WDTCAL)
- ◆ 系统时钟切换
 - 高速 HS/XT/INTOSCH 16MHz 振荡时钟与内部低速 INTOSCL 32KHz 时钟切换
 - 外部低速 LP 振荡时钟与内部高速 INTOSCH 16MHz 时钟切换
- ◆ 振荡和暂停
 - 在 IDLE0 模式下，振荡器暂停振荡
 - 在 IDLE1 模式下，振荡器保持振荡，系统时钟暂停

5.1.2 时钟源

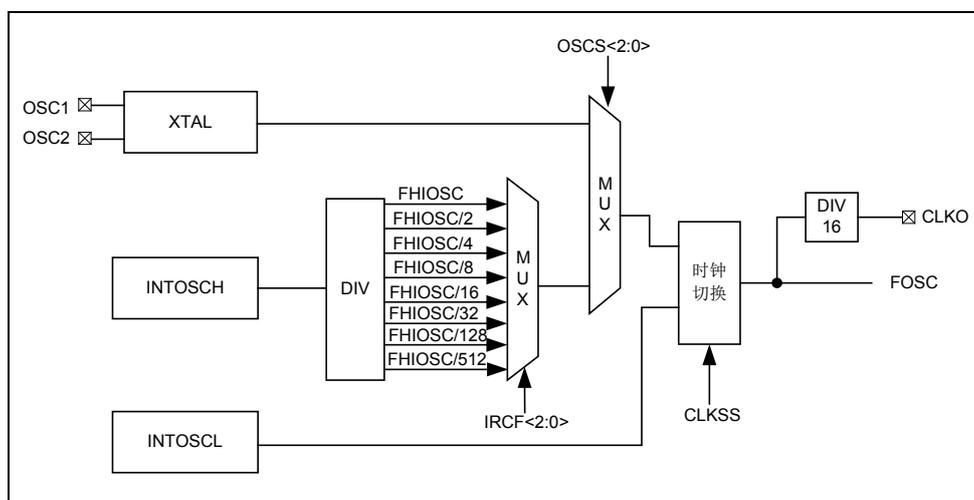


图 5-1 系统时钟内部结构图

5.1.2.1 外部时钟

外部时钟包括晶体/陶瓷振荡器模式 (HS/XT/LP)。对于晶体/陶瓷振荡器而言，只要简单地将晶体连接至 OSC1 和 OSC2 管脚间，就会产生振荡所需的相移及反馈。为保证振荡频率更精准，需连接两个小容量电容 C1 和 C2 到 VSS，具体数值与所使用的晶体/陶瓷振荡器有关，电容参考取值范围为 15~33pF。根据所选择的振荡器频率，可分为三种模式：HS 模式、XT 模式和 LP 模式。当芯片配置字 OSCS<2:0> = 000 时，选择 LP 模式；当 OSCS<2:0> = 010 时，选择 HS 模式；当芯片配置字 OSCS<2:0> = 100 时，选择 XT 模式。芯片配置字 OSCS<2:0> 客户通过编程界面选择。

◇ 晶体/陶瓷振荡器模式 (HS、XT、LP 模式)

HS/XT 晶振起振稳定时间为 512 个系统时钟。LP 晶振设计为低功耗振荡，LP 起振稳定时间和外部晶体结构有关系，通常在一秒左右。

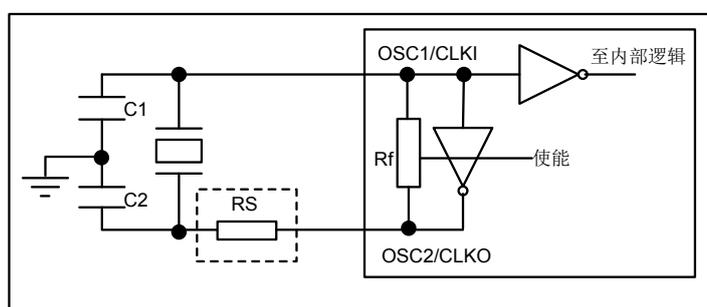


图 5-2 晶体/陶瓷振荡器模式 (HS、XT、LP 模式)

注：RS 为可选配置。

Osc Type	晶振频率	C1*	C2*
LP	32KHz	33pF	33pF
XT	1MHz	15 ~ 33pF	15 ~ 33pF
	4MHz		
HS	8MHz	15pF	15pF
	16MHz		

表 5-1 晶体振荡器电容参数参考表

注*：此数据可根据晶振频率大小、外围电路的不同作微调。

5.1.2.2 内部高速 16MHz RC振荡器模式(INTOSCH)

芯片内置 16MHz RC 时钟振荡器，不需要外接其它外部器件。当配置字中的 OSCS<2:0>=000/110/111 且寄存器 OSCC 中的 CLKSS=1 时，选择内部 16MHz RC 作为系统时钟源，此时 PA2 和 PA3 管脚复用为通用 I/O 端口。INTOSCH 16MHz 最低可分频至 32KHz，出厂前，内置 16MHz RC 时钟振荡器已在常温下校准。芯片上电时，会自动加载校准值，客户不需要对校准寄存器 OSCCAL 进行任何操作。

5.1.2.3 内部低速 32kHz RC振荡器模式(INTOSCL)

芯片内置 32KHz RC 时钟振荡器，不需要外接其它外部器件，可用作 WDT 计数时钟源，也可配置为主系统时钟源。当配置字中的 OSCS<2:0>=010/100/110/111 且寄存器 OSCC 中的

CLKSS=0时，选择内部32KHz RC作为系统时钟源，此时PA2和PA3管脚复用为通用I/O端口。芯片上电时，会自动加载校准值，客户不需要对校准寄存器WDTCAL进行任何操作。

5.1.3 系统时钟切换

高频时钟能提供系统更高的性能，低频时钟能够提供更低的功耗。因此，根据用户需要，灵活地安排高低频时钟切换，可以使系统在执行速度和功耗方面最优化。系统可软件设置寄存器位 CLKSS (OSCC<7>)，选择高、低速系统时钟。系统上电时，寄存器 CLKSS 的值默认为 0，工作在低速系统时钟模式下。

系统支持四种时钟切换：

- ◇ 内部低速 INTOSCL 32KHz 时钟切换到内部高速 INTOSCH/外部高速 HS/XT 时钟
 - 设置芯片配置字 CFG_WD 中的 OSCS<2:0>=010/100/110/111;
 - 设置 OSCC 寄存器中的 CLKSS=1;
 - 检测 OSCC 寄存器中的 HSOSCF 位，直到检测到 HSOSCF=1;
 - 等待一条 NOP 指令;
 - 检测 PWEN 寄存器的 SW_HS 位，直到检测到 SW_HS=1;
- ◇ 内部高速 INTOSCH/外部高速 HS/XT 时钟切换到内部低速 INTOSCL 时钟
 - 设置芯片配置字 CFG_WD 中的 OSCS<2:0>=010/100/110/111;
 - 设置 OSCC 寄存器中的 CLKSS=0;
 - 检测 OSCC 寄存器中的 WDTOSCF 位，直到检测到 WDTOSCF =1;
 - 等待一条 NOP 指令;
 - 检测 PWEN 寄存器的 SW_WDT 位，直到检测到 SW_WDT =1;
- ◇ 外部低速 LP 时钟切换到 INTOSCH 时钟
 - 设置芯片配置字 CFG_WD 中的 OSCS<2:0>=000;
 - 设置 OSCC 寄存器中的 CLKSS=1;
 - 检测 OSCC 寄存器中的 HSOSCF 位，直到检测到 HSOSCF=1;
 - 等待一条 NOP 指令;
 - 检测 PWEN 寄存器的 SW_HS 位，直到检测到 SW_HS=1;
- ◇ 内部高速 INTOSCH 时钟切换到外部低速 LP 时钟
 - 设置芯片配置字 CFG_WD 中的 OSCS<2:0>=000;
 - 设置 OSCC 寄存器中的 CLKSS=0;
 - 检测 OSCC 寄存器中的 LPOSCF 位，直到检测到 LPOSCF =1;
 - 等待一条 NOP 指令;
 - 检测 PWEN 寄存器的 SW_LP 位，直到检测到 SW_LP =1;

系统时钟来源	OSCS<2:0>位	CLKSS 位
LP	000	0
HS	010	1
XT	100	1
INTOSCH	000	1
	110	1
	111	1
INTOSCL	010	0

系统时钟来源	OSCS<2:0>位	CLKSS 位
	100	0
	110	0
	111	0

表 5-2 振荡模式切换选择

5.1.3.1 系统上电时序

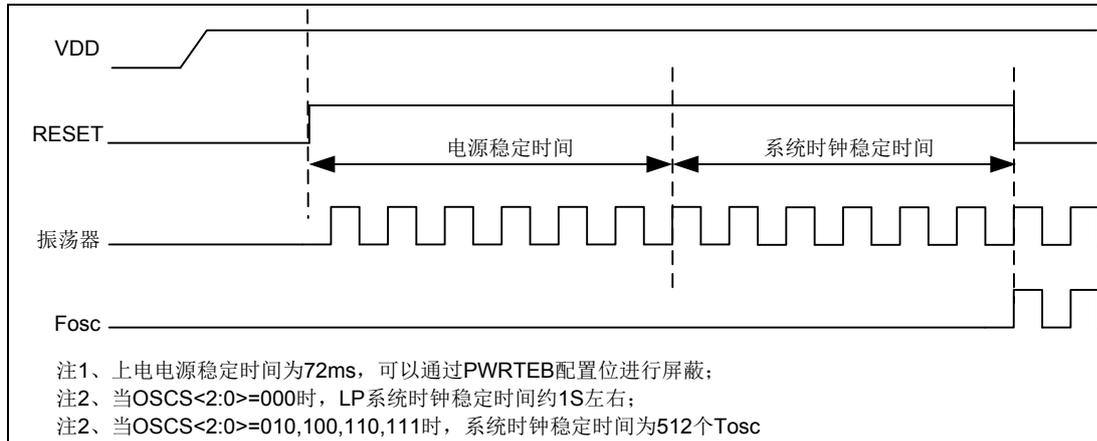


图 5-3 系统上电时序图

5.1.3.2 系统时钟切换时序

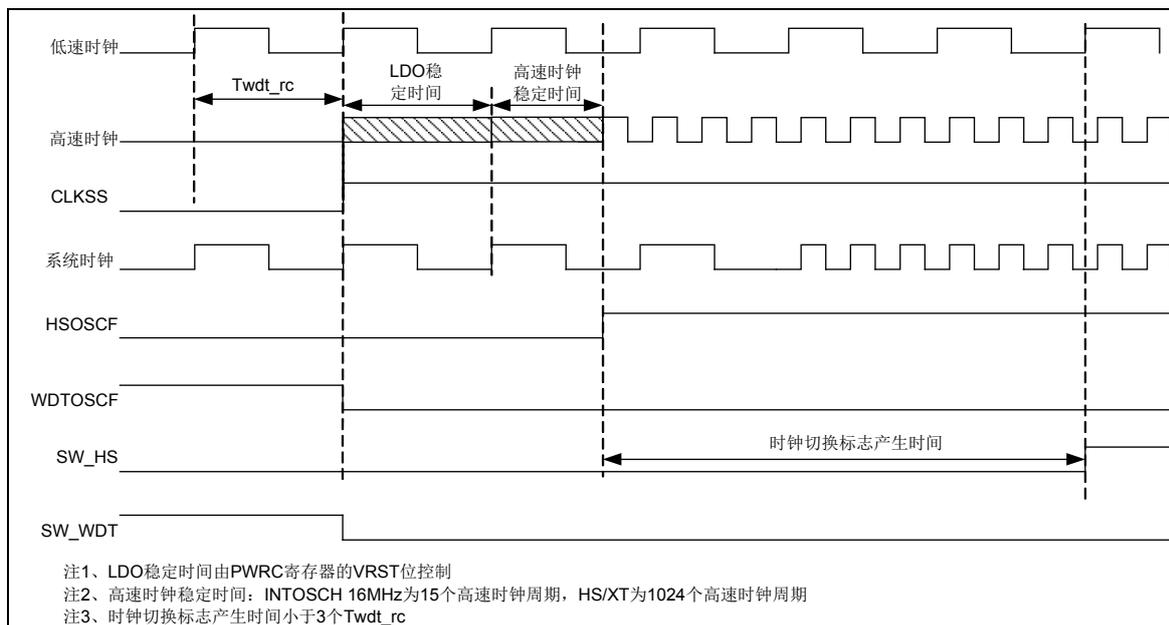


图 5-4 INTOSCL 时钟切换到 INTOSCH/HS/XT 时钟

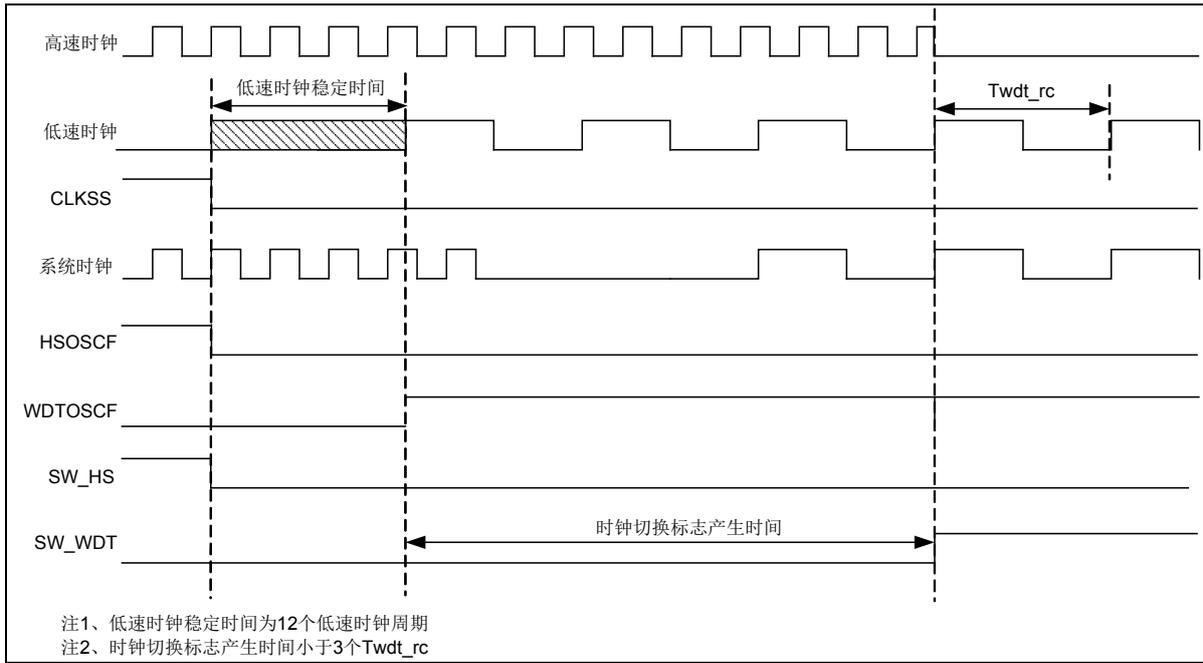


图 5-5 INTOSCH/HS/XT 时钟切换到 INTOSCL 时钟

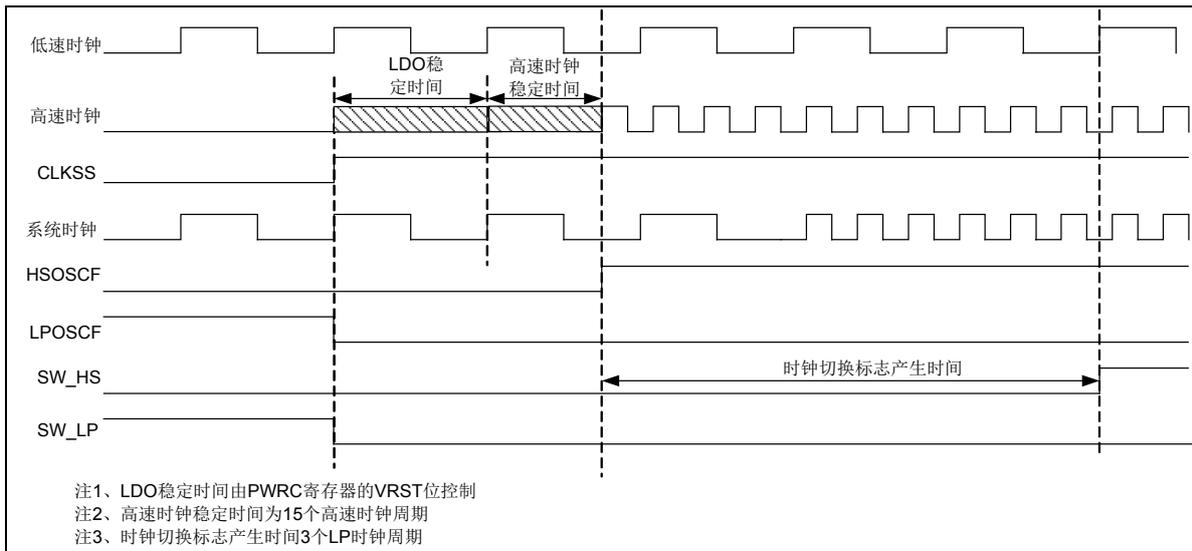


图 5-6 低速 LP 时钟切换到 INTOSCH 时钟

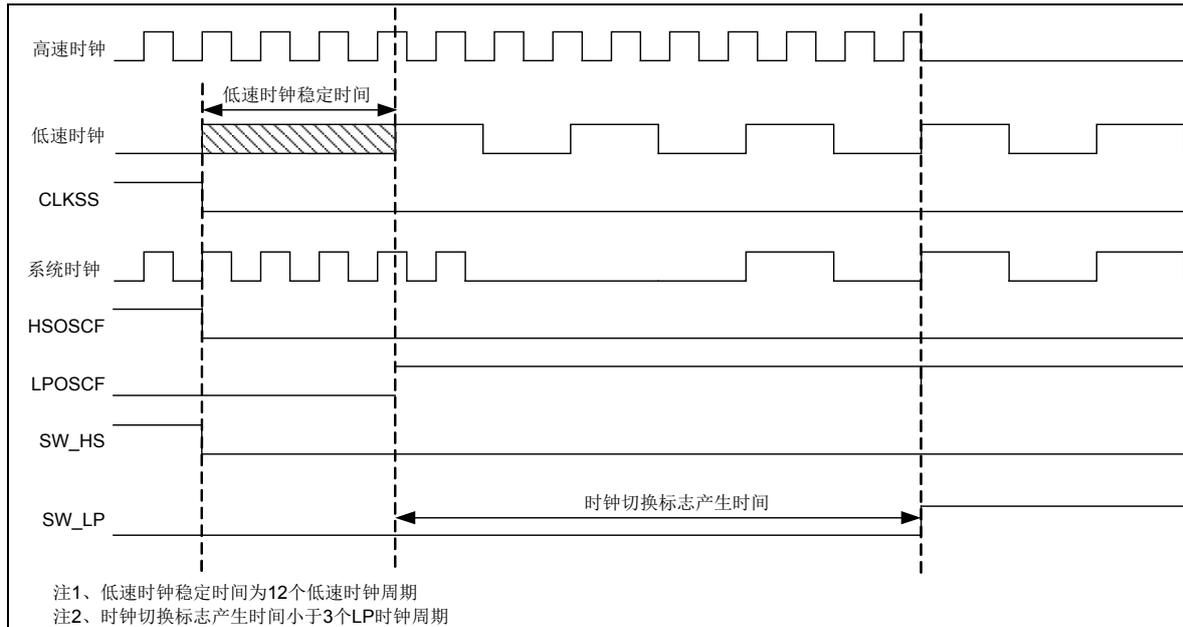


图 5-7 INTOSCH 时钟切换到低速 LP 时钟

5.1.4 系统时钟分频

当系统时钟来源于内部高频时钟 INTOSCH 16MHz 时，系统时钟支持 1 个最大分频比为 1:512 的分频器，最低可分频至 32KHz，可通过 OSSC 寄存器中的 IRCF<2:0>位进行选择分频比。

5.1.5 特殊功能寄存器

CALPROT: 校准值保护寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	—	—	CALPROT
R/W	—	—	—	—	—	—	—	R/W
POR	0	0	0	0	0	0	0	1

Bit 7~1 未使用

Bit 0 CALPROT: 校准值保护位
1: 校准值处于保护状态
0: 校准值处于去除保护状态

当 CALPROT 寄存器写入 55h 时，去除保护位，其他任何写入都是使能保护位。

注：CALPROT 保护的校准值寄存器为 OSCCAL，WDTCAL。

OSCCAL: 内部 16MHz 时钟校准寄存器								
Bit	7	6	5	4	3	2	1	0
Name	OSCCAL<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 OSCCAL<7:0>: 内部 16MHz 时钟频率调节位

注：此寄存器受 CALPROT 寄存器保护。OSCCAL 寄存器主要是调整内部 16MHz 时钟的精度。在常温条件下，出厂时已经校准到 16MHz。如果没有特别需求，用户不需要设置此寄存器，以免覆盖芯片默认的时钟校准值。

OSCC: 时钟控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	CLKSS	IRCF<2:0>			—	WDTOSCF	HSOSCF	LPOSFCF
R/W	R/W	R/W	R/W	R/W	—	R	R	R
POR	0	1	1	0	0	1	0	0

- Bit 7 CLKSS: 低速时钟与高速时钟切换选择位
 当 OSCS<2:0>=000 时:
 0: 外部低速 LP 32KHZ 时钟源
 1: 内部高速 INTOSCH 16MHz 时钟源
 当 OSCS<2:0>=010/100/110/111 时:
 0: 内部低速 INTOSCL 32KHZ 时钟源
 1: 内部高速 INTOSCH 16MHz 或者外部高速 HS/XT 时钟源
- Bit 6~4 IRCF<2:0>: 内部系统时钟频率选择位
 000: 32KHZ
 001: 125KHZ
 010: 500KHz
 011: 1MHz
 100: 2MHz
 101: 4MHz
 110: 8MHz
 111: 16MHz
- Bit 3 未使用
- Bit 2 WDTOSCF: 内部 32KHz 稳定标志位
 0: 未稳定
 1: 稳定
- Bit 1 HSOSCF: 高速时钟稳定标志位
 0: 未稳定
 1: 稳定
- Bit 0 LPOSFCF: 外部 LP 晶振稳定标志位
 0: 未稳定
 1: 稳定

OSCP: 时钟控制写保护寄存器								
Bit	7	6	5	4	3	2	1	0
Name	OSCP<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

- Bit 7~0 OSCP<7:0>: 时钟控制写保护位
 OSCP 为 55h 时，可以改变 IRCF 和 CLKSS 位。当 IRCF 和 CLKSS 被写时，OSCP 自动复位为 FFh。
 OSCP 不为 55h 时，对 IRCF 和 CLKSS 的写操作将被忽略。

PWEN: 功耗控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	SW_WDT	SW_HS	SW_LP	—	—	RCEN	SREN
R/W	—	R	R	R	—	—	R/W	R/W
POR	0	1	0	0	1	0	1	1

- Bit 7,2 未使用
- Bit 6 SW_WDT: 切换到内部低速 32KHz 时钟标志位
0: 切换未完成
1: 切换完成
- Bit 5 SW_HS: 切换到 HS/XT/INTOSCH 16MHz 高速时钟标志位
0: 切换未完成
1: 切换完成
- Bit 4 SW_LP: 切换到外部低速 LP 晶振时钟标志位
0: 切换未完成
1: 切换完成
- Bit 3 未使用
- Bit 1 RCEN: WDT 内部 RC 时钟使能位 (软件设置 RCEN 为 1 使能)
当 CLKSS=1 时:
0: 关闭 WDT 内部 RC 时钟
1: 使能 WDT 内部 RC 时钟
当 CLKSS=0 时:
WDT 内部 RC 时钟一直使能, 此位设置无效
- Bit 0 SREN: 低电压检测复位软件使能位
需软件固定设置为 1

注 1: 软件设置 RCEN 为 1 使能。

注 2: 如果需要频繁进行高、低速系统时钟切换, 必须进行相应切换完成标志位 SW_LP、SW_HS 和 SW_WDT 的判断。

注 3: SREN 位需软件固定设置为 1, 否则会存在芯片系统复位异常的潜在风险。

5.2 看门狗定时器

5.2.1 概述

看门狗定时器是芯片的一个组成部分，它的功能在于在发生软件故障时，通过器件复位将芯片复位。若系统进入了错误的工作状态，看门狗可以在合理的时间范围内使芯片复位。使能看门狗时，若用户程序清除看门狗定时器失败，则在预定的时间范围内，看门狗会使系统复位。

◆ WDT 定时器

- 8 位 WDT 定时计数器（无实际物理地址，不可读写）
- 8 位预分频器（无实际物理地址，不可读写）
- WDT 控制寄存器（WDTC）
- 唤醒功能
- 复位功能

◆ 内部 WDT RC 振荡器

- 定时器时钟源为内部 32KHz RC 时钟
- 8 位 WDT 时钟校准寄存器（WDTCAL）
- 出厂前，在常温下已经将频率校准在 ±15% 以内，其高低温频偏对 WDT 计数溢出周期的影响，见《电气特性》章节的描述

5.2.2 内部结构图

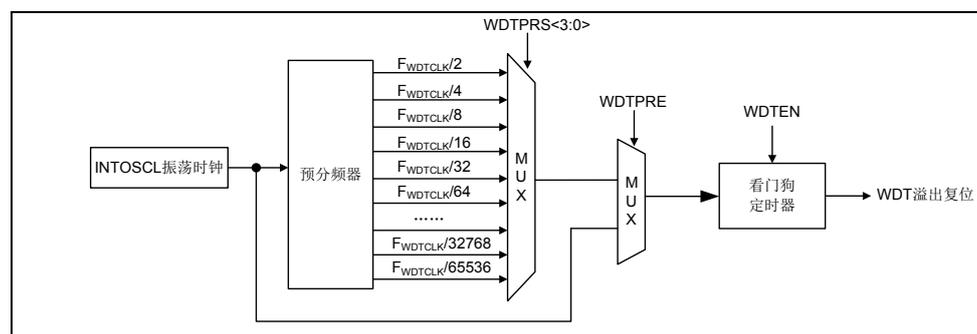


图 5-8 看门狗定时器内部结构图

5.2.3 WDT 定时器

芯片提供 8 位 WDT 定时计数器，通过芯片配置字 WDTEN 可使能硬件看门狗 WDT。当芯片配置字 WDTEN 使能时，WDT 定时器计数使能；当 WDTEN 关闭时，WDT 定时器计数禁止。客户通过编程界面选择。

在 IDLE 模式下，WDT 计数溢出会唤醒 CPU；此外，WDT 计数溢出会复位芯片。为了避免不必要的复位，可使用 CWDT 指令适时清零 WDT 计数器。

WDT 支持一个预分频器，可通过 WDTC 寄存器中的 WDTPRS<3:0> 位设置 WDT 时钟源的预分频比，再将分频后的时钟信号作为 WDT 定时器的计数时钟。WDT 时钟源来自内部 32KHz RC 振荡器 INTOSCL 时钟。当 WDTPRE（WDTC<4>）清零，禁止预分频器，WDT 时钟为 32KHz，常温下 WDT 的计数溢出时间约为 8ms。当 WDTPRE（WDTC<4>）置 1，使能预分频器。

注 1: WDT 定时器工作时，RCEN（PWEN<1>）必须置 1。

5.2.4 特殊功能寄存器

WDT 的功能控制由 WDTC 寄存器和芯片配置字共同完成。WDT 功能的使能控制由芯片配置字控制，而 WDT 预分频器的使能控制以及 WDT 预分频器的分频比选择则由 WDTC 寄存器设置。此外，WDTCAL 寄存器用于内部 32KHz 时钟校准。

WDTCAL: 内部 32KHz 时钟校准寄存器								
Bit	7	6	5	4	3	2	1	0
Name	WDTCAL<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 WDTCAL<7:0>: 内部 32KHz 时钟频率调节位

注：此寄存器受 CALPROT 寄存器保护。WDTCAL 寄存器主要是调整内部 32KHz 时钟的精度。在芯片出厂前，已经设置好校准值，禁止用户程序改写该寄存器，否则会导致芯片对应的功能模块工作异常。

WDTC: WDT 控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	WDTPRE	WDTPRS<3:0>			
R/W	—	—	—	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	1	0	1	1	1

Bit 7 未使用，需保留为 0

Bit 6~5 未使用

Bit 4 WDTPRE: WDT 预分频器使能位
 0: 禁止
 1: 使能

Bit 3~0 WDTPRS <3:0>: WDT 预分频器分频比选择位
 0000: 1:2
 0001: 1:4
 0010: 1:8
 0011: 1:16
 0100: 1:32
 0101: 1:64
 0110: 1:128
 0111: 1:256 (默认)
 1000: 1:512
 1001: 1:1024
 1010: 1:2048
 1011: 1:4096
 1100: 1:8192
 1101: 1:16384
 1110: 1:32768
 1111: 1:65536

5.3 复位模块

5.3.1 概述

复位功能是所有芯片中基本的部分，该芯片支持五种复位方式：

- ◇ 上电复位 POR
- ◇ 下电复位 BOR
- ◇ 外部端口 N_MRST 复位，低电平复位有效
- ◇ 看门狗定时器 WDT 溢出复位
- ◇ 软件执行指令 RST 复位

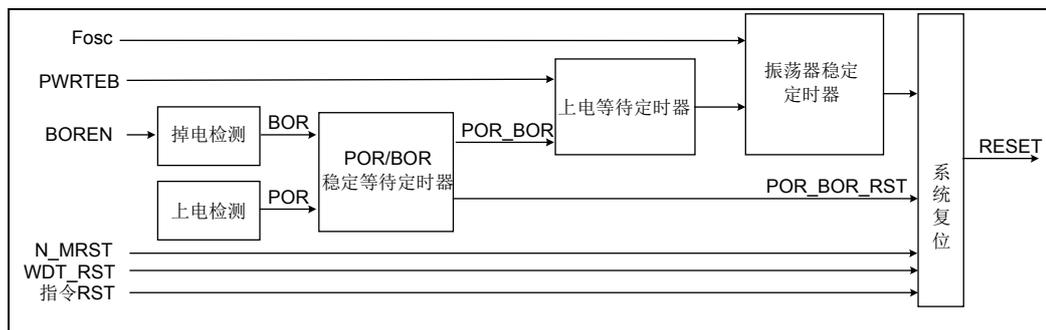


图 5-9 芯片复位原理图

5.3.2 上电复位

芯片上电过程中会产生 POR 复位，并且该复位信号将会一直保持到电源电压升高到芯片能够正常工作的电压为止。系统上电过程呈逐渐上升的曲线形式，需要一定时间才能达到正常电平值。上电复位的时序如下：

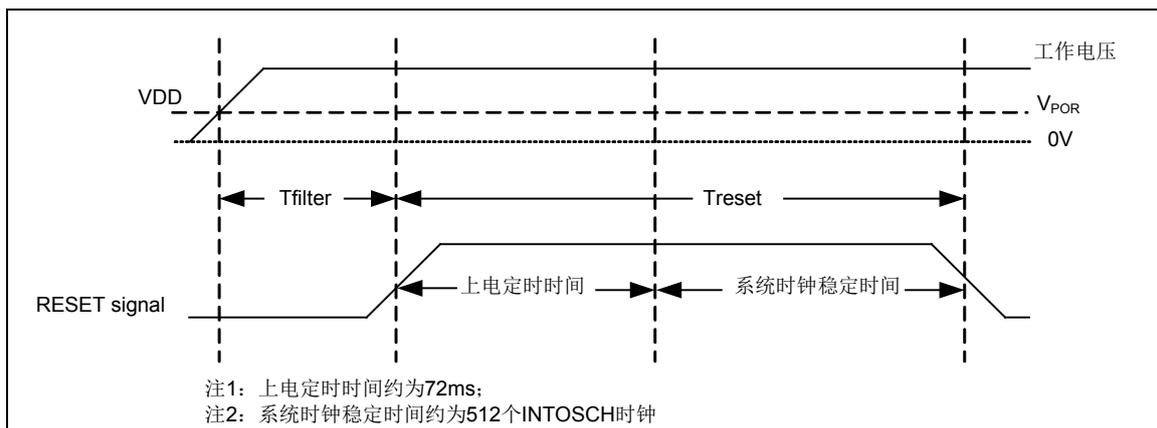


图 5-10 上电复位时序示意图

5.3.3 下电复位

下电复位针对外部因素引起的系统电压跌落情形（例如：更换电池），下电复位可能会引起系统工作状态不正常或程序执行错误。

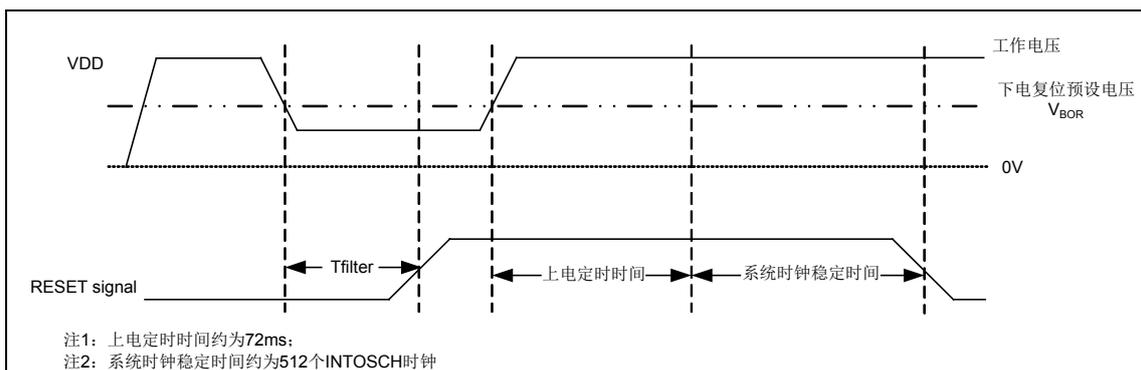


图 5-11 下电复位时序示意图

注 1: 72ms 等待稳定时间可以通过 PWRTEB 屏蔽。

注 2: 当配置为 HS/XT/INTOSCH 16MHz 模式时，晶振稳定时间为 512XTosc;

当配置为 LP 模式时，晶振稳定时间大约为 1S 左右。

芯片下电复位使能和下电复位电压点可通过配置字 BORVS<1:0>位配置。

BORVS<1:0>	下电复位电压点配置	下电复位使能
11	低于 3.4V 时芯片复位	使能
10	低于 2.7V 时芯片复位	使能
01	低于 2.2V 时芯片复位	使能
00	—	禁止

表 5-3 下电复位电压点配置表

5.3.4 外部N_MRST管脚复位

芯片提供外部 N_MRST 管脚，当 CFG_WD<5> (MRSTEN) 为 1 时，用于系统复位。当复位管脚输入低电平信号时，系统复位。当复位管脚处于高电平时，系统正常运行。需要注意的是，在系统上电完成后，外部复位管脚必须输入高电平，否则系统将一直保持在复位状态。另外，需要特别注意的是，禁止将 N_MRST 管脚直接连接到 VDD 上；禁止 N_MRST 管脚上的电压高于 VDD 电压。

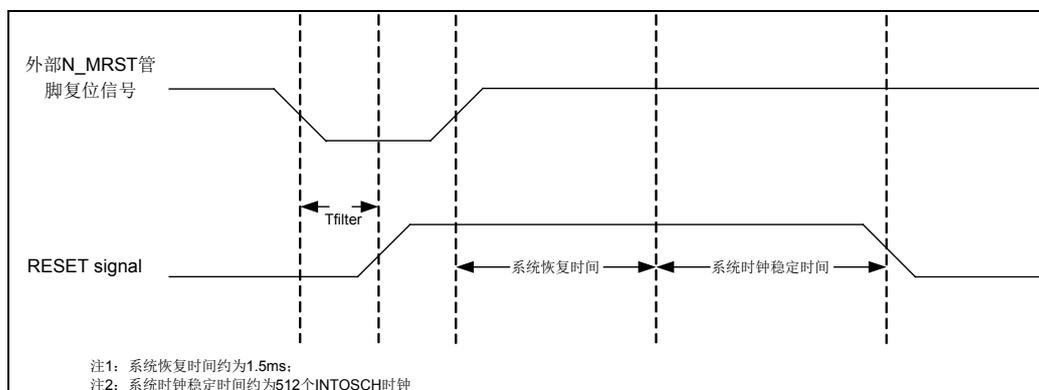


图 5-12 外部 N_MRST 管脚复位

外部 N_MRST 管脚复位电路有多种，以下介绍两种比较典型的连接电路。

1. RC 复位

RC 复位电路是外部 N_MRST 脚复位电路最简单的一种，对外界环境条件要求不高的情况下，可以采用此种连接方式。

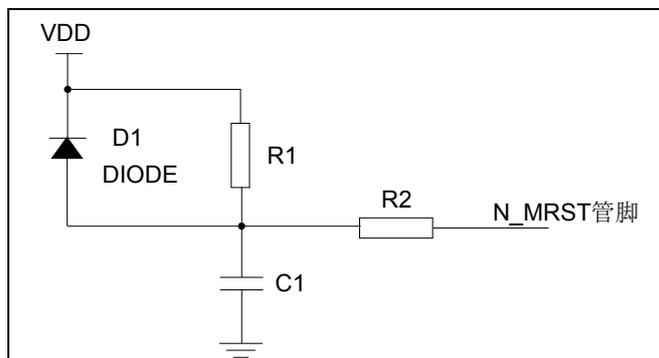


图 5-13 N_MRST 复位参考电路图 1

注：采样 RC 复位，其中 $47K\Omega \leq R1 \leq 100K\Omega$ ，电容 C1 (0.1 μ F)，R2 为限流电阻， $0.1K\Omega \leq R2 \leq 1K\Omega$ 。

2. PNP 三极管复位

PNP 三极管复位电路适用于对电源干扰较强的场合。

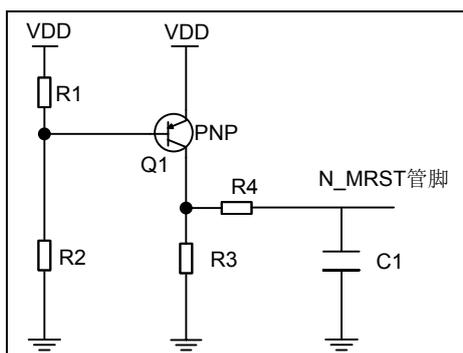


图 5-14 N_MRST 复位参考电路图 2

注：采用 PNP 三极管复位，通过 R1 (2K Ω) 和 R2 (10K Ω) 分压作为基极输入，发射极接 VDD，集电极一路通过 R3 (20K Ω) 接地，另一路通过 R4 (1K Ω) 和 C1 (0.1 μ F) 接地，C1 另一端作为 N_MRST 输入。

5.3.5 看门狗定时器溢出复位

看门狗复位是系统的一种保护设置。在正常状态下，由程序将看门狗定时器清零。若出错，系统处于未知状态，程序无法清除看门狗，导致看门狗定时器溢出，此时系统复位。看门狗溢出复位后，系统重启进入正常状态。

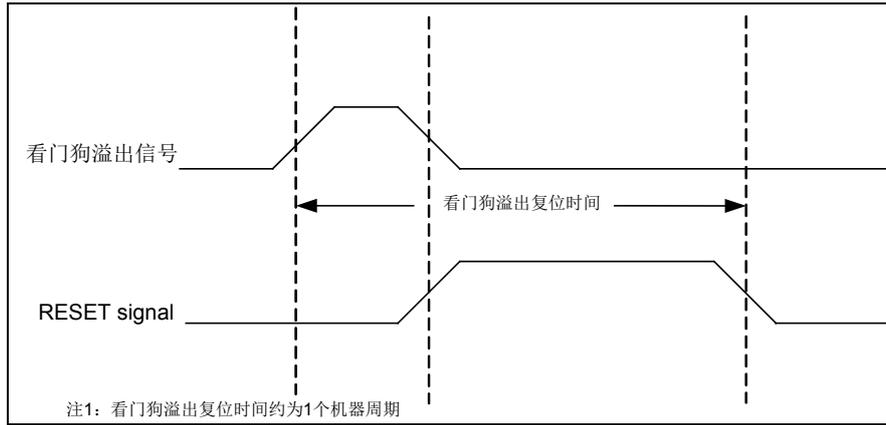


图 5-15 看门狗溢出复位

5.3.6 RST指令复位

整个芯片可通过执行 RST 指令复位，复位后，全部状态位都将被影响。

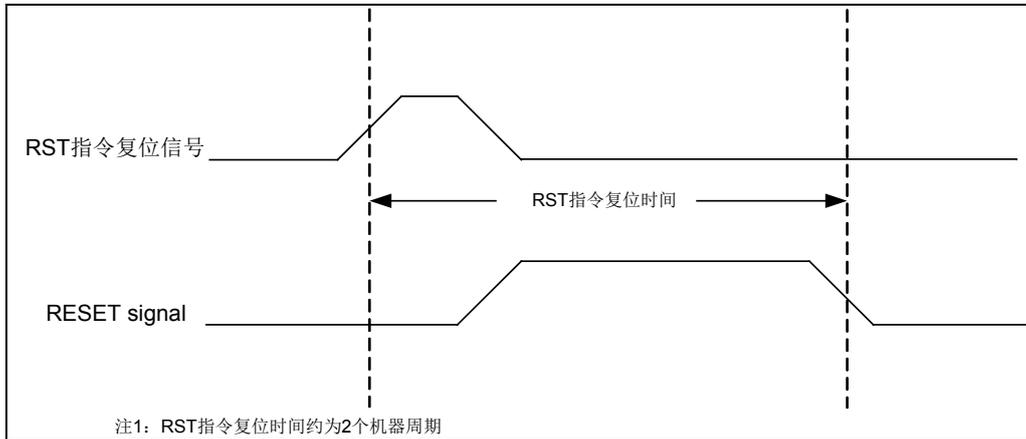


图 5-16 RST 指令复位

5.3.7 特殊功能寄存器

PWRC: 电源控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	LPM	VRST<1:0>		N_RSTI	N_TO	N_PD	N_POR	N_BOR
R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W
POR	0	1	0	1	1	1	0	x

“x”: 未知

- Bit 7 LPM: 休眠模式选择位
 0: IDLE0 模式
 1: IDLE1 模式
- Bit 6~5 VRST<1:0>: LDO 稳定时间控制寄存器
 当 CLKSS=1 时,
 00: LDO 稳定时间为 16 个内部 32KHz 时钟周期
 01: LDO 稳定时间为 32 个内部 32KHz 时钟周期
 10: LDO 稳定时间为 64 个内部 32KHz 时钟周期
 11: LDO 稳定时间为 128 个内部 32KHz 时钟周期
 当 CLKSS=0 时,
 11: LDO 稳定时间为 128 个内部 32KHz 时钟周期
 其它: LDO 稳定时间为 64 个内部 32KHz 时钟周期
- Bit 4 N_RSTI: 复位指令标志位
 0: 执行复位指令 (必须用软件置位)
 1: 未执行复位指令
- Bit 3 N_TO: WDT 溢出标志位
 0: WDT 计数溢出时被清零
 1: 上电复位或执行 CWDT、IDLE 指令后被置 1
- Bit 2 N_PD: 低功耗标志位
 0: 执行 IDLE 指令后清零
 1: 上电复位或执行 CWDT 指令后置 1
- Bit 1 N_POR: 上电复位状态位
 0: 上电复位发生 (上电复位后, 必须软件置位)
 1: 无上电复位发生
- Bit 0 N_BOR: 低电压复位状态位
 0: 低电压复位发生 (低电压复位后, 必须软件置位)
 1: 无低电压复位发生

注: LDO 为芯片内置供电模块, 给芯片内部电路模块供电。

5.4 低功耗操作

5.4.1 MCU低功耗模式

本芯片支持两种低功耗休眠模式：IDLE0 模式或 IDLE1 模式，通过设置 PWRC 寄存器位 LPM (PWRC<7>) 进行选择。

◆支持 IDLE0 模式

- 当 LPM = 0 时，执行 IDLE 指令，芯片进入 IDLE0 模式：
- 时钟源停振（32KHz RC 时钟源除外），主系统时钟暂停
- 程序暂停、同步模块暂停、异步模块运行，器件功耗降低
- 支持低功耗唤醒，唤醒时间可配，同时需要考虑 LDO 稳定时间
- 所有 I/O 端口将保持进入 IDLE0 模式前的状态
- 若使能 WDT，则 WDT 将被清零并保持运行
- N_PD 位被清零，N_TO 位被置 1

◆支持 IDLE1 模式

- 当 LPM = 1 时，执行 IDLE 指令，芯片进入 IDLE1 模式：
- 时钟源保持运行，主系统时钟暂停
- 程序暂停、同步模块暂停、异步模块运行，器件功耗降低
- 支持低功耗唤醒，唤醒时间可配，最小 1 个机器周期
- 所有 I/O 端口将保持进入 IDLE1 前的状态
- 若使能 WDT，则 WDT 将被清零并保持运行
- N_PD 位被清零，N_TO 位被置 1

5.4.2 低功耗模式配置

两种低功耗模式 IDLE0 和 IDLE1 模式的选择由 PWRC 寄存器中的 LPM 位控制。当 LPM = 0 时，执行 IDLE 指令，芯片进入 IDLE0 模式；当 LPM = 1 时，执行 IDLE 指令，芯片进入 IDLE1 模式。

低功耗模式	LPM
IDLE0 模式	0
IDLE1 模式	1

表 5-4 低功耗模式配置表

为了降低功耗，所有 I/O 管脚都应保持为 VDD 或 VSS。为了避免输入管脚悬空而引入开关电流，应在外部将高阻输入的 I/O 管脚拉为高电平或低电平，N_MRST 管脚必须处于逻辑高电平。

5.4.3 IDLE唤醒方式配置

当系统进入低功耗模式后，程序处于暂停状态，以下几种方式可将系统唤醒。

序号	唤醒源	中断屏蔽	中断使能	中断模式	备注
1	N_MRST	-	-	-	外部复位
2	WDT	-	-	-	WDT 溢出
3	KINT0	KMSK0	KIE	默认/向量	外部按键中断
	KINT1	KMSK1			
	KINT2	KMSK2			
	KINT3	KMSK3			
	KINT4	KMSK4			
4	PINT	-	PIE	默认/向量	外部端口中断
5	LVDn	-	LVDnIE	默认/向量	LVDn 中断

表 5-5 休眠唤醒表

注 1: 低功耗唤醒与全局中断使能无关，只需相应中断源使能位置位为“1”即可。在低功耗模式时，若外设产生中断信号，即使全局中断使能 GIE 为 0，低功耗模式依然会被唤醒，只是唤醒后不会执行中断程序。

注 2: 关于外部按键中断使用，当开启中断使能和中断屏蔽位使能前，先对端口寄存器进行读或者写的操作，然后清除中断标志位，以免误产生中断。

5.4.4 唤醒时序图

当唤醒事件发生后，芯片根据配置字 OSCS<2:0>的配置执行下述操作：

- ◇ 当 OSCS<2:0>配置为 HS/XT/INTOSCO/INTOSC 模式时：
 - 在 IDLE0 模式 (LPM=0) 下，芯片需要先等待 VRwkdly 时间（由 VRST (PWRC<6:5>) 设定），此时间称为 LDO 稳定时间，之后芯片主时钟运行一段 Twkdly 时间后才执行 IDLE 下一条指令，Twkdly 称为唤醒延时，唤醒延时可通过 WKDC 寄存器设置；
 - 在 IDLE1 模式 (LPM=1) 下，芯片仅等待 Twkdly 时间后就执行 IDLE 下一条指令，无 VRwkdly 时间。
- ◇ 当 OSCS<2:0>配置为 LP 模式时：
 - 在 IDLE0 模式 (LPM=0) 下，芯片需要先等待 VRwkdly 时间（由 VRST (PWRC<6:5>) 设定），此时间称为 LDO 稳定时间，接着芯片等待 LPwkdly 时间，之后芯片主时钟运行一段 Twkdly 时间后才执行 IDLE 下一条指令，Twkdly 称为唤醒延时，唤醒延时可通过 WKDC 寄存器设置；
 - 在 IDLE1 模式 (LPM=1) 下，芯片仅等待 Twkdly 时间后就执行 IDLE 下一条指令，无 VRwkdly 和 LPwkdly 时间。

OSCS 配置	低功耗模式	计算公式
所有模式	IDLE1 模式	$(WKDC[7:0]+1) \times 2 \text{ TOSC}$
非 LP 模式	IDLE0 模式	$VRwkdly + (WKDC[7:4] + 1) \times 16 \times 2 \text{ TOSC}$
LP 模式		$VRwkdly + LPwkdly + (WKDC[7:4] + 1) \times 16 \times 2 \text{ TOSC}$

表 5-6 休眠唤醒时间表

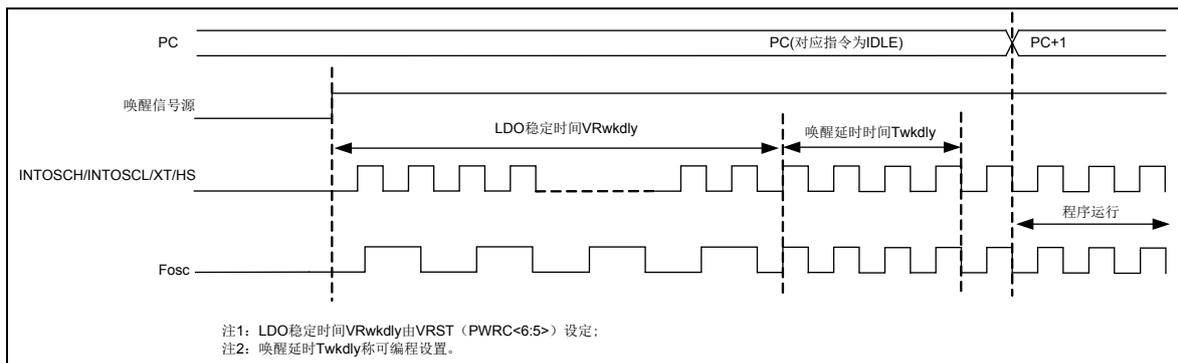


图 5-17 HS/XT/INTOSCO/INTOSC 模式时，系统唤醒 IDLE0 时序图

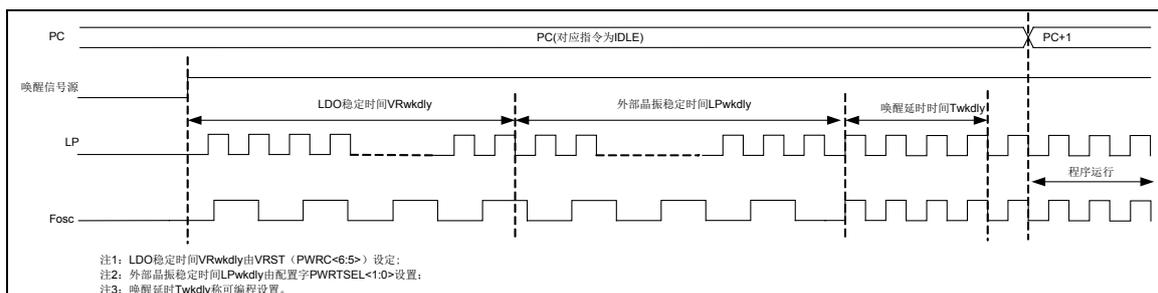


图 5-18 LP 模式时，系统唤醒 IDLE0 时序图

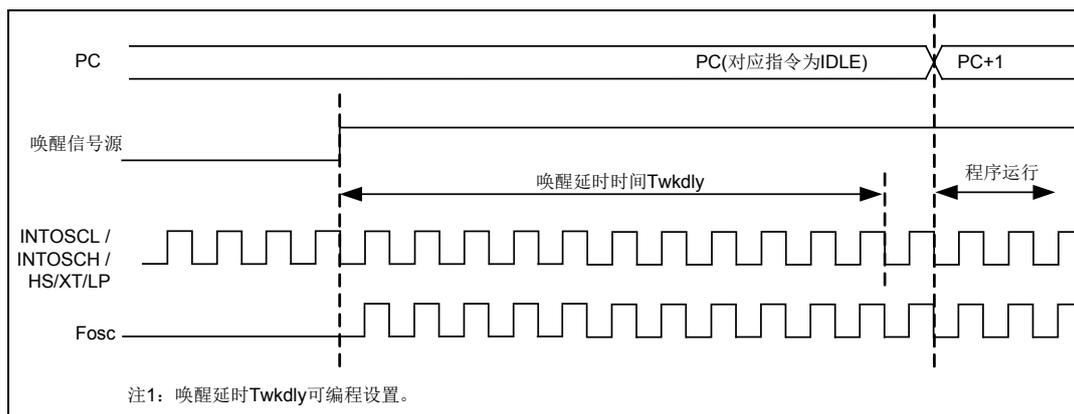


图 5-19 HS/XT/INTOSCO/INTOSC/LP 模式时，系统唤醒 IDLE1 时序图

5.4.5 特殊功能寄存器

WKDC: 唤醒延时控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	WKDC<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

Bit 7~0 WKDC<7:0>: 唤醒延时时间设置位

00H: 延时最短

.....

FFH: 延时最长

第 6 章 外设

6.1 定时器/计数器模块 (Timer/Counter)

本芯片包含 1 组 8 位定时器/计数器 (T8N)、2 组 PWM 时基定时器 (T8P1/T8P2)。

6.1.1 8 位定时器/计数器 (T8N)

6.1.1.1 概述

8 位定时器/计数器包括定时器和计数器两种工作模式。定时器模式根据寄存器制定的定时时间进行定时，可以使定时器有选择地产生中断请求或完成其它操作。计数器模式用于对外部时钟信号 (T8NCKI) 进行计数。

◆ T8N 支持两种工作模式

- 定时器模式 (时钟源为系统时钟二分频 (Fosc/2))
- 同步计数器模式 (时钟源为外部输入时钟 T8NCKI)

◆ T8N 支持以下功能组件

- 8 位预分频器 (无实际物理地址, 不可读写)
- 8 位计数器 (T8N)
- 8 位控制寄存器 (T8NC)

◆ 中断和暂停

- 支持溢出中断标志 (T8NIF)
- 支持中断处理

◆ 在 IDLE 模式下, T8N 暂停工作

6.1.1.2 内部结构图

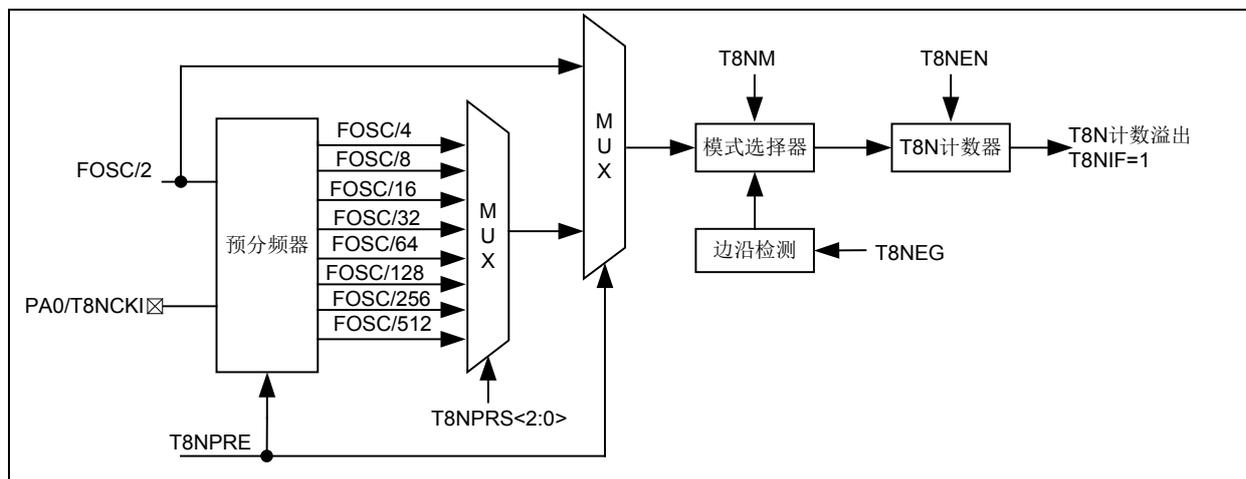


图 6-1 T8N 内部结构图

6.1.1.3 工作模式

8 位定时器/计数器共有两个模式: 定时器模式和同步计数器模式, 两种不同模式的时钟源分别来自 Fosc/2 和外部 T8NCK 管引脚输入时钟。

T8NM	工作模式	时钟源
0	定时器模式	Fosc/2
1	同步计数器模式	T8NCKI

表 6-1 T8N 工作模式配置表

6.1.1.4 预分频器

预分频器可以提供定时器/计数器一个更长的溢出周期。当 T8NC 寄存器中的 T8NPRE 为“1”时，使能 T8N 预分频器。任何对 T8N 计数器的写操作都会清零预分频器，但不影响预分频器的分频比设置，预分频器的计数值无法读写。预分频器的分频比可通过 T8NC 寄存器中的 T8NPRS <2:0>位进行设置，预分频比范围为 1:2~1:256。

工作模式	T8NPRE	T8NPRS<2:0>	T8N 计数时钟
定时器模式	0	-	Fosc/2
	1	000	Fosc/4
	1	001	Fosc/8
	1	010	Fosc/16
	1	011	Fosc/32
	1	100	Fosc/64
	1	101	Fosc/128
	1	110	Fosc/256
	1	111	Fosc/512
计数器模式	0	-	T8NCKI
	1	000	T8NCKI/2
	1	001	T8NCKI/4
	1	010	T8NCKI/8
	1	011	T8NCKI/16
	1	100	T8NCKI/32
	1	101	T8NCKI/64
	1	110	T8NCKI/128
	1	111	T8NCKI/256

表 6-2 T8N 预分频器配置表

6.1.1.5 工作模式

T8N 有定时器和计数器两种工作模式，定时器模式和计数器模式，通过 T8NM 进行选择。定时器和计数器计数模式均支持预分频器。配置为定时器模式时，T8N 计数器的时钟源为系统时钟 2 分频 (Fosc/2)；配置为计数器模式时，T8N 计数器的时钟源为经系统机器周期同步的外部输入时钟 T8NCKI。因此，T8NCKI 输入的高电平和低电平时间都至少为一个机器周期。通过 T8NC 寄存器中的 T8NEG 位选择外部时钟的计数边沿为上升沿或下降沿。

6.1.1.6 定时器模式

T8N 计数器为递增计数，计数值由 FFH 变为 00H 时，T8N 计数器发生溢出并重新开始

计数。T8N 计数器发生溢出，中断标志 T8NIF 位被置“1”。如果中断使能位 T8NIE 和全局中断使能位 GIE 都为“1”，则向 CPU 发出 T8N 溢出中断响应请求。为了避免误触发中断，在重新使能这个中断之前，T8NIF 位必须软件清零。在 CPU 进入休眠模式后，T8N 模块不工作，因此不产生中断。

当 T8N 配置为定时器模式时，若禁止预分频器，T8N 计数器的时钟为系统时钟二分频 (Fosc/2)；若使能预分频器，分频器对 Fosc/2 或者 WDT_RC 时钟进行分频，此时，T8N 计数器的计数时钟为分频后的时钟。

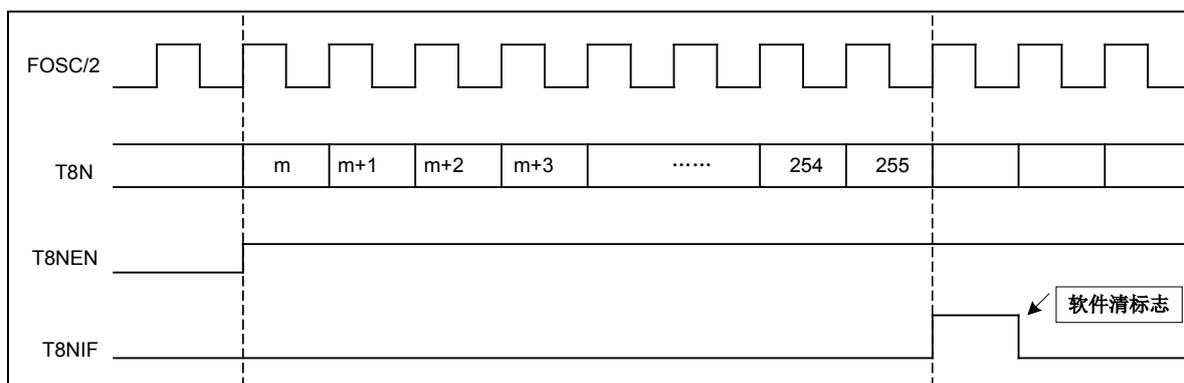


图 6-2 定时器模式时序图

6.1.1.7 同步计数器模式

当 T8N 配置为同步计数器模式时，若禁止预分频器，T8N 计数器的时钟为外部输入时钟 T8NCKI，内部相位时钟 p2 将对时钟 T8NCKI 进行同步。所以 T8NCKI 保持高电平或者低电平的时间至少为一个机器周期。通过设置 T8NEG (T8NC<4>)选择外部时钟的计数边沿为上升沿或下降沿。

同样，计数器模式也支持预分频器对外部时钟 T8NCKI 进行分频。并且，T8NCKI 复用的 IO 端口必须配置为数字输入状态。

当 T8N 计数器递增计数由 FFH 变为 00H 时，T8N 计数器发生溢出，中断标志 T8NIF 位被置“1”。如果中断使能位 T8NIE 和全局中断使能位 GIE 都为“1”，则向 CPU 发出 T8N 溢出中断响应请求。为了避免误触发中断，在重新使能这个中断之前，T8NIF 位必须软件清零。在 CPU 进入休眠模式后，T8N 模块不工作，因此不产生中断。

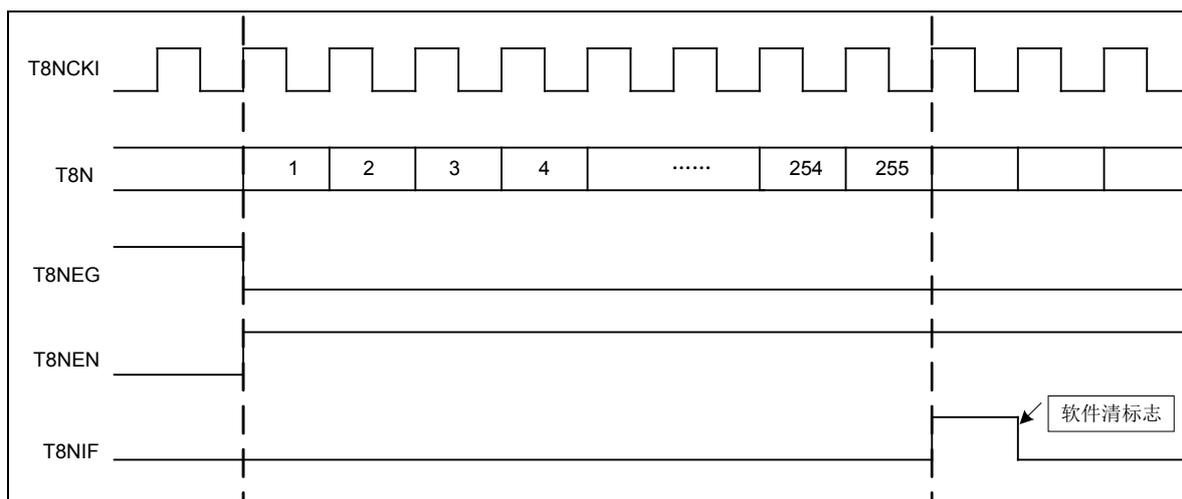


图 6-3 计数器模式时序图 (T8NEG=0, T8NCKI 上升沿计数)

6.1.1.8 特殊功能寄存器

8 位定时器/计数器 T8N 由两个寄存器控制，一个 8 位计数器 T8N 和一个控制寄存器 T8NC。T8N 寄存器用于存放计数值，T8NC 控制寄存器用于控制 T8N 的使能、T8N 的模式选择、T8NCKI 计数边沿选择、预分频器使能位以及预分频器分频比选择。

T8N: T8N 计数器								
Bit	7	6	5	4	3	2	1	0
Name	T8N<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 T8N<7:0>: 8 位 T8N 计数值

T8NC: T8N 控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	T8NEN	—	T8NM	T8NEG	T8NPRE	T8NPRS<2:0>		
R/W	R/W	—	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 T8NEN : T8N 使能位
0: 关闭
1: 使能
- Bit 6 未使用
- Bit 5 T8NM: T8N 模式选择位
0: 定时器模式 (时钟源为系统时钟二分频 Fosc/2)
1: 同步计数器模式 (时钟源为 T8NCKI)
- Bit 4 T8NEG: T8NCKI 计数边沿选择位
0: T8NCKI 上升沿计数
1: T8NCKI 下降沿计数
- Bit 3 T8NPRE: 预分频器使能位
0: 禁止

1: 使能

Bit 2~0 T8NPRS <2:0>: 预分频器分频比选择位

- 000: 1:2
- 001: 1:4
- 010: 1:8
- 011: 1:16
- 100: 1:32
- 101: 1:64
- 110: 1:128
- 111: 1:256

6.1.2 两路 8 位 PWM 时基定时器 (T8P1/T8P2)

6.1.2.1 概述

8 位 PWM 时基定时器 T8P1/T8P2 支持两种工作模式，定时器模式和 PWM 模式。定时器模式根据寄存器制定的定时时间进行定时，可以使定时器有选择地产生中断请求或完成其它操作。PWM 模式用于 PWM 输出。

- ◆ T8Pn 支持两种工作模式（时钟源为系统时钟 2 分频 (Fosc/2)）
 - 定时器模式
 - PWM 模式，最高 9 位精度
- ◆ T8Pn 支持以下功能组件
 - 4 位的预分频器和后分频器（无实际物理地址，软件不可读写）
 - 8 位计数器 (T8Pn)
 - 8 位精度寄存器 (T8PnRL)
 - 8 位精度缓冲寄存器 (T8PnRH)（在 PWM 模式下，软件不可写）
 - 8 位周期寄存器 (T8PnP)
 - 8 位周期缓冲器 (PRDBUF, 无实际物理地址，软件不可读写)
 - T8Pn 控制寄存器(T8P1C/ T8P2C)
 - PWM 精度控制寄存器 (PWMnC)
 - T8Pn 输出控制寄存器 (T8PnOC)
- ◆ 中断和暂停
 - 支持匹配中断标志 (T8PnIF) 和周期中断(T8PnPIF)
 - 支持中断处理
 - 在 IDLE 模式下，T8Pn 暂停工作

6.1.2.2 内部结构图

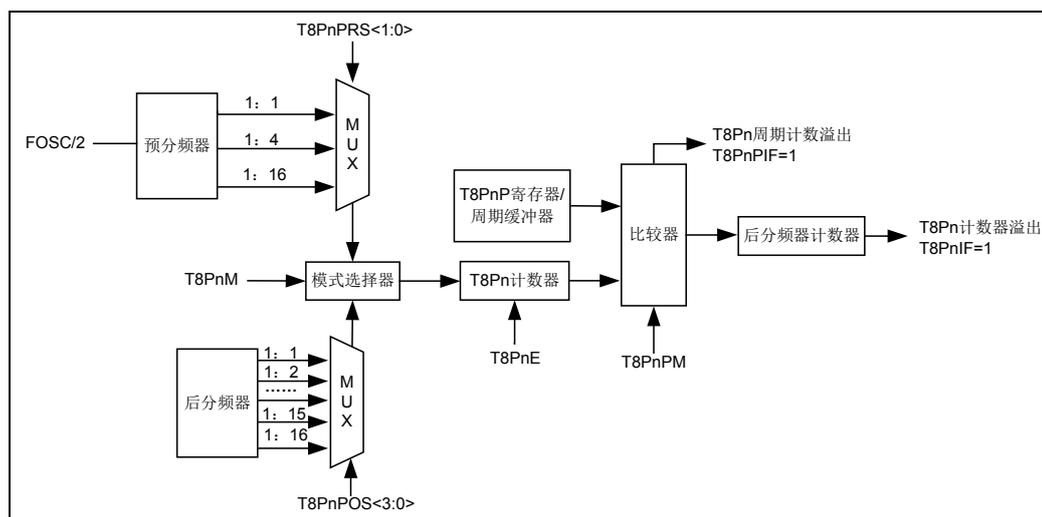


图 6-4 T8P1/T8P2 内部结构图

6.1.2.3 工作模式

8 位 PWM 时基定时器共有两个模式：定时器模式和 PWM 模式，通过 T8PnC 寄存器中的 T8PnM 位进行设置选择。

T8PnM	工作模式
0	定时器模式
1	PWM 模式

表 6-3 T8Pn 工作模式配置表

6.1.2.4 预分频器和后分频器

预分频器和后分频器可以提供更长的溢出和中断周期。T8Pn 模块计数器支持可配置的 4 位预分频器和可配置的 4 位后分频器。预分频器与后分频器的计数值都无法读写，修改 T8Pn 的控制寄存器或计数器都会把预分频器和后分频器清零，但不改变分频比设置。预分频器的分频比可通过 T8PnC 寄存器中的 T8PnPRS <1:0> 位进行设置，预分频比范围为 1:1~1:16。后分频器的分频比可通过 T8PnC 寄存器中的 T8PnPOS <3:0> 位进行设置，后分频比范围为 1:1~1:16。

需要注意的是，预分频器分频比和后分频器分频比设置不能同时大于 1:1，即当预分频器分频比为 1:1 时，才可设置后分频器分频比，同理，当设置预分频器分频比前，需先确保后分频器分频比为 1:1。

T8PnPOS<3:0>	T8PnPRS<1:0>	T8Pn 定时器时钟频率
0000	00	Fosc/2
0000	01	Fosc/8
0000	1x	Fosc/32
其它值	—	—

表 6-4 T8P1/T8P2 预分频器配置表

T8PnPRS<1:0>	T8PnPOS<3:0>	T8Pn 匹配中断
00	0000	计数器与周期寄存器匹配 1 次
00	0001	计数器与周期寄存器匹配 2 次
00	0010	计数器与周期寄存器匹配 3 次
00	0011	计数器与周期寄存器匹配 4 次
00	0100	计数器与周期寄存器匹配 5 次
00	0101	计数器与周期寄存器匹配 6 次
00	0110	计数器与周期寄存器匹配 7 次
00	0111	计数器与周期寄存器匹配 8 次
00	1000	计数器与周期寄存器匹配 9 次
00	1001	计数器与周期寄存器匹配 10 次
00	1010	计数器与周期寄存器匹配 11 次
00	1011	计数器与周期寄存器匹配 12 次
00	1100	计数器与周期寄存器匹配 13 次
00	1101	计数器与周期寄存器匹配 14 次
00	1110	计数器与周期寄存器匹配 15 次
00	1111	计数器与周期寄存器匹配 16 次
其它值	—	—

表 6-5 T8P1/T8P2 后分频器配置表

6.1.2.5 工作模式

T8P1/T8P2 有两种工作模式，定时器模式和 PWM 模式，通过 T8PnM 进行模式选择。两种模式均支持预分频器和后分频器。两种模式下，T8Pn 计数器的时钟源均为系统时钟 2 分频 ($F_{osc}/2$)。

6.1.2.6 定时器模式

当 T8PnM=0 且 T8PnE=1 时，T8Pn 工作在定时器模式。

在定时器模式下，T8Pn 计数器的时钟源为系统时钟二分频 $F_{osc}/2$ ，可选择预分频器对计数时钟进行分频，计数器的计数时钟为分频后的时钟。

T8Pn 在定时器模式下对计数时钟进行递增计数，当 T8Pn 的计数值与周期寄存器 T8PnP（当 T8PnPM=0）或与周期缓冲器 PRDBUF（当 T8PnPM=1）相等时，将周期中断 T8PnPIF 置 1，该中断标志需要软件清零。同时 T8Pn 被自动清零并重新开始计数，后分频器加 1 计数。当后分频器的计数值与后分频器分频比相同时，复位后分频器，并将中断标志 T8PnIF 置 1，该中断标志需要软件清零。

T8PnP 寄存器的缓冲寄存器为周期缓冲器 PRDBUF，当 T8Pn 的计数值与 PRDBUF 相等且 T8PnPM=1 时，将 T8PnP 寄存器的内容更新至周期缓冲器 PRDBUF。

注 1：在设置 T8PnM=0 且 T8PnPM=1 后，再使能 T8PnE=1，确保在定时器模式起始时，能将周期寄存器 T8PnP 的值更新至周期缓冲器 PRDBUF。

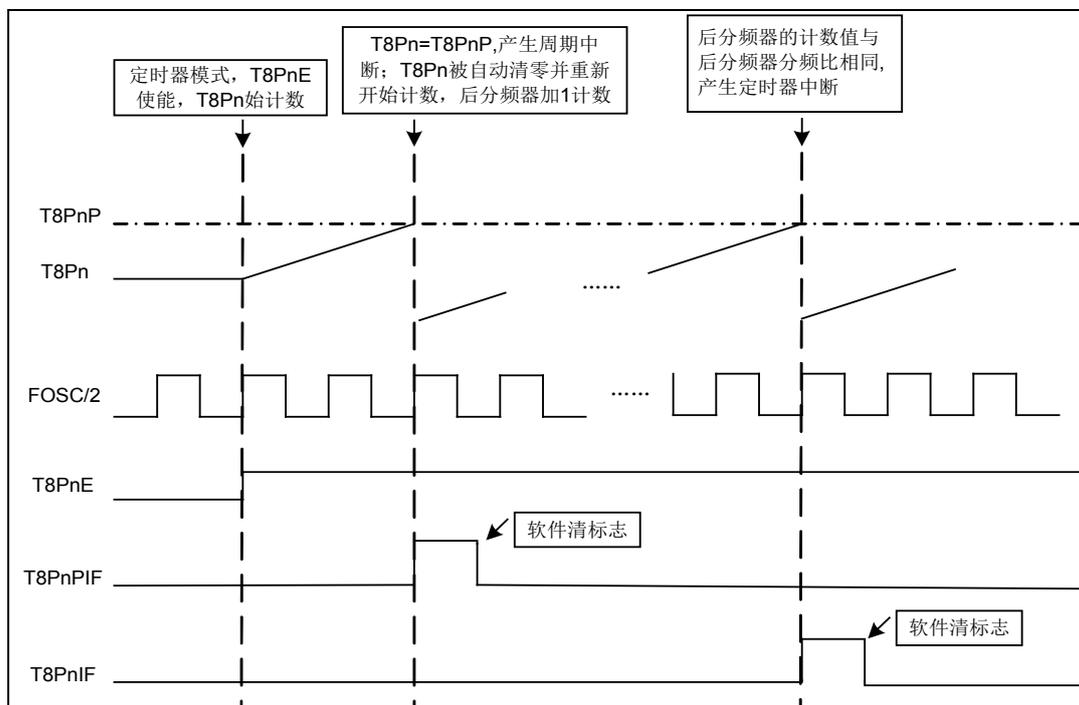


图 6-5 T8Pn 定时器模式时序图

6.1.2.7 PWM 输出模式

当 T8PnM=1 且 T8PnE=1 时，T8Pn 工作在 PWM 输出模式。计数时钟源为系统时钟二分频 $F_{osc}/2$ ，并支持预分频器。后分频器的设置不影响 PWM 输出周期和占空比，只影

响匹配中断 T8PnIF 中断标志位的产生，详见《T8Pn 后分频器配置表》。

如下图所示，在 PWM 模式 (T8PnM=1) 下，当 T8PnE=0 时，PWM 输出关闭，并保持 PWM 输出为 0；设置 T8PnE 为 1 时，PWM 输出波形启动，PWM 输出起始为 1，同时分别将 T8PnP 和 T8PnRL 寄存器的内容更新至缓冲器 PRDBUF 和精度缓冲寄存器 T8PnRH (缓冲器软件不可读写)，随后 T8Pn 从零开始递增计数，当 T8Pn 与 T8PnRH 的值相等时，PWM 输出改变为 0，并继续递增计数。当 T8Pn 的计数值与 PRDBUF 相等时，PWM 输出恢复为 1，同时 PRDBUF 和 T8PnRH 再次分别载入 T8PnP 和 T8PnRL 寄存器的值，并产生周期中断 T8PnPIF 中断标志，该中断标志需要软件清零。同时 T8Pn 被自动清零并重新开始计数，后分频器加 1 计数。至此一个完整的 PWM 周期完成，随后继续循环新的 PWM 周期。当后分频器的计数值与后分频器分频比相同时，复位后分频器，并将中断标志 T8PnIF 置 1，该中断标志需要软件清零。

通过设置 T8P1EN<1:0> (T8P1OC<1:0>) 和 T8P2EN<1:0> (T8P2OC<1:0>)，并且 PWM 复用 IO 的 PxT 设置为输出状态时，则相应的 Px 端口输出 PWM 波形。

注 1: 若{T8PnRH,T8pnREX}的值为 0，则当前 PWM 周期内 PWM 输出始终为 0；
若精度缓冲寄存器 T8PnRH 的值不小于 PRDBUF，则当前 PWM 周期内 PWM 输出始终为 1。
注 2: 在设置 T8PnM=1 后，再使能 T8PnE=1，确保起始周期成功更新 PWM 的缓冲寄存器。

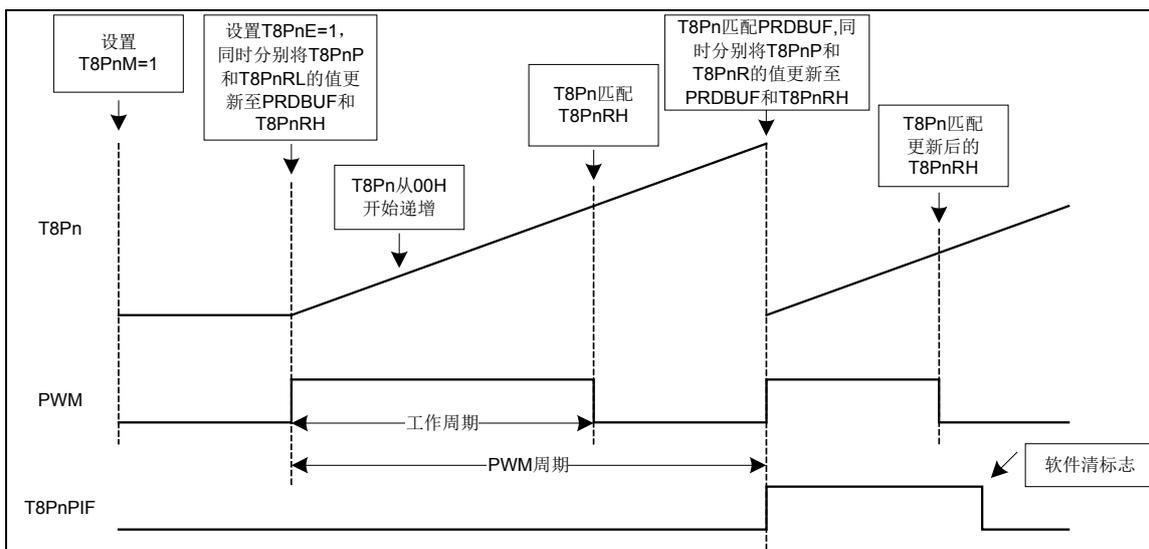


图 6-6 T1n PWM 模式示意图

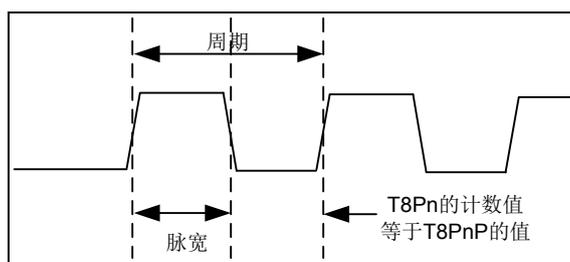


图 6-7 PWM 输出示意图

PWM 计算公式如下:

$$\text{PWM 周期} = [(T8PnP)+1] \times 2 \times T_{osc} \times (T8Pn \text{ 预分频倍数})$$

$$\text{PWM 频率} = 1/(\text{PWM 周期})$$

PWM 精度寄存器 T8PnR 为 8 位寄存器, 同时增加 1 位 T8PnREX 作为 T8PnR 的最低位扩展, 脉宽控制基于系统时钟 Fosc 经过预分频器。

$$\text{PWM 脉宽} = (T8PnRL \times 2 + 1 + T8PnREX) \times T_{osc} \times (T8Pn \text{ 预分频倍数})$$

$$\text{PWM 占空比} = [\text{PWM 脉宽}] / [\text{PWM 周期}]$$

PWM 的最大分辨率计算公式:

$$\text{分辨率} = \frac{\log\left(\frac{F_{osc}}{F_{pwm} \times [\text{预分频倍数}]}\right)}{\log 2}$$

注 1: $T_{osc} = 1/F_{osc}$, $F_{pwm} = 1/(\text{PWM 周期})$

6.1.2.8 特殊功能寄存器

T8Pn: T8Pn 计数器(T8P1/T8P2)								
Bit	7	6	5	4	3	2	1	0
Name	T8Pn <7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 T8Pn <7:0>: 8 位 T8Pn 计数值, 00H~FFH

T8PnP: T8Pn 周期寄存器(T8P1P/T8P2P)								
Bit	7	6	5	4	3	2	1	0
Name	T8PnPL <7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

Bit 7~0 T8PnPL <7:0>: PWM 周期值

T8PnRL: T8Pn 精度寄存器 (T8P1RL/T8P2RL)								
Bit	7	6	5	4	3	2	1	0
Name	T8PnRL <7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 T8PnRL <7:0>: 8 位精度寄存器

T8PnRH: T8Pn 精度缓冲寄存器(T8P1RH/ T8P2RH)								
Bit	7	6	5	4	3	2	1	0
Name	T8PnRH <7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 T8PnRH <7:0>: 8 位精度缓冲寄存器

注: 在 PWM 输出模式下, 此寄存器不可写; 当 PWM 功能关闭时, 此寄存器可写。

T8PnC: T8Pn 控制寄存器(T8P1C/ T8P2C)									
Bit	7	6	5	4	3	2	1	0	
Name	T8PnM	T8PnPOS<3:0>				T8PnE	T8PnPRS<1:0>		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
POR	0	0	0	0	0	0	0	0	

Bit 7 T8PnM: T8Pn 工作模式选择位

0: 定时器模式

1: PWM 输出模式

Bit 6~3 T8PnPOS<3:0>: T8Pn 后分频器分频比选择位

当 T8PnPRS<1:0>=00 时

0000: 分频比为 1:1

0001: 分频比为 1:2

0010: 分频比为 1:3

...

1111: 分频比为 1:16

Bit 2 T8PnE: T8Pn 使能位

0: 关闭

1: 使能

Bit 1~0 T8PnPRS<1:0>: T8Pn 预分频器分频比选择位

当 T8PnPOS<3:0>=0000 时

00: 分频比为 1:1

01: 分频比为 1:4

1x: 分频比为 1:16

PWMnC: PWM 精度控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	T8PnPM	T8PnREX	—	—	—
R/W	—	—	—	W	R/W	—	—	—
POR	0	0	0	0	0	0	0	0

Bit 7~5 未使用

Bit 4 T8PnPM: 定时器模式下周期匹配控制位

1: T8Pn 计数值与周期缓冲器 PRDBUF 进行匹配

0: T8Pn 计数值与周期寄存器 T8PnP 进行匹配

Bit 3 T8PnREX: PWM 模式精度扩展位

Bit 2~0 未使用，需保留为 000

T8P1OC: T8P1 输出控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	—	T8P1EN<1:0>	
R/W	—	—	—	—	—	—	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~2 未使用

Bit 1~0 T8P1EN<1:0>: PWM1 输出管脚选择位

00: PA<0>输出 PWM1

01: PB<1>输出 PWM1

10: PB<3>输出 PWM1

11: 未用

T8P2OC: T8P2 输出控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	—	T8P2EN<1:0>	
R/W	—	—	—	—	—	—	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~2 未使用

Bit 1~0 T8P2EN<1:0>: PWM2 输出管脚选择位

00: PB<0>输出 PWM2

01: PB<2>输出 PWM2

10: PA<0>输出 PWM2

11 : 未用

注: PWM 输出的端口, 必须软件设置其方向寄存器为输出状态。

6.2 通用异步接收发送器 (UART)

6.2.1 概述

本芯片支持一组全双工的通用异步接收器发送器 UART，是与外部设备进行通讯的串行接口，可以很方便的与其它具有串行接口的外部设备通讯。

- ◆ 支持两种工作模式
 - 异步接收器
 - 异步发送器
- ◆ 传输波特率配置
 - 高速模式
 - 低速模式
 - 支持 8/9 位传输数据格式，约定数据从最低位开始接收/发送
- ◆ 支持全双工模式
- ◆ UART 支持以下功能组件
 - 接收数据寄存器 (RXB)
 - 接收控制寄存器 (RXC)
 - 发送数据寄存器 (TXB)
 - 发送控制寄存器 (TXC)
 - 发送移位寄存器 (TXR) (无实际物理地址，不可读写)
 - 波特率寄存器 (BRR)
- ◆ 中断和暂停
 - 支持接收中断标志 (RXIF，只可读)
 - 支持发送中断标志 (TXIF，只可读)
 - 支持中断处理
 - 在 IDLE 模式下，暂停接收和发送
- ◆ 兼容 RS-232/RS-442/RS-485 的通讯接口

6.2.2 波特率配置

UART 自身具有一个波特率发生器，通过它可以设定数据传输速率。波特率是由一个独立的内部 8 位计数器产生，它由 BRR 寄存器和 TXC 寄存器的 BRGH 来控制。BRGH 是决定波特率发生器处于高速模式还是低速模式，从而决定计算公式的选用。

波特率	计算公式	BRGH
低速模式	$F_{osc}/(64 \times (BRR\langle 7:0 \rangle + 1))$	0
高速模式	$F_{osc}/(16 \times (BRR\langle 7:0 \rangle + 1))$	1

表 6-6 UART 波特率配置表

6.2.3 传输数据格式

UART 的传输数据格式有两种选择，8 位或 9 位。接收数据时，通过读取 RXC 寄存器中的 RXR8 位可以确定接收的数据格式。发送数据时，可通过 TXC 寄存器中的 TXR8 位设置将要发送的数据格式。



图 6-8 UART 数据格式示意图

6.2.4 异步发送器

UART 异步发送器完全集成，异步发送器发送数据时，起始位(START)和结束位(STOP)由芯片内部产生，用户只需要使能异步发送器，并将所要发送的数据写入 TXB 和 TXR8 内，就能实现异步发送，异步发送器还可以实现数据连续发送。注意，在发送数据时，用户使能异步发送器后，需先检查发送移位寄存器 (TXR) 是否为空，只有在发送移位寄存器为空时，才能发送数据。由于 UART 发送器发送端口 TX 与 I/O 端口 PX 复用，在使用 UART 发送端口前，需首先设置 PXT 寄存器使复用端口 PX 处于输出状态。操作流程图如下：

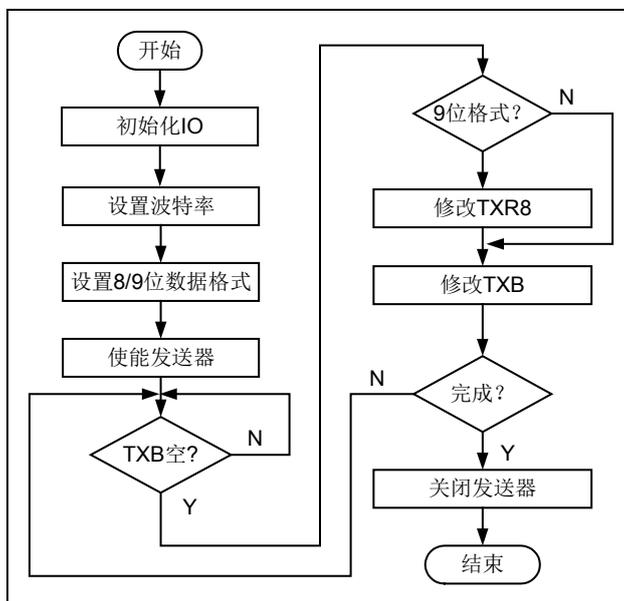


图 6-9 UART 发送器操作流程图

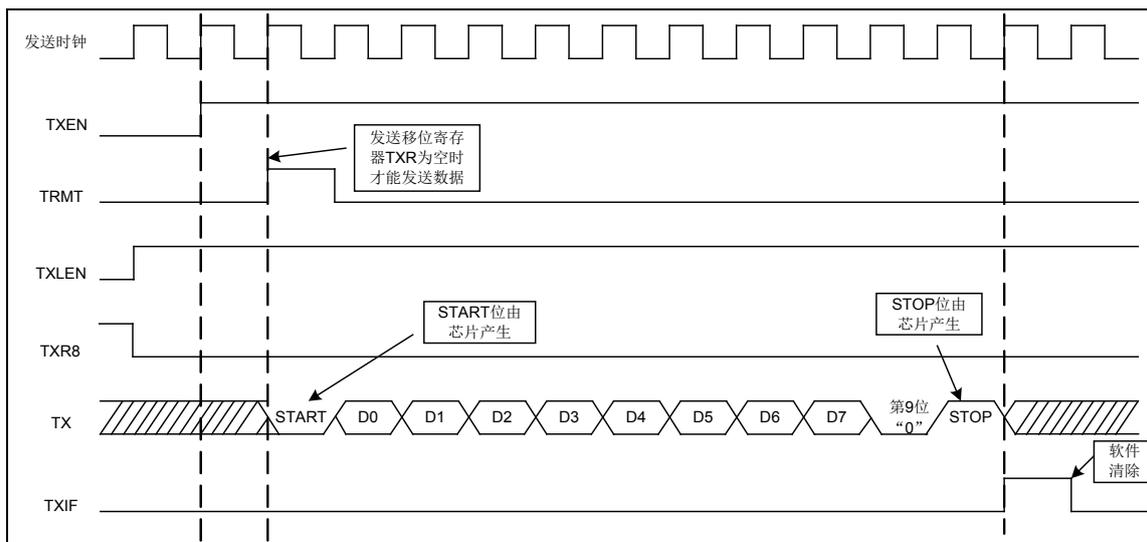


图 6-10 UART 发送器发送数据时序图（9 位数据格式，第 9 位数据为“0”）

6.2.5 异步接收器

UART 异步接收器完全集成，异步接收器接收数据时，用户可以查询 RXIF 中断标志位，来判断是否收到完整的一帧数据，并通过读取 RXB 和 RXR8 获得数据。芯片内部提供 2 级 9 位 FIFO 作为接收数据缓冲区，若用户在第 3 个数据接收完毕前，未读取 RXB，则溢出标志位 OERR 将置 1。FERR 在用户未接收到结束位 STOP 时置 1。注意，由于 UART 接收器接收端口 RX 与 I/O 端口 PX 复用，在使用 UART 接收端口前，需首先设置 PXT 寄存器使复用端口 PX 处于输入状态。操作流程流程图如下：

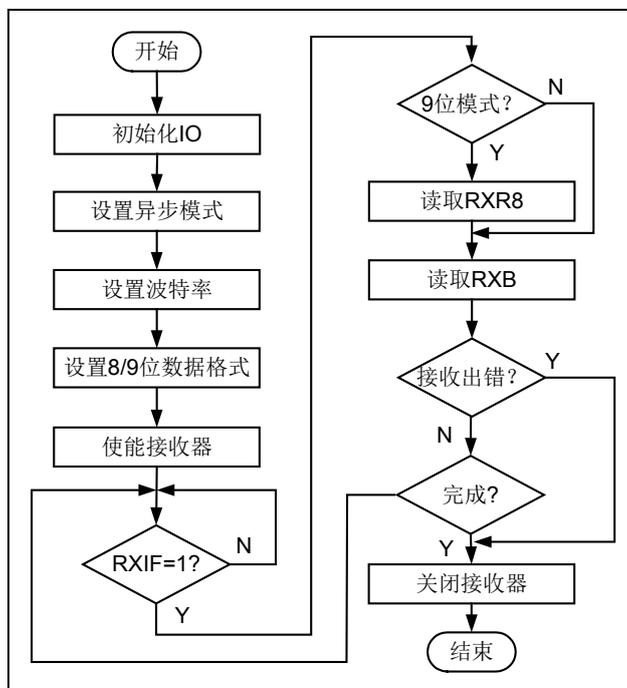


图 6-11 UART 接收器操作流程

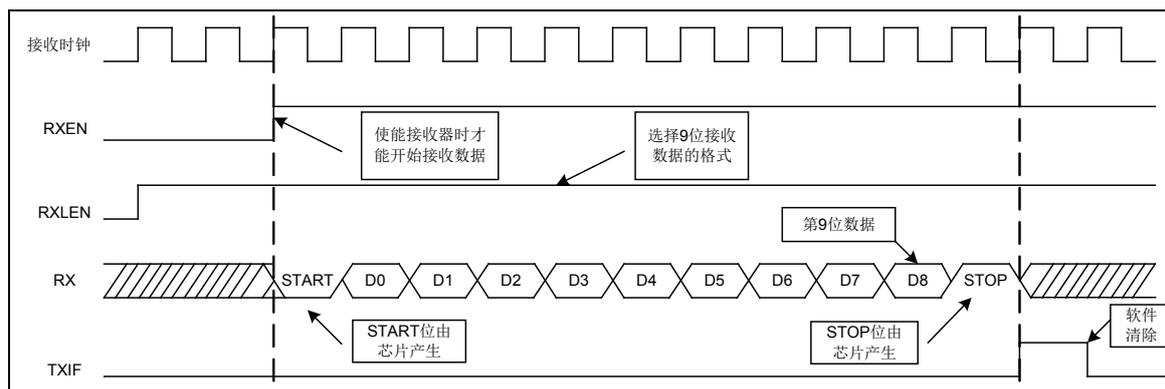


图 6-12 UART 接收器接收数据时序图（9 位数据格式）

6.2.6 UART使用注意事项

在 UART 电路使能前，首先要设置复用 I/O 端口为数字端口。UART 模块使能后，TX 管脚需设置为输出口，RX 管脚设置为输入口，才能保证所要发送或接收的数据可以成功地从 TX 管脚传出或者从 RX 管脚接收到。另外，程序中不建议用户频繁切换 TX 和 RX 管脚的输入/输出类型。

6.2.7 特殊功能寄存器

UART 模块相关的有 5 个寄存器，包括一个接收数据寄存器 RXB、一个接收控制/状态寄存器 RXC、一个发送数据寄存器 TXB、一个发送控制/状态寄存器 TXC，以及一个波特率寄存器 BRR。RXB 和 TXB 寄存器分别用于存放接收到的和发送的数据，RXC 寄存器用于接收器的使能控制、接收数据格式的选择、以及接收溢出标志、帧格式错标志和存放第 9 位接收数据等。TXC 寄存器用于发送器的使能控制、发送数据格式的选择、波特率模式的选择、存放第 9 位发送数据以及发送移位寄存器（TXR）空标志的显示等。BRR 寄存器用于 UART 的波特率设置，设置范围为 00H~FFH。

RXB 寄存器：UART 接收数据寄存器								
Bit	7	6	5	4	3	2	1	0
Name	RXB<7:0>							
R/W	R	R	R	R	R	R	R	R
POR	x	x	x	x	x	x	x	x

“x”：未知

Bit 7~0 RXB<7:0>: UART 接收到的数据

RXC 寄存器：UART 接收控制/状态寄存器								
Bit	7	6	5	4	3	2	1	0
Name	RXEN	RXLEN	—	—	—	OERR	FERR	RXR8
R/W	R/W	R/W	—	—	—	R	R	R
POR	0	0	0	0	0	0	0	x

“x”：未知

Bit 7 RXEN: 接收器使能位
0: 禁止

- 1: 使能
- Bit 6 RXLEN: 接收器数据格式选择位
 - 0: 8 位数据接收格式
 - 1: 9 位数据接收格式
- Bit 5~3 未使用
- Bit 2 OERR: 接收溢出标志位
 - 0: 无溢出错误
 - 1: 有溢出错误 (清 RXEN 清零)
- Bit 1 FERR: 帧格式错标志位
 - 0: 无帧格式错误
 - 1: 帧格式错 (读 RXB 清零)
- Bit 0 RXR8: 第 9 位接收数据位
 - 0: 第 9 位数据为 0
 - 1: 第 9 位数据为 1

TXB 寄存器: UART 发送数据寄存器								
Bit	7	6	5	4	3	2	1	0
Name	TXB<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 TXB<7:0>: UART 发送的数据

TXC 寄存器: UART 发送控制/状态寄存器								
Bit	7	6	5	4	3	2	1	0
Name	TXEN	TXLEN	BRGH	—	—	—	TRMT	TXR8
R/W	R/W	R/W	R/W	—	—	—	R	R/W
POR	0	0	0	0	0	0	1	0

- Bit 7 TXEN: 发送器使能位
 - 0: 禁止
 - 1: 使能
- Bit 6 TXLEN: 发送器数据格式选择位
 - 0: 8 位数据格式
 - 1: 9 位数据格式
- Bit 5 BRGH: 波特率模式选择位
 - 0: 低速模式
 - 1: 高速模式
- Bit 4~2 未使用
- Bit 1 TRMT: 发送移位寄存器 (TXR) 空标志位
 - 0: TXR 不空
 - 1: TXR 空
- Bit 0 TXR8: 第 9 位发送数据设置
 - 0: 第 9 位数据为 0
 - 1: 第 9 位数据为 1

BRR 寄存器: UART 波特率寄存器								
Bit	7	6	5	4	3	2	1	0
Name	BRR<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 BRR<7:0>: UART 波特率设置, 00H~FFH

6.3 低电压检测模块 (LVD0/LVD1)

6.3.1 概述

芯片内置两组低电压检测模块，支持低电压检测功能，即 LVD，该功能使能用于监测电源电压 VDD 或 LVDnIN 模拟通道的输入电压。在供电电源不稳定的情况下，像外部电源噪声串扰或 EMS 测试条件下，会使电源剧烈振荡。在目标电压未稳定时，可能就会低于工作电压。若所需检测的电压低于一定值可提供一个警告信号。低电压检测也可产生中断信号。

6.3.2 LVD操作

LVD 功能的禁能使能由 LVDnC 寄存器中的 LVDnEN 控制位设置。当 LVDnEN 位清零，LVDn 功能禁能。当 LVDnEN 位置高，LVDn 功能使能。LVDn 模块将电源电压 VDD 或 LVDnIN 模拟通道的输入电压与预置电压进行比较，比较结果通过 LVDnC 寄存器的 LVDnO 位进行查询。预置电压的阈值由 LVDnC 寄存器中的 LVDnV<2:0>配置，当检测电源电压 VDD 时，预置电压范围为 2.1V~4.1V，当检测 LVDnIN 模拟通道时，预置电压固定为 1.25V。当目标电压低于预置电压值时，LVDnO 位被置为高，表明检测到低电压产生。当 LVDnO 变化时，产生 LVDn 中断标志，触发 LVDn 中断标志的条件可通过 LVDnC 寄存器中的 LVDnIFS 位选择为 LVDnO 上升沿产生、LVDnO 下降沿产生和 LVDnO 上升沿或下降沿都产生。当 LVDn 中断使能开启时产生 LVDn 中断请求。在睡眠模式下 LVDn 中断可唤醒芯片。

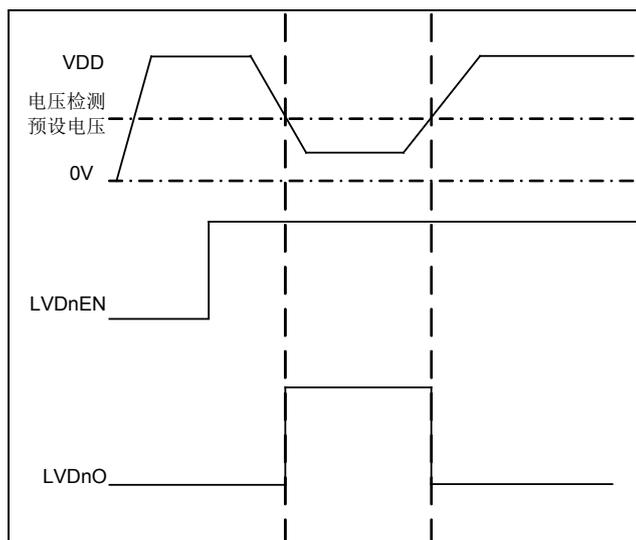


图 6-13 LVD 工作时序图

6.3.3 特殊功能寄存器

LVDnC 寄存器: LVDn 检测寄存器								
Bit	7	6	5	4	3	2	1	0
Name	LVDnO	LVDnIFS<1:0>		LVDnEN	—	LVDnV<2:0>		
R/W	R	R/W	R/W	R/W	—	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 LVDnO: LVD 输出状态位

	0: 被监测电压高于电压阈值
	1: 被监测电压低于电压阈值
Bit 6~5	LVDnIFS<1:0>: LVD 中断标志产生模式选择位
	00: LVDO 上升沿产生中断
	01: LVDO 下降沿产生中断
	10: LVDO 上升或下降沿都产生中断
	11: 保留
Bit 4	LVDnEN: LVDn 使能位
	0: 禁止
	1: 使能
Bit 3	未使用
Bit 2~0	LVDnV<2:0>: LVD 电压检测选择位
	000: 2.1V
	001: 2.4V
	010: 3.0V
	011: 3.6V
	100: 3.2V
	101: 3.8V
	110: 4.1V
	111: 监测 LVDIN, 阈值电压 1.25V

第 7 章 中断处理

7.1 概述

中断是芯片一个重要功能。它可将芯片从睡眠模式中唤醒，也可以使系统在正常运行过程中响应突发事件，中止并保存当前运行程序的信息，跳转到请求中断的入口地址，执行相对应的中断服务程序，处理突发事件。本芯片支持的中断模式有两种：默认中断模式和向量中断模式，最多可支持 12 个中断源，1 个软件中断和 11 个硬件中断。

7.2 内部结构

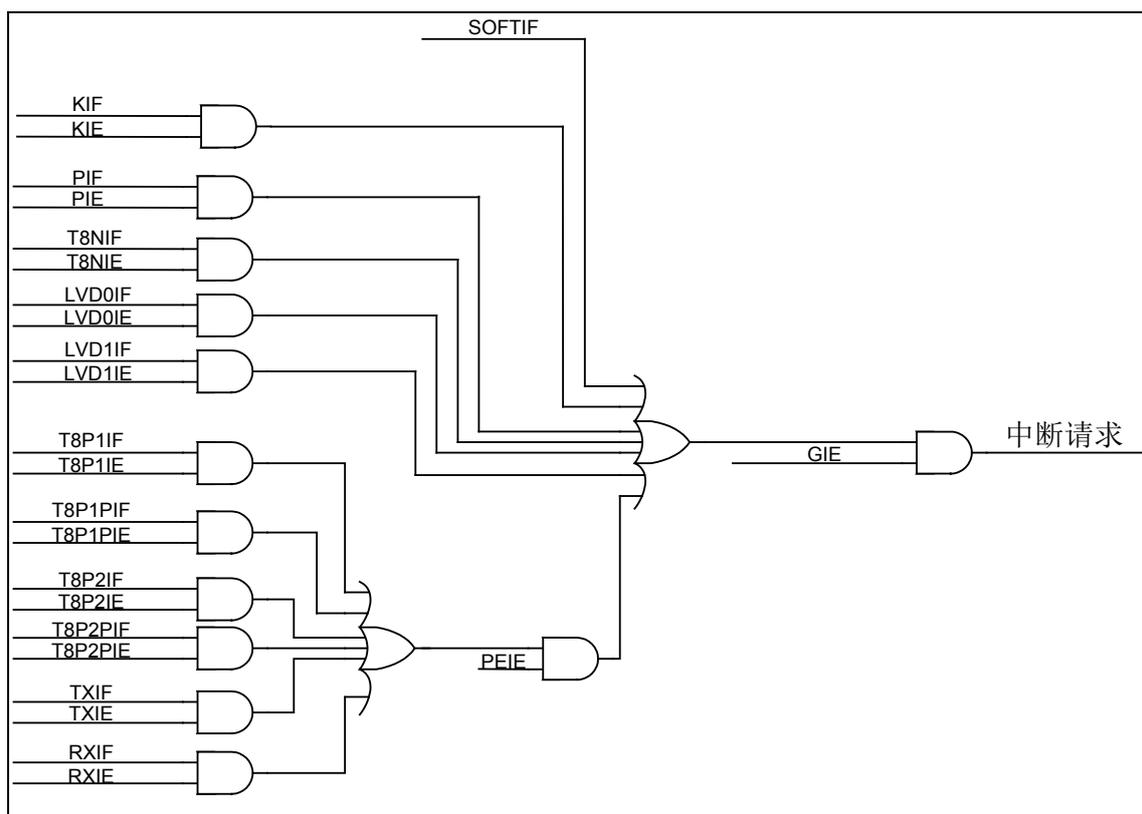


图 7-1 中断控制逻辑

7.3 中断模式选择

芯片支持两种中断模式，默认中断模式和向量中断模式，可通过 INTG 寄存器中的 INTVEN 位选择。

INTVEN	中断模式
0	默认中断模式
1	向量中断模式

表 7-1 中断处理模式配置表

默认中断模式只支持 1 个中断入口，即 0008H 入口地址，向量中断模式支持多个中断入口 004H~01CH。

7.3.1 默认中断模式

当寄存器 INTVEN 值为 0 时，系统处于默认中断模式，所有中断向量的入口地址均位于 008H。用户需通过中断子程序判断各中断源的标志位及使能位区分是由哪个中断源引起的中断，从而执行相应的中断服务子程序，此时无软件中断。

序号	中断名	中断标志	中断屏蔽	中断使能	外设使能	全局使能	中断入口地址
1	软中断	SOFTIF	-	-	-	GIE	008H
2	KINT0	KIF	KMASK0	KIE	-	GIE	
	KINT1		KMASK1				
	KINT2		KMASK2				
	KINT3		KMASK3				
	KINT4		KMASK4				
3	PINT	PIF	-	PIE	-	GIE	
4	LVD0INT	LVD0IF	-	LVD0IE	-	GIE	
5	LVD1INT	LVD1IF	-	LVD1IE	-	GIE	
6	T8NINT	T8NIF	-	T8NIE	-	GIE	
7	T8P1INT	T8P1IF	-	T8P1IE	PEIE	GIE	
8	T8P1PINT	T8P1PIF	-	T8P1PIE	PEIE	GIE	
9	T8P2INT	T8P2IF	-	T8P2IE	PEIE	GIE	
10	T8P2PINT	T8P2PIF	-	T8P2PIE	PEIE	GIE	
11	TXINT	TXIF	-	TXIE	PEIE	GIE	
12	RXINT	RXIF	-	RXIE	PEIE	GIE	

表 7-2 默认中断模式中中断逻辑表

7.3.2 向量中断模式

当 INTVEN 位为 1 时，系统处于向量中断模式。每个中断都有各自的中断向量的入口地址。当中断发生时，系统自动执行相应的中断向量的中断子程序，无需判断中断源。

本芯片 7 个硬件中断源，分 7 组 (IG0 ~ IG6)，每组中断源共用一个中断向量的入口地址。

序号	中断名	中断标志	中断屏蔽	中断使能	外设使能	全局使能	中断组号	中断入口地址
1	软中断	SOFTIF	-	-	-	GIE	IG0	004H
2	TXINT	TXIF	-	TXIE	PEIE	GIE		
3	RXINT	RXIF	-	RXIE	PEIE	GIE		
4	KINT0	KIF	KMASK0	KIE	-	GIE	IG1	008H
	KINT1		KMASK1					
	KINT2		KMASK2					
	KINT3		KMASK3					
	KINT4		KMASK4					
5	T8P1INT	T8P1IF	-	T8P1IE	PEIE	GIE	IG2	00CH
6	T8P1PINT	T8P1PIF	-	T8P1PIE	PEIE	GIE		
7	PINT	PIF	-	PIE	-	GIE	IG3	010H

序号	中断名	中断标志	中断屏蔽	中断使能	外设使能	全局使能	中断组号	中断入口地址
8	T8NINT	T8NIF	-	T8NIE	-	GIE	IG4	014H
9	LVD0INT	LVD0IF	-	LVD0IE	-	GIE	IG5	018H
10	LVD1INT	LVD1IF	-	LVD1IE	-	GIE		
11	T8P2INT	T8P2IF	-	T8P2IE	PEIE	GIE	IG6	01CH
12	T8P2PINT	T8P2PIF	-	T8P2PIE	PEIE	GIE		

表 7-3 向量中断模式中中断逻辑表

7.4 中断现场保护

中断现场保护是中断程序中一个很重要的组成部分。

指令系统中有 **PUSH**（压栈）和 **POP**（出栈）指令，可以用来实现中断的数据保存。可以保存的数据包括：累加器 **A** 寄存器、程序状态字寄存器 **PSW** 和 **PCRH** 寄存器。其它数据寄存器的保护需采用其它指令实现。

7.5 中断操作

7.5.1 中断使能位GIE的操作

每个硬件中断源都有各自的中断使能和中断标志位，因此初始化相应的硬件中断时，需要先清除中断标志位，再使能当前中断。若使能前不先清除中断标志，则有可能发生误进中断的情况。除了每个中断支持中断使能外，本芯片还提供了一个全局中断。因此在初始化所有需要的中断后，请使能全局中断。

若中断事件条件产生，相关中断标志将被置为“1”。中断标志产生后程序要跳转至相应服务地址执行需满足以下条件：

1. 当对应中断使能位为“1”时，继续判断第二个条件是否满足；当对应中断使能位为“0”，即使中断标志为“1”，中断也不会发生，程序也不会跳转至中断服务地址执行。
2. 当全局中断使能位 **GIE** 为“0”，将屏蔽所有中断请求。当全局中断使能位 **GIE** 为“1”，程序将跳至中断服务地址执行。
3. 在默认中断模式时，对于 **T8P1** 和 **T8P2** 定时中断、周期中断，以及 **RX**、**TX** 中断，除了设置对应中断使能位和全局中断使能位 **GIE** 外，还要使能外设中断使能位 **PEIE**，才能执行相应的中断响应。

为确保对寄存器 **GIE** 的软件写操作成功，需按如下步骤进行：

对 **GIE** 位的软件清 0 操作，需先关闭所有外设中断使能，再将 **GIE** 位清 0；或在 **GIE** 位清 0 操作后，查询 **GIE** 位是否为 0，不为 0 则继续执行清 0 操作，直到成功为止；

对 **GIE** 位的软件置 1 操作，无特殊要求，推荐先打开所需的外设中断使能，再将 **GIE** 位置 1。

7.5.2 外部中断

当 **PINT0** 复用端口被配置为数字输入端口，且输入信号变化满足触发条件时，将产生 **PINT** 外部端口中断，相应的中断标志 **PIF** 被置“1”。当全局中断控制位 **GIE** 和外部端口中断控

制位 PIE 都被置为“1”，则向 CPU 发出 PINT 外部端口中断请求。当中断条件允许，系统将进入相应中断的服务程序入口地址，进行中断程序处理。

值得注意的是，相应中断标志位 PIF 和中断使能位 PIE 都需通过软件清除，INTC0 寄存器中的 PEG0 位用于配置触发条件，可分别配置为上升沿触发或下降沿触发。

7.5.3 外部按键中断

当 KINn 复用端口被配置为数字输入端口，未被屏蔽的按键中任何一个端口输入信号发生电平变化，将中断标志位 KIF 置为“1”，当外部按键中断控制位 KIE 为“1”，且全局中断控制位 GIE 位使能后，则向 CPU 发出外部按键中断请求。当外部按键中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。

使用外部按键中断时，须配置相应的控制寄存器，并且使能外部按键中断端口的内部弱上拉电阻。

在按键中断使能（KMSKn=1，KIE=1）前，先对端口寄存器进行读或者写的操作，清除中断标志位，以免误产生中断。

清除该中断标志位 KIF 的操作步骤：

- 1) 对端口寄存器进行读或者写操作，结束端口电平与锁存器值的不匹配条件；
- 2) 软件清除中断标志位 KIF。

中断使能位 KIE 也需要通过软件进行清除。

7.5.4 T8N溢出中断

8 位定时器/计数器 T8N 处于定时器模式或计数器模式，当 T8N 计数器递增计数由 FFH 变为 00H 时，T8N 计数器发生溢出，将中断标志 T8NIF 位置“1”。当 T8N 溢出中断使能位 T8NIE 置为“1”，且全局中断控制位 GIE 使能后，则向 CPU 发出 T8N 溢出中断请求。当 T8N 溢出中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。值得注意的是，T8N 溢出中断标志位 T8NIF 和中断使能位 T8NIE 都需通过软件清除。

7.5.5 T8Pn(T8P1/T8P2)定时中断

8 位 PWM 时基定时器 T8Pn 处于定时器模式和 PWM 模式时，对计数时钟进行递增计数，当 T8Pn 后分频器的计数值与后分频器分频比相同时，将中断标志 T8PnIF 位置“1”。当 T8Pn 定时中断使能位 T8PnIE 置为“1”，且全局中断控制位 GIE 和外设中断使能位 PEIE 使能后，则向 CPU 发出 T8Pn 定时中断请求。当 T8Pn 定时中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。值得注意的是，T8Pn 定时中断标志位 T8PnIF 和中断使能位 T8PnIE 都需通过软件清除。

7.5.6 T8Pn(T8P1/T8P2)周期中断

8 位 PWM 时基定时器 T8Pn 处于定时器模式和 PWM 模式时，都可以产生周期中断。当 T8Pn 计数器与 T8PnP 寄存器的值相等时（PWM 模式时，T8Pn 从零开始递增计数），将产生 T8Pn 周期中断，中断标志 T8PnPIF 被置“1”。如果中断使能位 T8PnPIE 置为“1”，且全局中断控制位 GIE 和外设中断使能位 PEIE 使能后，则向 CPU 发出 T8Pn 周期中断请求。当 T8Pn 周期中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。值得注意的是，T8Pn 周期中断标志位 T8PnPIF 和中断使能位 T8PnPIE 都

需通过软件清除。

7.5.7 UART中断

UART 中断包括两种：发送中断和接收中断。

当 UART 异步发送器的发送数据寄存器 TXB 为空时或异步接收器完成一个数据接收，产生 UART 发送/接收中断，发送/接收中断标志位 RXIF/TXIF 位被置为“1”。如果发送/接收中断使能位 RXIE/TXIE 置为“1”，且全局中断控制位 GIE 和外设中断使能位 PEIE 使能后，则向 CPU 发出 UART 发送/接收中断请求。当 UART 发送/接收中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。值得注意的是，发送/接收中断标志位 RXIF/TXIF 和中断使能位 RXIE/TXIE 都需通过软件清除。

7.5.8 LVDn中断

当 VDD 电压或者 LVDnIN 模拟通道的电压小于 LVDnC 寄存器设置阈值电压时，低电压产生，LVDnO 上升沿或下降沿触发后，中断标志 LVDnIF 位被置“1”。如果中断使能位 LVDnIE 置为“1”，且全局中断控制位 GIE 使能后，则向 CPU 发出 LVDn 中断请求。当 LVDn 中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。值得注意的是，LVDn 中断标志位 LVDnIF 和中断使能位 LVDnIE 都需通过软件清除。

7.5.9 中断操作注意事项

用户在使能中断前需先清除相应的中断标志，避免中断的误触发。

除只读的中断标志（由硬件清除）外，其余的中断标志必须通过软件清除。

为避免中断的发生与中断标志清除操作冲突时，清除中断标志不成功，建议用户在进行中断标志清除操作后，对中断标志清除成功与否进行软件判断。如果操作不成功则再次进行中断标志清除操作，直到中断标志清除成功为止。用户也可以连续执行两次中断标志清除操作达到相同目的。

应用例程：中断标志清零程序

```

.....
BCC     INTC0,T8NIF    ; 清中断标志
JBC     INTC0,T8NIF    ; 判断清零是否成功
GOTO    $-2           ; 不成功则再次清零
.....

```

7.6 特殊功能寄存器

INTF0: 中断标志寄存器 0								
Bit	7	6	5	4	3	2	1	0
Name	RXIF	TXIF	T8P2IF	LVD0IF	T8NIF	PIF	T8P1IF	KIF
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7** **RXIF: UART 接收中断标志位**
 0: 接收缓冲区空 (接收未完成)
 1: 接收缓冲区满 (接收完成), 读 RXB 清零
- Bit 6** **TXIF: UART 发送中断标志位**
 0: 发送缓冲区满 (发送未完成)
 1: 发送缓冲区空 (发送完成), 写 TXB 清零
- Bit 5** **T8P2IF: T8P2 中断标志位**
 0: T8P2 计数器计数未发生匹配
 1: T8P2 计数器计数发生匹配 (必须软件清零)
- Bit 4** **LVD0IF: LVD0 中断标志位**
 0: 未检测到低电压
 1: 检测到低电压
- Bit 3** **T8NIF: T8N 溢出中断标志位**
 0: T8N 计数未溢出
 1: T8N 计数溢出 (必须用软件清零)
- Bit 2** **PIF: 外部端口中断标志位**
 0: 外部端口上无中断信号
 1: 外部端口上有中断信号 (必须用软件清零)
- Bit 1** **T8P1IF: T8P1 中断标志位**
 0: T8P1 计数器计数未发生匹配
 1: T8P1 计数器计数发生匹配 (必须软件清零)
- Bit 0** **KIF: 按键中断标志位**
 0: 其中 KIN0-4 未发生任何按键中断
 1: 其中 KIN0-4 至少发生一个按键中断

INTE0: 中断使能寄存器 0								
Bit	7	6	5	4	3	2	1	0
Name	RXIE	TXIE	T8P2IE	LVD0IE	T8NIE	PIE	T8P1IE	KIE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7** **RXIE: UART 接收中断使能位**
 0: 禁止
 1: 使能
- Bit 6** **TXIE: UART 发送中断使能位**
 0: 禁止
 1: 使能

- Bit 5 T8P2IE: T8P2 中断使能位
 0: 禁止 T8P2 中断
 1: 使能 T8P2 中断
- Bit 4 LVD0IE: LVD0 中断使能位
 0: 禁止 LVD0 中断
 1: 使能 LVD0 中断
- Bit 3 T8NIE: T8N 溢出中断使能位
 0: 禁止 T8N 中断
 1: 使能 T8N 中断
- Bit 2 PIE: 外部端口中断使能位
 0: 禁止外部端口中断
 1: 使能外部端口中断
- Bit 1 T8P1IE: T8P1 中断使能位
 0: 禁止 T8P1 中断
 1: 使能 T8P1 中断
- Bit 0 KIE: 按键中断使能位
 0: 禁止 KIN0-4 按键中断
 1: 使能 KIN0-4 按键中断

INTF1: 中断标志寄存器 1								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	T8P2PIF	T8P1PIF	LVD1IF
R/W	—	—	—	—	—	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7~3 未使用
- Bit 2 T8P2PIF: T8P2 周期中断标志位
 0: T8P2 未产生中断
 1: T8P2 产生中断 (必须软件清零)
- Bit 1 T8P1PIF: T8P1 周期中断标志位
 0: T8P1 未产生中断
 1: T8P1 产生中断 (必须软件清零)
- Bit 0 LVD1IF: LVD1 中断标志位
 0: 未检测到低电压
 1: 检测到低电压

INTE1: 中断使能寄存器 1								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	T8P2PIE	T8P1PIE	LVD1IE
R/W	—	—	—	—	—	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7~3 未使用
- Bit 2 T8P2PIE: T8P2 周期中断使能位
 0: 禁止
 1: 使能

- Bit 1 T8P1PIE: T8P1 周期中断使能位
 0: 禁止
 1: 使能
- Bit 0 LVD1IE: LVD1 中断使能位
 0: 禁止 LVD1 中断
 1: 使能 LVD1 中断

INTC0: 中断控制寄存器 0								
Bit	7	6	5	4	3	2	1	0
Name	—	—	PEG0	KMSKn<4:0>				
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7~6 未使用
- Bit 5 PEG0: PINT0 触发边沿选择位
 0: PINT0 下降沿触发
 1: PINT0 上升沿触发
- Bit 4~0 KMSKn<4:0>: KINn 按键输入屏蔽位
 0: 屏蔽
 1: 不屏蔽

INTG: 中断全局寄存器								
Bit	7	6	5	4	3	2	1	0
Name	GIE	PEIE	—	—	—	—	SOFTIF	INTVEN
R/W	R/W	R/W	—	—	—	—	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 GIE: 全局中断使能位
 0: 禁止所有的中断
 1: 使能所有未屏蔽的中断
- Bit 6 PEIE: 外设中断使能位
 0: 禁止外设中断
 1: 使能未屏蔽的外设中断
- Bit 5~2 未使用
- Bit 1 SOFTIF: 软件中断标志位
 0: 未发生软中断
 1: 发生软中断
- Bit 0 INTVEN: 中断模式选择位
 0: 默认中断模式
 1: 向量中断模式

注: 软件清零 GIE 位时, 需判断 GIE 是否清零成功, 如未被清零, 则需再次执行软件清零操作, 直到清零成功。

第 8 章 芯片配置字

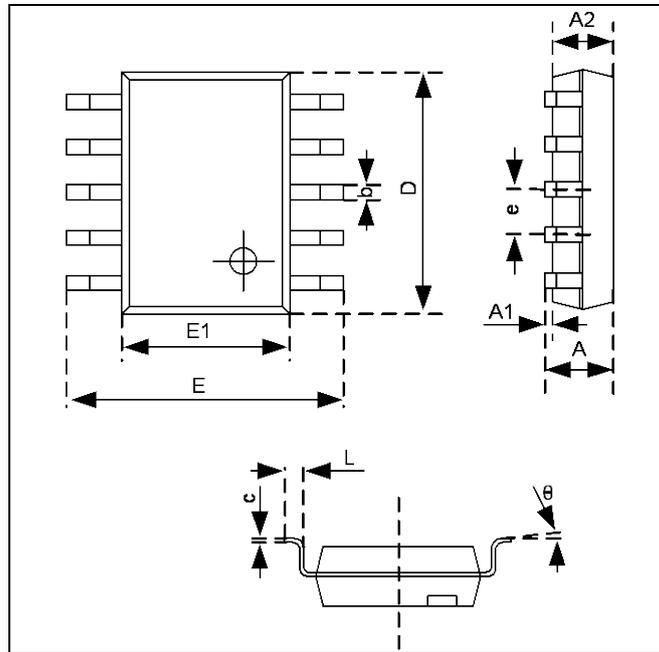
寄存器名称	芯片配置字 (CFG_WD)	
地址	3F1 _H	
OSCS<2:0>	bit2-0	振荡器选择位 000: LP 晶振/谐振器连接到 PA2 和 PA3 010: HS 模式: 晶体振荡器连接到 PA2 和 PA3 100: XT 模式: 晶体振荡器连接到 PA2 和 PA3 101, 001, 011: 保留未用 110: INTOSCO 模式: CLKO 从 PA2 输出, PA3 为 I/O 111: INTOSC 模式: PA2 为 I/O, PA3 为 I/O
WDTEN	bit3	硬件看门狗使能位 0: 禁止 1: 使能
PWRTEB	bit4	上电定时器使能位 0: 使能 1: 禁止
MRSTEN	bit5	N_MRST 管脚功能选择位 0: 管脚用于数字输入 1: 管脚用于外部复位
-	bit6	(保留, 固定为 1)
BORVS	bit8-7	下电复位使能和复位电压点选择位 00: 禁止 01: 使能, 复位电压为 2.2V 10: 使能, 复位电压为 2.7V 11: 使能, 复位电压为 3.4V
-	Bit9	保留, 默认为 1
-	bit15-10	(保留, 默认为 0)

注 1: CLKO 为系统时钟的 16 分频输出。

注 2: 当芯片 VDD 上电时间大于 5ms 时, 为增强芯片工作可靠性, 建议下电复位电压点选择为 2.7V 或 3.4V。

第 9 章 芯片封装图

9.1 10-pin SSOP封装图



标号	公制 (mm)		
	MIN	NOM	MAX
A	—	—	1.75
A1	0.10	—	0.25
A2	1.30	1.40	1.55
b	0.33	—	0.51
c	0.17	—	0.25
D	4.70	4.90	5.10
E	5.80	6.00	6.20
E1	3.80	3.90	4.00
e	1.00BSC		
L	0.25	—	1.27
θ	0°	—	8°

Note: Dimension "D" does not include mold flash, protrusions or gate burrs. Mold flash, protrusions or gate burrs shall not exceed 0.15mm per side.

附录1 指令集

附录1.1 概述

本芯片提供了 79 条精简指令。

汇编指令为了方便程序设计者使用，指令名称大多是由指令功能的英文缩写所组成的。这些指令所组成的程序经过编译器的编译与连接后，会被转换为相对应的指令码。转换后的指令码可以分为操作码（OP Code）与操作数（Operand）两个部分。操作码部分对应到指令本身。

芯片运行在 4MHz 系统时钟时，一个机器周期的时间为 500ns。

按照指令执行的机器周期数可将指令分为双周期指令和单周期指令，其中 CALL、LCALL、RCALL、GOTO、JUMP、RET、RETIA、RETIE 为双周期指令；满足跳转条件时，JBC、JBS、JDEC、JINC 指令为双周期指令，否则为单周期指令；其它指令为单周期指令。

附录1.2 寄存器操作指令

序号	指令		影响状态位	机器周期	操作
1	SECTION	I<7:0>	-	1	本芯片不支持该条指令
2	PAGE	I<8:0>	-	1	本芯片不支持该条指令
3	ISTEP	I<7:0>	-	1	IAA+i->IAA(-128≤i≤127)
4	MOVI	I<7:0>	-	1	I<7:0>->(A)
5	MOV	R<7:0>,F	Z,N	1	(R)->(目标)
6	MOVA	R<7:0>	-	1	(A)->(R)
7	MOVAR	R<10:0>	-	1	(A)->(R)
8	MOVRA	R<10:0>	-	1	(R)->(A)

附录表 1-1 寄存器操作指令表

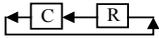
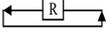
附录1.3 程序控制指令

序号	指令		影响状态位	机器周期	操作
9	JUMP	I<7:0>	-	2	PC+1+i<7:0>->PC (-128≤i≤127)
10	AJMP	I<19:0>	-	2	I<9:0>->PC<9:0> I<9:8>->PCRH<1:0>
11	GOTO	I<10:0>	-	2	I<9:0>->PC<9:0>，
12	CALL	I<10:0>	-	2	PC+1->TOS,I<9:0>->PC<9:0>
13	LCALL	I<19:0>	-	2	PC+1->TOS,I<9:0>->PC<9:0> I<9:8>->PCRH<1:0>
14	RCALL	R<7:0>	-	2	PC+1->TOS, (R)→PC<7:0>， PCRH<1:0>→PC<9:8>，
15	JBC	R<7:0>， B<2:0>	-	2 或 1	当 R = 0 时跳过下一条指令
16	JBS	R<7:0>，	-	2 或 1	当 R = 1 时跳过下一条指令

序号	指令		影响状态位	机器周期	操作
		B<2:0>			
17	JCAIE	I<7:0>	-	2 或 1	当(A) = I 时跳过下一条指令
18	JCAIG	I<7:0>	-	2 或 1	当(A) > I 时跳过下一条指令
19	JCAIL	I<7:0>	-	2 或 1	当(A) < I 时跳过下一条指令
20	JCRAE	R<7:0>	-	2 或 1	当(R) = (A) 时跳过下一条指令
21	JCRAG	R<7:0>	-	2 或 1	当(R) > (A) 时跳过下一条指令
22	JCRAL	R<7:0>	-	2 或 1	当(R) < (A) 时跳过下一条指令
23	JCCRE	R<7:0>, B<2:0>	-	2 或 1	当 C = R(B) 时跳过下一条指令
24	JCCRG	R<7:0>, B<2:0>	-	2 或 1	当 C > R(B) 时跳过下一条指令
25	JCCRL	R<7:0>, B<2:0>	-	2 或 1	当 C < R(B) 时跳过下一条指令
26	JDEC	R<7:0>, F	-	2 或 1	(R-1)->(目标寄存器), 当目标寄存器的值为 0 时则跳过下一条指令
27	JINC	R<7:0>, F	-	2 或 1	(R+1)->(目标寄存器), 当目标寄存器的值为 0 时则跳过下一条指令
28	NOP	-	-	1	空操作
29	POP	-	-	1	AS->A, PSWS->PSW, PCRHS->PCRH
30	PUSH	-	-	1	A->AS, PSW->PSWS, PCRH->PCRHS
31	RET	-	-	2	TOS->PC
32	RETIA	I<7:0>	-	2	I->(A), TOS->PC
33	RETIE	-	-	2	TOS->PC, 1->GIE
34	RST	-	全部状态位均被影响	1	软件复位指令
35	CWDT	-	N_TO, N_PD	1	00H->WDT, 0->WDT Prescaler, 1-> N_TO, 1-> N_PD
36	IDLE	-	N_TO, N_PD	1	00H->WDT, 0->WDT Prescaler, 1-> N_TO, 0-> N_PD

附录表 1-2 程序控制指令表

附录1.4 算术/逻辑运算指令

序号	指令		影响状态位	机器周期	操作
37	ADD	R<7:0>,F	C, DC, Z,OV,N	1	(R)+(A)->(目标)
38	ADDC	R<7:0>,F	C, DC, Z,OV,N	1	(R)+(A)+C->(目标)
39	ADDCI	I<7:0>	C, DC, Z,OV,N	1	I+(A)+C->(A)
40	ADDI	I<7:0>	C, DC, Z,OV,N	1	I+(A)->(A)
41	AND	R<7:0>,F	Z,N	1	(A).AND.(R)->(目标)
42	ANDI	I<7:0>	Z,N	1	I.AND.(A)->(A)
43	BCC	R<7:0>,B<2:0>	-	1	0->R
44	BSS	R<7:0>,B<2:0>	-	1	1->R
45	BTT	R<7:0>,B<2:0>	-	1	(~R)->R
46	CLR	R<7:0>	Z	1	(R)=0
47	SETR	R<7:0>	-	1	FF _H ->(R)
48	NEG	R<7:0>	C, DC, Z,OV,N	1	~(R)+1->(R)
49	COM	R<7:0>,F	Z,N	1	(~R)->(目标)
50	DAR	R<7:0>,F	C	1	对(R)十进制调整->(目标)
51	DAA	-	C	1	对(A)十进制调整->(A)
52	DEC	R<7:0>,F	C, DC, Z,OV,N	1	(R-1)->(目标)
53	INC	R<7:0>,F	C, DC, Z,OV,N	1	(R+1)->(目标)
54	IOR	R<7:0>,F	Z,N	1	(A).OR.(R)->(目标)
55	IORI	I<7:0>	Z,N	1	I.OR.(A)->(A)
56	RLB	R<7:0>,F,B<2:0>	C,Z,N	1	 C<< R<7:0> (R带C向左循环移位)
57	RLBNC	R<7:0>,F,B<2:0>	Z,N	1	 R<7> << R<7:0> (R不带C向左循环移位)
58	RRB	R<7:0>,F,B<2:0>	C,Z,N	1	 C>> R<7:0> (R带C向右循环移位)
59	RRBNC	R<7:0>,F,B<2:0>	Z,N	1	 R<7:0> >> R<0> (R不带C向右循环移位)
60	SUB	R<7:0>,F	C, DC,	1	(R)-(A)->(目标)

序号	指令		影响 状态位	机器周期	操作
			Z,OV,N		
61	SUBC	R<7:0>,F	C,DC, Z,OV,N	1	(R)-(A)- (~C)->(目标)
62	SUBCI	I<7:0>	C,DC, Z,OV,N	1	I-(A)- (~C)->(A)
63	SUBI	I<7:0>	C,DC, Z,OV,N	1	I-(A)->(A)
64	SSUB	R<7:0>,F	C,DC, Z,OV,N	1	(A)-(R)->(目标)
65	SSUBC	R<7:0>,F	C,DC, Z,OV,N	1	(A)-(R)- (~C)->(目标)
66	SSUBCI	I<7:0>	C,DC, Z,OV,N	1	(A)-I- (~C)->(A)
67	SSUBI	I<7:0>	C,DC, Z,OV,N	1	(A)-I->(A)
68	SWAP	R<7:0>,F	-	1	R<3:0>->(目标)<7:4>, R<7:4>->(目标)<3:0>
69	TBR	-	-	2	Pmem(FRA)->ROMD
70	TBR#1	-	-	2	Pmem(FRA)-> ROMD, FRA+1->FRA
71	TBR_1	-	-	2	Pmem(FRA)-> ROMD, FRA-1->FRA
72	TBR1#	-	-	2	FRA+1->FRA, Pmem(FRA)-> ROMD
73	TBW	-	-	2	本芯片不支持该条指令
74	TBW#1	-	-	2	本芯片不支持该条指令
75	TBW_1	-	-	2	本芯片不支持该条指令
76	TBW1#	-	-	2	本芯片不支持该条指令
77	XOR	R<7:0>, F	Z,N	1	(A).XOR.(R)->(目标)
78	XORI	I<7:0>	Z,N	1	I.XOR.(A)->(A)

附录表 1-3 算术/逻辑运算指令表

注：指令集说明

1. i—立即数， F—标志位， A—寄存器 A， R—寄存器 R， B—寄存器 R 的第 B 位。
2. C—进位/借位， DC—半进位/半借位， Z—零标志位， OV—溢出标志位， N—负标志位。
3. TOS—顶级堆栈。
4. 如果 F = 0， 则目标寄存器为寄存器 A； 如果 F = 1， 则目标寄存器为寄存器 R。
5. 79 条指令中另有一条 NOP 指令未在上表中描述。
6. 部分指令中， PC 的位数以及 PCRU 寄存器， 视实际芯片而定。对 HR7P159B 芯片， PC 的位数是 10 位， 没有 PCRU 寄存器。

附录2 特殊功能寄存器总表

地址	名称	功能说明	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	上电 复位值
FF80 _H	IAD	间接寻址数据寄存器	IAD<7:0>								0000 0000
FF81 _H	IAAL	间接寻址索引寄存器低 8 位	IAA<7:0>								0000 0000
FF82 _H	IAAH	间接寻址索引寄存器高 8 位	IAA<15:8>								0000 0000
FF83 _H	—	—	—								—
FF84 _H	PSW	程序状态字寄存器	—	UF	OF	N	OV	Z	DC	C	x00x xxxx
FF85 _H	AREG	A 寄存器	AREG<7:0>								xxxx xxxx
FF86 _H	—	—	—								—
FF87 _H	FRAL	查表地址寄存器低 8 位	FRA<7:0>								xxxx xxxx
FF88 _H	FRAH	查表地址寄存器高 8 位	FRA<15:8>								xxxx xxxx
FF89 _H	ROMDL	查表数据寄存器低 8 位	ROMD<7:0>								xxxx xxxx
FF8A _H	ROMDH	查表数据寄存器高 8 位	ROMD<15:8>								xxxx xxxx
FF8B _H	PCRL	程序计数器低 8 位	PCR<7:0>								0000 0000
FF8C _H	PCRH	程序计数器高 2 位	—	—	—	—	—	—	PCR<9:8>		0000 0000
FF8D _H	—	—	—								—
FF8E _H	PA	PA 端口电平状态寄存器	—	—	—	—	PA3	PA2	PA1	PA0	0000 xxxx

地址	名称	功能说明	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	上电 复位值
FF8F _H	PAT	PA 端口输入输出控制寄存器	—	—	—	—	PAT3	PAT2	PAT1	PAT0	0000 1111
FF90 _H	PB	PB 端口电平状态寄存器	—	—	—	—	PB3	PB2	PB1	PB0	0000 xxxx
FF91 _H	PBT	PB 端口输入输出控制寄存器	—	—	—	—	PBT3	PBT2	PBT1	PBT0	0000 1111
FF92 _H	—	—	—								—
FF93 _H	—	—	—								—
FF94 _H	N_PAD	PA 端口弱下拉控制寄存器	—	—	—	—	N_PAD3	N_PAD2	—	N_PAD0	0000 1111
FF95 _H	N_PBD	PB 端口弱下拉控制寄存器	—	—	—	—	N_PBD3	N_PBD2	N_PBD1	N_PBD0	0000 1111
FF96 _H	N_PAU	PA 弱上拉控制寄存器	—	—	—	—	N_PAU3	N_PAU2	N_PAU1	N_PAU0	0000 1101
FF97 _H	N_PBU	PB 弱上拉控制寄存器	—	—	—	—	N_PBU3	N_PBU2	N_PBU1	N_PBU0	0000 1111
FF98 _H	—	—	—								—
FF99 _H	—	—	—								—
FF9A _H	—	—	—								—
FF9B _H	—	—	—								—
FF9C _H	—	—	—								—
FF9D _H	INTF0	中断标志寄存器 0	RXIF	TXIF	T8P2IF	LVD0IF	T8NIF	PIF	T8P1IF	KIF	0000 0000
FF9E _H	INTE0	中断使能寄存器 0	RXIE	TXIE	T8P2IE	LVD0IE	T8NIE	PIE	T8P1IE	KIE	0000 0000
FF9F _H	INTC0	中断控制寄存器 0	—	—	PEG0	KMSK4	KMSK3	KMSK2	KMSK1	KMSK0	0000 0000
FFA0 _H	INTG	中断全局寄存器	GIE	PEIE	—	—	—	—	SOFTIF	INTVEN	0000 0000

地址	名称	功能说明	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	上电复位值
FFA1 _H	LVD0C	LVD0 控制寄存器	LVD00	LVD0IFS<1:0>		LVD0EN	—	LVD0V<2:0>			0000 0000
FFA2 _H	LVD1C	LVD1 控制寄存器	LVD10	LVD1IFS<1:0>		LVD1EN	—	LVD1V<2:0>			0000 0000
FFA3 _H	INTF1	中断标志寄存器 1	—	—	—	—	—	T8P2PIF	T8P1PIF	LVD1IF	0000 0000
FFA4 _H	INTE1	中断使能寄存器 1	—	—	—	—	—	T8P2PIE	T8P1PIE	LVD1IE	0000 0000
FFA5 _H	OSCCAL	内部 16MHz 时钟频率调节位	OSCCAL<7:0>								0000 0000
FFA6 _H	WDTCAL	内部 32KHz 时钟频率调节位	WDTCAL<7:0>								0000 0000
FFA7 _H	PWRC	电源状态控制寄存器	LPM	VRST<1:0>		N_RSTI	N_TO	N_PD	N_POR	N_BOR	0101 110x
FFA8 _H	OSCC	时钟控制寄存器	CLKSS	IRCF<2:0>			—	WDTOSCF	HSOSCF	LPOS CF	0110 0100
FFA9 _H	WKDC	唤醒延时控制寄存器	WKDC <7:0>								1111 1111
FFAA _H	OSCP	时钟控制写保护寄存器	OSCP<7:0>								1111 1111
FFAB _H	WDTC	WDT 控制寄存器	—	—	—	WDTPRE	WDTPRS<3:0>				0001 0111
FFAC _H	PWEN	功耗控制寄存器	—	SW_WDT	SW_HS	SW_LP	—	—	RCEN	SREN	0100 1011
FFAD _H	—	—	—								—
FFAE _H	—	—	—								—
FFAF _H	—	—	—								—
FFB0 _H	T8N	T8N 计数器	T8N<7:0>								0000 0000
FFB1 _H	T8NC	T8N 控制寄存器	T8NEN	—	T8NM	T8NEG	T8NPRE	T8NPRS<2:0>			0000 0000
FFB2 _H	T8P1	T8P1 计数器	T8P1<7:0>								0000 0000
FFB3 _H	T8P1C	T8P1C 控制寄存器	T8P1M	T8P1POS<3:0>				T8P1E	T8P1PRS<1:0>		0000 0000
FFB4 _H	T8P1P	T8P1 周期寄存器	T8P1PL<7:0>								1111 1111

地址	名称	功能说明	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	上电 复位值
FFB5 _H	T8P1RL	T8P1 精度寄存器	T8P1RL<7:0>								0000 0000
FFB6 _H	T8P1RH	T8P1 精度缓冲寄存器	T8P1RH<7:0>								0000 0000
FFB7 _H	T8P1OC	T8P1 输出控制寄存器	—	—	—	—	—	—	T8P1EN<1:0>		0000 0000
FFB8 _H	T8P2	T8P2 计数器	T8P2<7:0>								0000 0000
FFB9 _H	T8P2C	T8P2C 控制寄存器	T8P2M	T8P2POS<3:0>			T8P2E	T8P2PRS<1:0>		0000 0000	
FFBA _H	T8P2P	T8P2 周期寄存器	T8P2PL<7:0>								1111 1111
FFBB _H	T8P2RL	T8P2 精度寄存器	T8P2RL<7:0>								0000 0000
FFBC _H	T8P2RH	T8P2 精度缓冲寄存器	T8P2RH<7:0>								0000 0000
FFBD _H	T8P2OC	T8P2 输出控制寄存器	—	—	—	—	—	—	T8P2EN<1:0>		0000 0000
FFBE _H	PWM1C	PWM1 精度控制寄存器	—	—	—	T8P1PM	T8P1REX	T8P1RE<2:0>		0000 0000	
FFBF _H	PWM2C	PWM2 精度控制寄存器	—	—	—	T8P2PM	T8P2REX	T8P2RE<2:0>		0000 0000	
FFC0 _H	RXB	UART 接收数据寄存器	RXB<7:0>								xxxx xxxx
FFC1 _H	RXC	UART 接收状态寄存器	RXEN	RXLEN	—	—	—	OERR	FERR	RXR8	0000 000x
FFC2 _H	TXB	UART 发送数据寄存器	TXB<7:0>								0000 0000
FFC3 _H	TXC	UART 发送状态寄存器	TXEN	TXLEN	BRGH	—	—	—	TRMT	TXR8	0000 0010

地址	名称	功能说明	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	上电 复位值
FFC4 _H	BRR	UART 波特率寄存器	BRR<7:0>								0000 0000
FFC5 _H	—	—	—								—
FFC6 _H	—	—	—								—
FFC7 _H	—	—	—								—
FFC8 _H	—	—	—								—
FFC9 _H	CALPROT	校准值保护寄存器	—	—	—	—	—	—	—	CALPROT	0000 0001
FFCA _H ~ FFFF _H	—	—	—								—

附录3 电气特性

附录3.1 参数特性表

◆ 最大标称值

参数	符号	条件	标称值	单位
电源电压	VDD	-	-0.3 ~ 7.5	V
输入电压	V _{IN}	-	-0.3 ~ VDD + 0.3	V
输出电压	V _{OUT}	-	-0.3 ~ VDD + 0.3	V
存储温度	T _{STG}	-	-55 ~ 125	°C
操作温度	T _{OPR}	VDD: 2.1 ~ 5.5V	-40 ~ 85	°C

◆ 芯片上电和下电工作条件表 (-40 ~ 85°C)

参数	符号	最小值	最大值	单位
VDD 上电初始电压	V _{start}	0	0.2	V
VDD 上升速率	T _{VDD}	10	—	us/V
VDD 下降速率		20	—	us/V

◆ 芯片功耗特性参数表

参数	符号	最小值	典型值	最大值	单位	工作条件
芯片供电电压	VDD	2.1	-	5.5	V	F _{OSC} ≤ 2MHz; -40°C ~ 85°C
		2.7	-	5.5	V	F _{OSC} ≤ 8MHz; -40°C ~ 85°C
		3.0	-	5.5	V	F _{OSC} ≤ 20MHz; -40°C ~ 85°C
芯片静态电流	I _{DD}	-	200	-	μA	25°C, VDD = 5V, 内部时钟模式, 所有的 I/O 端口输入低电平, N_MRST = 0, OSC1 = 0, OSC2 = 0。
IDLE0 休眠模式下芯片电流	I _{PD1}	-	3	-	μA	25°C, VDD = 5V, BOR 和 WDT 使能, LVD0/1 不使能。
		-	5	-	μA	25°C, VDD = 5V, BOR, WDT 和 LVD0/1 使能。
IDLE1 休眠模式芯片电流 (高速时钟模式)	I _{PD2}	-	400	-	μA	25°C, VDD = 5V, BOR、LVD0/1 和 WDT 使能。
IDLE1 休眠模式芯片电流 (低速时钟模式)	I _{PD3}	-	30	-	μA	25°C, VDD = 5V, BOR、LVD0/1 和 WDT 使能。
正常运行模式芯片电流 (高速时钟模式)	I _{OP1}	-	1.5	-	mA	25°C, VDD = 5V, 正常运行模式, 内部 16MHz RC 时钟, I/O 端口输出固定电平, 无负载。
正常运行模式芯片电流 (高速时钟模式)	I _{OP2}	-	0.5	-	mA	25°C, VDD = 5V, 正常运行模式, 内部 2MHz RC 时钟(内

参数	符号	最小值	典型值	最大值	单位	工作条件
						部 16MHz RC 时钟的 8 分频), I/O 端口输出固定电平, 无负载。
正常运行模式芯片电流 (低速时钟模式)	I_{OP3}	-	20	-	uA	25°C, VDD = 5V, 正常运行模式, 内部 32KHz RC 时钟, BOR, LVD 使能, I/O 端口输出固定电平, 无负载。
VDD 管脚的最大输入电流	I_{MAXVDD}	-	55	-	mA	25°C, VDD = 5V
VSS 管脚的最大输出电流	I_{MAXVSS}	-	120	-	mA	25°C, VDD = 5V
I/O 端口灌电流	I_{OL}	-	30	-	mA	25°C, VDD = 5V $V_{OL} = 0.6V$
I/O 端口拉电流	I_{OH}	-	16	-	mA	25°C, VDD = 5V $V_{OH} = 4.4V$

◆ 芯片输入端口特性表

芯片工作温度范围: -40°C ~ 85°C						
参数	符号	最小值	典型值	最大值	单位	测试条件
PA、PB 端口输入高电平 (有施密特输入特性)	V_{IH}	0.8VDD	-	VDD	V	2.1V ≤ VDD ≤ 5.5V
N_MRST 主复位端口输入高电平 (无施密特输入特性)		0.8VDD	-	VDD	V	
PA、PB 端口输入低电平	V_{IL}	VSS	-	0.18VDD	V	
N_MRST 主复位端口输入低电平		VSS	-	0.20VDD	V	
PA、PB 端口输入漏电流	I_{IL}	-	-	±1	μA	2.1V ≤ VDD ≤ 5.5V VSS ≤ Vpin ≤ VDD (端口处于高阻状态)
N_MRST 主复位端口漏电流		-	-	5	μA	VSS ≤ Vpin ≤ VDD
I/O 端口输入弱上拉电流	I_{WPU1}	-	50	-	μA	25°C, VDD=5.0V Vpin = VSS
I/O 端口输入弱下拉电流	I_{WPD}	-	50	-	μA	25°C, VDD=5.0V Vpin = VDD
MRSTN 主复位端口输入弱上拉电流	I_{WPU2}	-	50	-	μA	25°C, VDD=5.0V Vpin = VSS

◆ 芯片输出端口特性表

芯片工作温度范围: -40°C ~ 85°C						
参数	符号	最小值	典型值	最大值	单位	测试条件
I/O 端口 输出高电平	V _{OH}	VDD-0.7	-	-	V	2.1V ≤ VDD ≤ 5.5V
I/O 端口 输出低电平	V _{OL}	-	-	0.6	V	2.1V ≤ VDD ≤ 5.5V

◆ 系统时钟要求表

参数	符号	最小值	典型值	最大值	单位	测试条件
系统时钟频率	F _{OSC}	-	-	16M	Hz	3.0V ≤ VDD ≤ 5.5V
		-	-	8M	Hz	2.7V ≤ VDD ≤ 5.5V
		-	-	2M	Hz	2.1V ≤ VDD ≤ 5.5V
系统时钟周期	T _{OSC}	62.5	-	-	ns	3.0V ≤ VDD ≤ 5.5V
		125	-	-	ns	2.7V ≤ VDD ≤ 5.5V
		500	-	-	ns	2.1V ≤ VDD ≤ 5.5V
机器周期	T _{inst}	125	-	-	ns	3.0V ≤ VDD ≤ 5.5V
		250	-	-	ns	2.7V ≤ VDD ≤ 5.5V
		1000	-	-	ns	2.1V ≤ VDD ≤ 5.5V
外部时钟高电 平和低电平时间	T _{OSL} , T _{OSH}	15	-	-	ns	-
外部时钟上升 和下降时间	T _{OSR} , T _{OSF}	-	-	15	ns	-
WDT 溢出时间	T _{WDT}	4.7 (54K Hz)	8 (32K Hz)	26.7 (9.6KH z)	ms	VDD = 5V, -40°C ~ 85°C

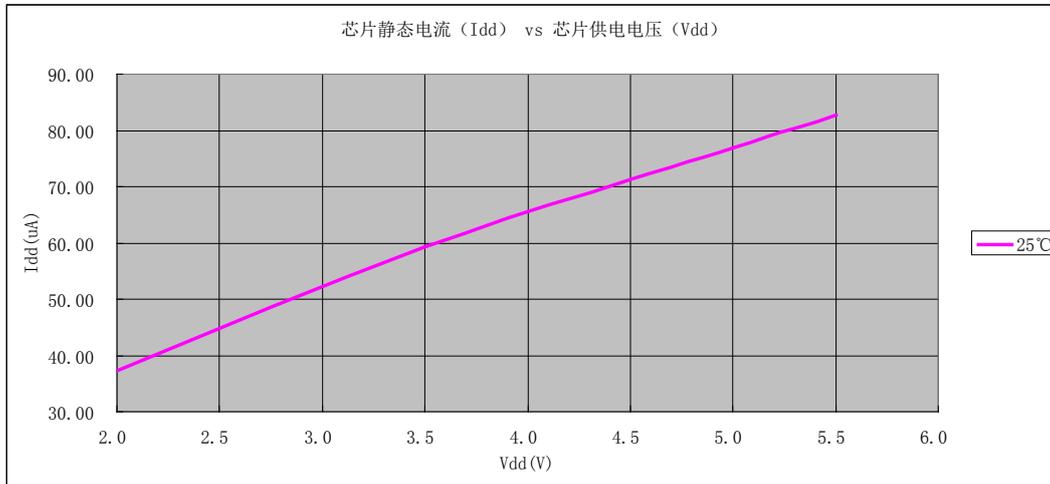
◆ 内部 16MHz 时钟校准特性表

校准条件	工作条件	最小值	典型值	最大值	单位
5V, 25°C 将频率校准至 16MHz	25°C, VDD = 5V	15.68	16	16.32	MHz
	-40°C ~ 85°C, VDD = 2.1V ~ 5.5V	15.52	16	16.48	MHz

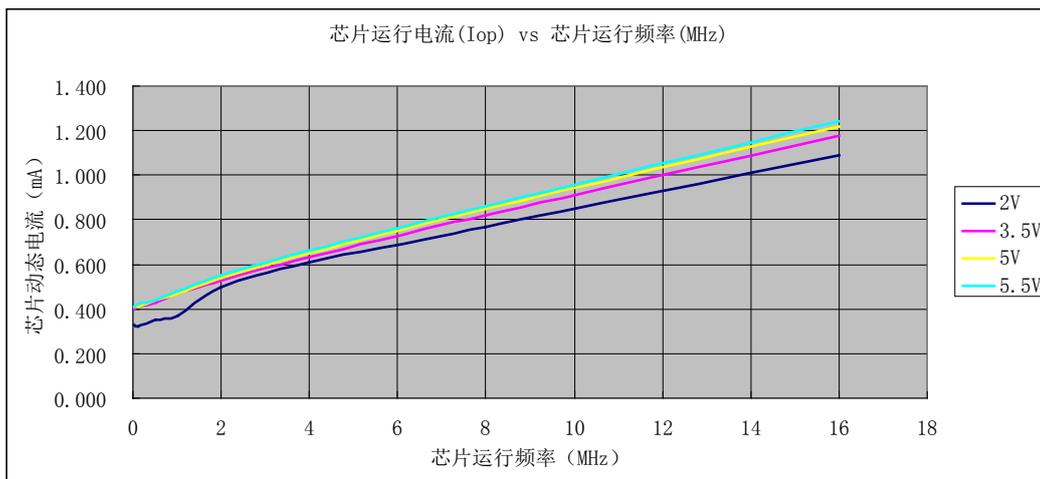
附录3.2 参数特性图

本节中所列图示均为抽样测试，仅作为设计参考之用。其中部分图示中所列的数据已超出指定的操作范围，此类信息也仅供参考，芯片只保证在指定的范围内正常工作。

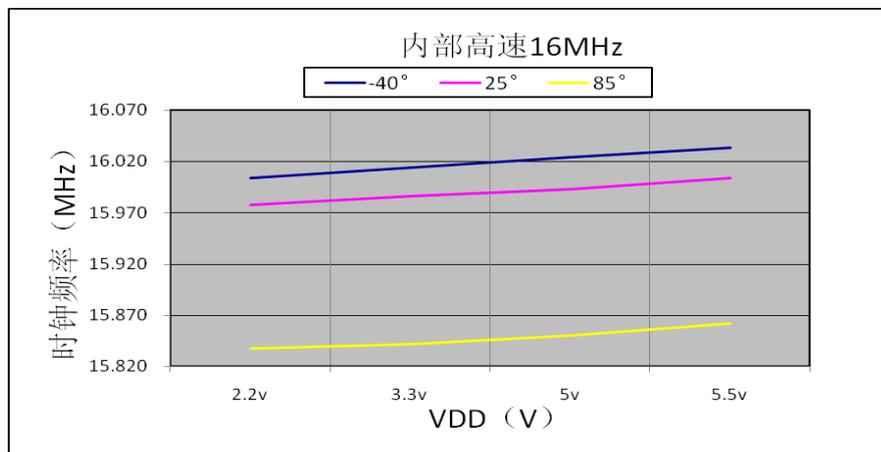
◆ 芯片静态电流随芯片电压变化特性图（室温 25℃）



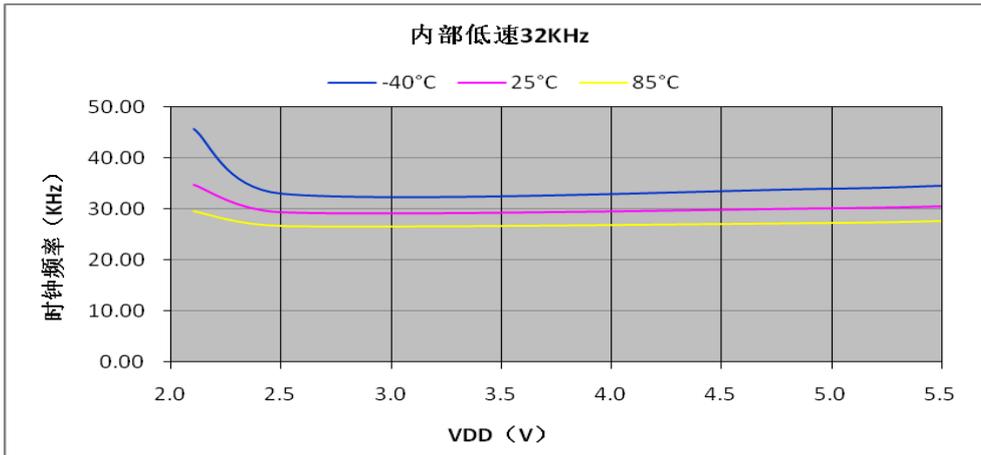
◆ 正常运行模式下芯片电流随时钟频率变化图（室温 25℃）



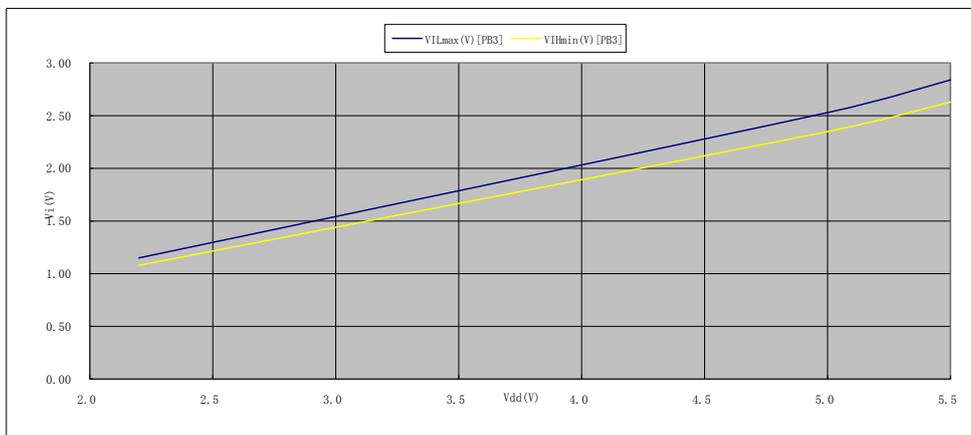
◆ 内部高速 16MHz 时钟频率随电压和温度变化图



◆ 内部低速 32KHz 时钟频率随电压和温度变化图

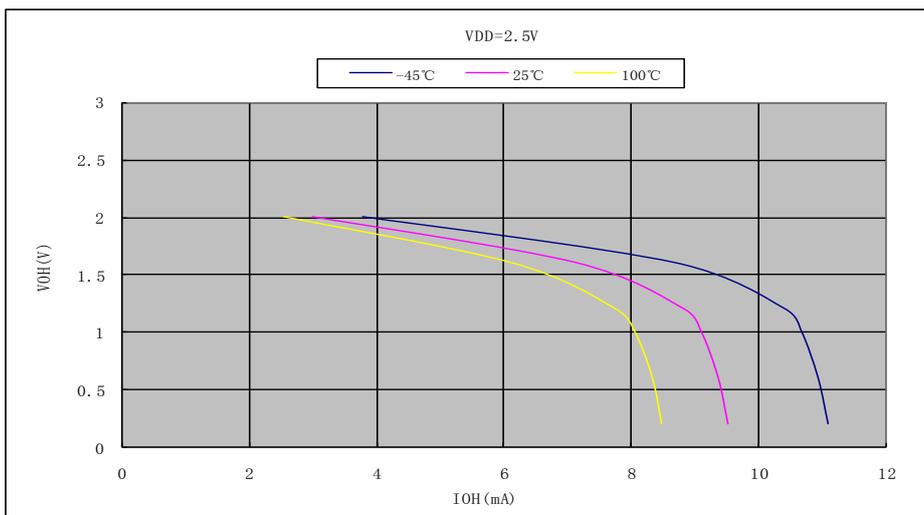


◆ I/O 端口信号输入特性图 (室温 25°C)

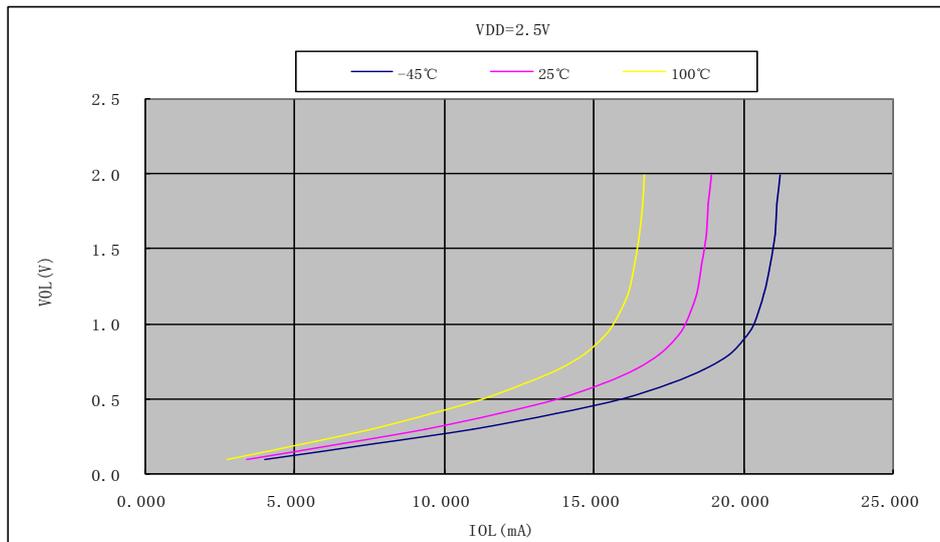


◆ I/O 端口信号输出特性图

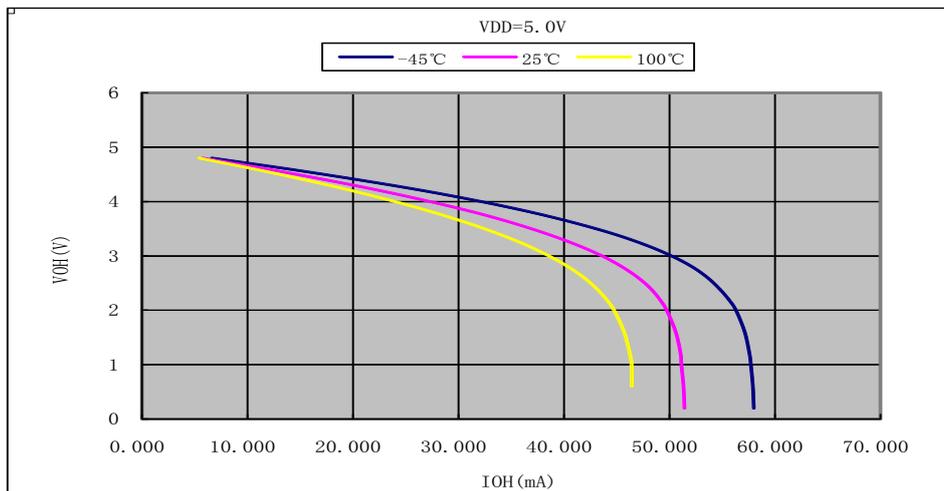
A: V_{OH} vs I_{OH} @VDD=2.5V



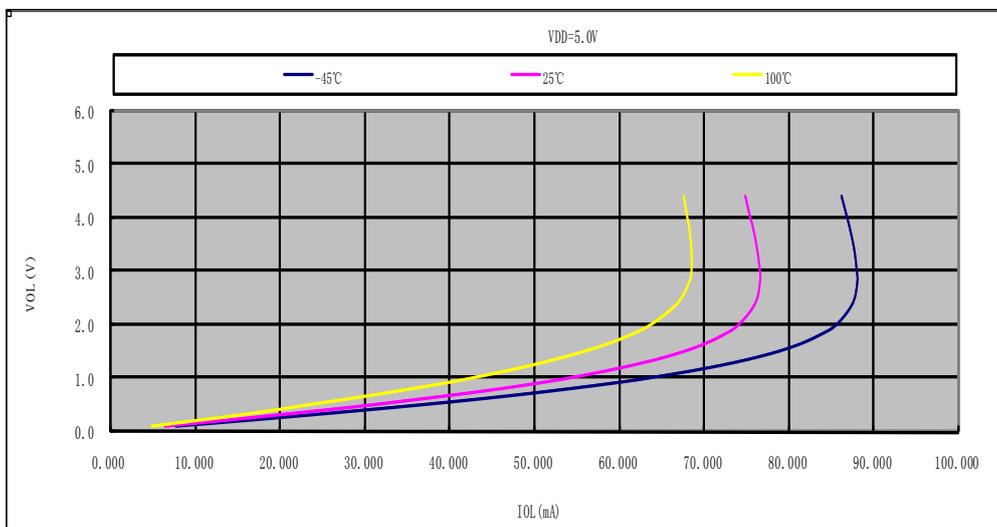
B: V_{OL} vs I_{OL} @ $V_{DD}=2.5V$



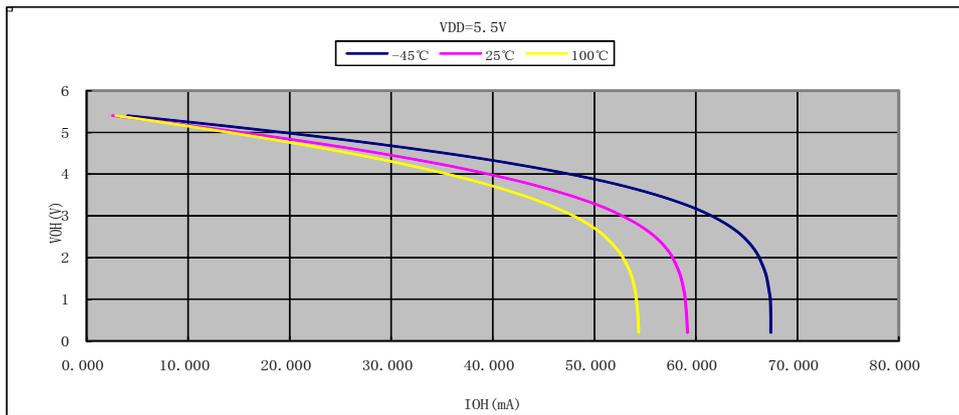
C: V_{OH} vs I_{OH} @ $V_{DD}=5.0V$



D: V_{OL} vs I_{OL} @ $V_{DD}=5.0V$



E: V_{OH} vs I_{OH} @VDD=5.5V



F: V_{OL} vs I_{OL} @VDD=5.5V

