

8 位 MCU
ES7P1731/ES7P1732

数 据 手 册

- 产品简介
- 数据手册
- 产品规格

上海东软载波微电子有限公司

2021 年 4 月 16 日

东软载波 MCU 芯片使用注意事项

关于芯片的上/下电

东软载波 MCU 芯片具有独立电源管脚。当 MCU 芯片应用在多电源供电系统时，应先对 MCU 芯片上电，再对系统其它部件上电；反之，下电时，先对系统其它部件下电，再对 MCU 芯片下电。若操作顺序相反则可能导致芯片内部元件过压或过流，从而导致芯片故障或元件退化。具体可参照芯片的数据手册说明。

关于芯片的复位

东软载波 MCU 芯片具有内部上电复位。对于不同的快速上/下电或慢速上/下电系统，内部上电复位电路可能失效，建议用户使用外部复位、下电复位、看门狗复位等，确保复位电路正常工作。在系统设计时，若使用外部复位电路，建议采用三极管复位电路、RC 复位电路。若不使用外部复位电路，建议采用复位管脚接电阻到电源，或采取必要的电源抖动处理电路或其它保护电路。具体可参照芯片的数据手册说明。

关于芯片的时钟

东软载波 MCU 芯片具有内部和外部时钟源。内部时钟源会随着温度、电压变化而偏移，可能会影响时钟源精度；外部时钟源采用陶瓷、晶体振荡器电路时，建议使能起振延时；使用 RC 振荡电路时，需考虑电容、电阻匹配；采用外部有源晶振或时钟输入时，需考虑输入高/低电平电压。具体可参照芯片的数据手册说明。

关于芯片的初始化

东软载波 MCU 芯片具有各种内部和外部复位。对于不同的应用系统，有必要对芯片寄存器、内存、功能模块等进行初始化，尤其是 I/O 管脚复用功能进行初始化，避免由于芯片上电以后，I/O 管脚状态的不确定情况发生。

关于芯片的管脚

东软载波 MCU 芯片具有宽范围的输入管脚电平，建议用户输入高电平应在 V_{IHMIN} 之上，低电平应在 V_{ILMAX} 之下。避免输入电压介于 V_{IHMIN} 和 V_{ILMAX} 之间，以免波动噪声进入芯片。对于未使用的输入/输出管脚，建议设置为输入状态，并通过电阻接至电源或地，或设置为输出状态，输出固定电平。对未使用的管脚处理因应用系统而异，具体遵循应用系统的相关规定和说明。

关于芯片的 ESD 防护措施

东软载波 MCU 芯片具有满足工业级 ESD 标准保护电路。建议用户根据芯片存储/应用的环境采取适当静电防护措施。应注意应用环境的湿度；建议避免使用容易产生静电的绝缘体；存放和运输应在抗静电容器、抗静电屏蔽袋或导电材料容器中；包括工作台在内的所有测试和测量工具必须保证接地；操作者应该佩戴静电消除手腕环手套，不能用手直接接触芯片等。

关于芯片的 EFT 防护措施

东软载波 MCU 芯片具有满足工业级 EFT 标准的保护电路。当 MCU 芯片应用在 PCB 系统时，需要遵守 PCB 相关设计要求，包括电源、地走线（包括数字/模拟电源分离，单/多点接地等等）、复位管脚保护电路、电源和地之间的去耦电容、高低频电路单独分别处理以及单/多层板选择等。

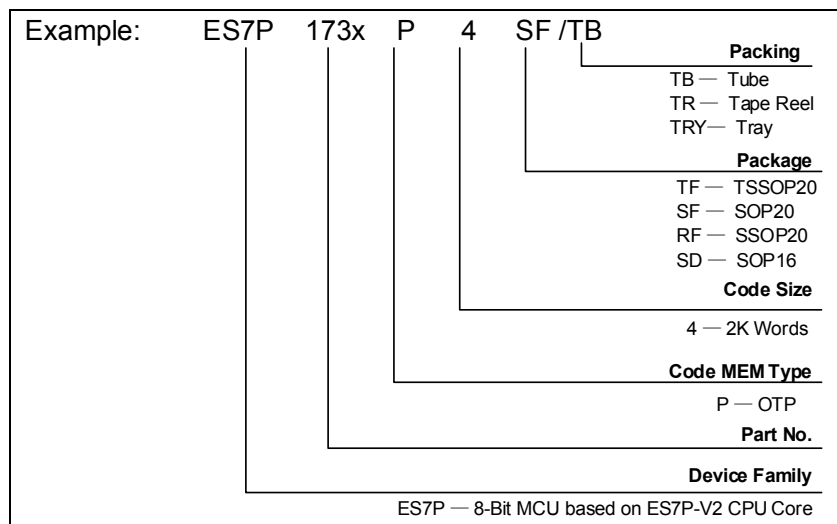
关于芯片的开发环境

东软载波 MCU 芯片具有完整的软/硬件开发环境，并受知识产权保护。选择上海东软载波微电子有限公司或其指定的第三方公司的汇编器、编译器、编程器、硬件仿真器开发环境，必须遵循与芯片相关的规定和说明。

注：在产品开发时，如遇到不清楚的地方，请通过销售或其它方式与上海东软载波微电子有限公司联系。

产品订购信息

型号	OTP	RAM	I/O	Timer	PWM	ADC	ACP	LVD	封装类型
ES7P1731P4SD	2016 Words	128 Bytes	13+1	8-bit x 4 16-bit x1	4	12-bit x (6+2)	1	1	SOP16
ES7P1732P4SF			17+1			12-bit x (8+2)			SOP20
ES7P1732P4RF			17+1			12-bits x (8+2)			SSOP20
ES7P1732P4TF			17+1			12-bits x (8+2)			TSSOP20



地 址：中国上海市龙漕路 299 号天华信息科技园 2A 楼 5 层

邮 编：200235

E-mail: support@essemi.com

电 话：+86-21-60910333

传 真：+86-21-60914991

网 址：http://www.essemi.com

版权所有©

上海东软载波微电子有限公司

本资料内容为上海东软载波微电子有限公司在现有数据资料基础上慎重且力求准确无误编制而成，本资料中所记载的实例以正确的使用方法和标准操作为前提，使用方在应用该等实例时请充分考虑外部诸条件，上海东软载波微电子有限公司不承担或确认该等实例在使用方的适用性、适当性或完整性，上海东软载波微电子有限公司亦不对使用方因使用本资料所有内容而可能或已经带来的风险或后果承担任何法律责任。基于使本资料的内容更加完善等原因，上海东软载波微电子有限公司保留未经预告的修改权。使用方如需获得最新的产品信息，请随时用上述联系方式与上海东软载波微电子有限公司联系。

修订历史

版本	修改日期	更改概要
V1.0	2018-1-3	初版发布
V1.1	2019-2-28	变更 Logo。
V1.2	2019-4-19	删除 LVD 电压检测选择位 3.6V 档位选择。
V1.3	2019-7-2	更新 ADC 结构框图。
V1.4	2021-4-16	1.添加内部高速时钟 16MHz 校准控制寄存器 OSCCAL 和内部低速时钟 32KHz 校准控制寄存器 WDTCAL，以及其相关读写操作说明； 2.新增乘数寄存器(MULA/MULB)注意事项以及更新硬件乘法器操作应用程序； 3.新增 TSSOP20 封装； 4.更新芯片封装尺寸参数。

目 录

内容目录

第 1 章	芯片简介	12
1.1	概述	12
1.1.1	特性.....	12
1.1.2	应用领域	14
1.2	结构框图	15
1.3	管脚分配图	16
1.3.1	16-pin	16
1.3.2	20-pin	16
1.4	管脚说明	17
1.4.1	管脚封装对照表.....	17
1.4.2	管脚复用说明	17
第 2 章	内核特性	20
2.1	CPU 内核概述	20
2.2	硬件乘法器	20
2.3	特殊功能寄存器	21
第 3 章	存储资源	23
3.1	概述	23
3.2	程序存储器	23
3.2.1	概述.....	23
3.2.2	程序计数器 (PC)	24
3.2.3	硬件堆栈	24
3.2.4	程序存储器查表操作	24
3.2.4.1	概述	24
3.2.4.2	操作例程	24
3.2.5	特殊功能寄存器.....	25
3.3	数据存储器	26
3.3.1	概述.....	26
3.3.2	数据寻址空间映射.....	26
3.3.3	通用数据存储器.....	27
3.3.4	特殊功能寄存器.....	27
3.3.5	寻址方式	27
3.3.5.1	直接寻址	27
3.3.5.2	GPR 特殊寻址	28
3.3.5.3	间接寻址	28
3.3.6	特殊功能寄存器.....	29
第 4 章	输入/输出端口	30
4.1	概述	30
4.2	结构框图.....	31
4.3	I/O 端口功能设置.....	32
4.3.1	I/O 端口输入/输出控制	32
4.3.2	I/O 端口弱上/下拉功能	32

4.3.3	I/O 端口模拟/数字类型选择功能.....	32
4.3.4	增强驱动能力 I/O	32
4.3.5	I/O 端口复用功能	32
4.4	端口中断	33
4.4.1	外部按键中断 (KINT)	33
4.4.2	外部端口中断 (PINT)	33
4.5	I/O 端口操作注意事项.....	34
4.6	特殊功能寄存器	34
第 5 章	特殊功能及操作特性.....	40
5.1	系统时钟与振荡器	40
5.1.1	概述	40
5.1.2	时钟源	40
5.1.2.1	外部时钟	40
5.1.2.2	内部时钟	41
5.1.3	系统时钟切换	42
5.1.3.1	系统上电时序	42
5.1.3.2	系统时钟切换时序.....	43
5.1.4	特殊功能寄存器.....	45
5.2	看门狗定时器.....	48
5.2.1	概述.....	48
5.2.2	内部结构图.....	48
5.2.3	WDT 定时器.....	48
5.2.4	特殊功能寄存器.....	49
5.3	复位模块.....	50
5.3.1	概述.....	50
5.3.2	上电复位	50
5.3.3	掉电复位	50
5.3.4	外部 N_MRST 管脚复位	51
5.3.5	看门狗定时器溢出复位.....	52
5.3.6	RST 指令复位	53
5.3.7	特殊功能寄存器.....	54
5.4	MCU 低功耗操作	56
5.4.1	MCU 低功耗模式.....	56
5.4.2	低功耗模式配置.....	56
5.4.3	IDLE 唤醒方式配置	57
5.4.4	唤醒时间计算	57
5.4.5	特殊功能寄存器.....	58
第 6 章	外设	59
6.1	定时器/计数器模块 (Timer/Counter)	59
6.1.1	8 位定时器/计数器 (T8N)	59
6.1.1.1	概述	59
6.1.1.2	内部结构图.....	59
6.1.1.3	预分频器	59
6.1.1.4	工作模式	60

6.1.1.5	定时器模式.....	60
6.1.1.6	同步计数器模式.....	61
6.1.1.7	特殊功能寄存器.....	62
6.1.2	8位增强型 EPWM 时基定时器 (T8P1/T8P2/T8P3).....	63
6.1.2.1	概述.....	63
6.1.2.2	内部结构图.....	63
6.1.2.3	工作模式.....	64
6.1.2.4	预分频器和后分频器.....	64
6.1.2.5	定时器模式.....	65
6.1.2.6	标准 PWM 输出模式.....	65
6.1.2.7	增强型 PWM 输出模式.....	67
6.1.2.8	PWM 自动关断和重启.....	68
6.1.2.9	PWM 输出启动 AD 转换.....	70
6.1.2.10	特殊功能寄存器.....	70
6.1.3	16位门控型定时器 T16G1.....	73
6.1.3.1	概述.....	73
6.1.3.2	内部结构图.....	74
6.1.3.3	时钟源配置.....	74
6.1.3.4	预分频器配置.....	74
6.1.3.5	工作模式.....	74
6.1.3.6	定时器模式.....	75
6.1.3.7	同步计数模式.....	75
6.1.3.8	异步计数模式.....	75
6.1.3.9	门控计数.....	75
6.1.3.10	捕捉器模式.....	76
6.1.3.11	比较器模式.....	76
6.1.3.12	单边 PWM 模式.....	76
6.1.3.13	双边 PWM 模式.....	78
6.1.3.14	过零检测 ZCD 模式.....	78
6.1.3.15	中断和唤醒.....	79
6.1.3.16	T16G1 复用功能输出端口.....	80
6.1.3.17	特殊功能寄存器.....	80
6.2	模拟比较器 (ACP).....	84
6.2.1	概述.....	84
6.2.2	操作说明.....	84
6.2.3	比较器工作模式.....	85
6.2.4	比较器输出关断 EPWM.....	85
6.2.5	特殊功能寄存器.....	86
6.3	模拟数字转换器(ADC).....	88
6.3.1	概述.....	88
6.3.2	内部结构图.....	89
6.3.3	ADC 配置.....	89
6.3.4	ADC 转换步骤.....	91
6.3.5	ADC 时序特示意图.....	92

6.3.6	参考例程	92
6.3.7	特殊功能寄存器.....	93
6.4	低电压检测模块 (LVD)	96
6.4.1	概述.....	96
6.4.2	LVD 操作	96
6.4.3	特殊功能寄存器.....	97
第 7 章	中断处理.....	98
7.1	概述	98
7.2	中断控制结构框图	98
7.3	中断模式选择.....	99
7.3.1	默认中断模式	99
7.3.2	向量中断模式	100
7.4	中断现场保护.....	101
7.5	中断操作	101
7.5.1	外部中断	101
7.5.2	外部按键中断	101
7.5.3	ADC 中断	102
7.5.4	T8N 溢出中断.....	102
7.5.5	T8Px 匹配中断.....	102
7.5.6	T16G1 扩展功能中断.....	102
7.5.7	T16G1 中断.....	103
7.5.8	LVD 中断.....	103
7.5.9	ACP 中断	103
7.5.10	中断操作注意事项.....	103
7.6	特殊功能寄存器	104
第 8 章	芯片配置字	110
第 9 章	芯片封装图	111
9.1	16-pin 封装图.....	111
9.2	20-pin 封装图.....	112
附录 1	指令集.....	115
附录 1.1	概述	115
附录 1.2	寄存器操作指令.....	115
附录 1.3	程序控制指令	116
附录 1.4	算术/逻辑运算指令	118
附录 2	特殊功能寄存器总表.....	120
附录 3	电气特性.....	125
附录 3.1	参数特性表	125
附录 3.2	参数特性图	131

图目录

图 1-1	结构框图.....	15
图 1-2	ES7P1731 SOP16 封装顶视图.....	16
图 1-3	ES7P1732 SOP20/SSOP20/TSSOP20 封装顶视图.....	16
图 3-1	程序区地址映射和堆栈示意图.....	23
图 3-2	数据区地址映射示意图.....	26
图 3-3	特殊功能寄存器空间.....	27
图 3-4	直接寻址示意图.....	28
图 3-5	GPR 特殊寻址示意图.....	28
图 3-6	间接寻址示意图.....	29
图 4-1	输入/输出端口结构图——PA/PB/PC.....	31
图 4-2	输入端口结构图——PA3.....	31
图 5-1	系统时钟切换图.....	40
图 5-2	晶体/陶瓷振荡器模式（HS、XT、LP 模式）.....	41
图 5-3	振荡器 RC 模式等效电路图及外围参考图.....	41
图 5-4	系统上电时序图.....	42
图 5-5	INTOSCL 时钟切换到 HS/XT/RC/INTOSCH 时钟时序图.....	43
图 5-6	HS/XT/RC/INTOSCH 时钟切换到 INTOSCL 时钟时序图.....	43
图 5-7	低速 LP 时钟切换到 INTOSCH 时钟时序图.....	44
图 5-8	INTOSCH 时钟切换到低速 LP 时钟时序图.....	44
图 5-9	看门狗定时器内部结构图.....	48
图 5-10	芯片复位原理图.....	50
图 5-11	上电复位时序示意图.....	50
图 5-12	低电压复位时序示意图.....	51
图 5-13	外部 N_MRST 管脚复位.....	51
图 5-14	看门狗溢出复位.....	53
图 5-15	RST 指令复位.....	53
图 6-1	T8N 内部结构图.....	59
图 6-2	定时器模式时序图.....	61
图 6-3	计数器模式时序图（T8NEG=0, T8NCKI 上升沿计数）.....	61
图 6-4	T8Px 内部结构图.....	63
图 6-5	标准 PWM 模式示意图.....	66
图 6-6	标准 PWM 输出示意图.....	66
图 6-7	EPWM 单桥输出示意图.....	67
图 6-8	EPWM 半桥输出示意图.....	68
图 6-9	EPWM 关断与自动重启（PRESNx=1）.....	69
图 6-10	EPWM 关断与重启（PRESNx=0）.....	69
图 6-11	T16G1 内部结构图.....	74
图 6-12	T16G1 单边 PWM 模式示意图.....	77
图 6-13	T16G1 双边 PWM 模式示意图.....	78
图 6-14	过零检测示意图.....	79
图 6-15	模拟比较器示意图.....	84
图 6-16	ADC 内部结构图.....	89
图 6-17	ADC 时序特征示意图.....	92

图 6-18 LVD 工作时序图	96
图 7-1 默认中断模式中断控制逻辑	98
图 7-2 向量中断模式中断控制逻辑	99

表目录

表 1-1	管脚封装对照表.....	17
表 1-2	管脚说明.....	19
表 4-1	I/O 端口弱上拉	32
表 4-2	I/O 端口弱下拉	32
表 4-3	外部按键中断	33
表 4-4	外部端口中断	33
表 5-1	晶体振荡器电容参数参考表	41
表 5-2	外部 RC 模式推荐参数.....	41
表 5-3	低电压检测配置表	51
表 5-4	低功耗模式配置表	56
表 5-5	休眠唤醒表.....	57
表 6-1	T8N 预分频器配置表.....	60
表 6-2	T8N 工作模式配置表.....	60
表 6-3	T8Px 工作模式配置表	64
表 6-4	T8Px 后分频器配置表	64
表 6-5	T8Px 预分频器配置表	64
表 6-6	时钟源配置表	74
表 6-7	工作模式配置表.....	75
表 6-8	捕捉条件配置表.....	76
表 6-9	比较匹配触发事件配置表	76
表 7-1	中断模式选择表.....	99
表 7-2	默认中断模式使能配置表	100
表 7-3	向量中断模式中断分组配置表.....	100

第1章 芯片简介

1.1 概述

1.1.1 特性

- ◆ 内核
 - ◇ ES7P RISC CPU 内核
 - ◇ 79 条精简指令
 - ◇ 指令周期为 2 个系统时钟周期
 - ◇ 复位向量位于 000_H，默认中断向量位于 004_H
 - ◇ 支持中断处理，15 个中断源，支持中断向量表
 - ◇ 系统时钟最高工作频率
 - 2MHz (VDD=2.1~5.5V)
 - 8MHz (VDD=2.7~5.5V)
 - 16MHz (VDD=3.0~5.5V)
- ◆ 存储资源
 - ◇ 2016 Words OTP 程序存储器，8 级程序堆栈
 - ◇ 128 Bytes SRAM 数据存储器
 - ◇ 程序存储器支持直接寻址、相对寻址及查表读操作
 - ◇ 数据存储器支持直接寻址、GPR 特殊寻址和间接寻址
- ◆ I/O 端口
 - ◇ 最多支持 17 个 I/O 和 1 个输入端口
 - PA 端口 (PA0~PA7)
 - PB 端口 (PB0~PB5)
 - PC 端口 (PC0~PC3)
 - ◇ 支持 4 个外部端口中断 PINT (PINT0~PINT3)
 - ◇ 支持 1 个 8 输入外部按键中断 KINT (KIN0~KIN7 为输入端)
 - ◇ 支持独立的可配置内部弱上/下拉输入端口
 - ◇ 支持独立的可配置两种电流驱动
- ◆ 复位及时钟
 - ◇ 内嵌上电复位电路 POR
 - ◇ 内嵌掉电复位电路 BOR
 - ◇ 内嵌低电压检测中断电路
 - ◇ 支持外部复位
 - ◇ 支持独立硬件看门狗定时器
 - ◇ 支持内部高频 16MHz RC 振荡时钟源
 - 支持内部分频选择，最低可分频至 32KHz

- 出厂前，芯片已经在常温 25℃条件下校准，校准精度为±0.5%
- ◇ 支持内部低频 32KHz RC 振荡器时钟源(用于 WDT 时钟源及可配置为系统时钟源)
- ◇ 支持外部振荡器时钟源
- ◇ 支持高低速系统时钟切换

◆ 外设

- ◇ 一路 8 位定时器 T8N
 - 定时器模式（时钟源为系统时钟二分频（Fosc/2））
 - 计数器模式（时钟源为 T8NCKI 输入）
 - 支持可配置预分频器
 - 支持中断产生
- ◇ 3 组增强型 EPWM 时基定时器 T8P1/T8P2/T8P3
 - 支持定时器模式（时钟源为系统时钟二分频（Fosc/2））
 - 支持 PWM 输出模式（时钟源为系统时钟二分频（Fosc/2）或系统时钟（Fosc））
 - 支持可配置预分频器及可配置后分频器
 - T8Px 包括 8 位计数器(T8Px)，精度寄存器(T8PxRL)，精度缓冲寄存器(T8PxRH) 和周期寄存器(T8PxP)、周期缓冲寄存器（PRDBUF（无物理地址））
 - T8Px 计数器的初值可任意配置
 - 支持 3 组带死区互补输出的增强型脉宽调制（EPWM）输出扩展功能
 - 支持 6 路脉宽调制（PWM）输出扩展功能
 - 支持外部端口关断 EPWM 输出
 - 支持模拟比较器输出关断 EPWM 输出
 - 支持 EPWM 自动重启
 - 支持 PWM 沿启动 ADC 转换
 - T8Px 支持中断产生 T8PxIF
- ◇ 1 路 16 位门控型定时器 T16G1
 - 支持定时器模式（时钟源为系统时钟二分频（Fosc/2））
 - 支持计数器模式（时钟源为 T16G1CKI 或外部 LP 晶振可选）
 - 支持比较器模式
 - 支持捕捉器模式
 - 支持单边 PWM 模式
 - 支持双边 PWM 模式
 - 支持过零检测功能
 - 支持外部门控使能
 - 支持中断产生
- ◇ 模拟数字转换器 ADC
 - 支持 12 位数字转换精度
 - 支持 8 通道模拟输入端
 - 支持电源电压检测，电源分压比可选（VDD/4、VDD/8）
 - 支持外部参考源
 - 支持内部参考源（参考源为 VDD/4V/3V/2V/1.6V 可选）
 - 支持中断产生
- ◇ 模拟比较器 ACP

- 支持模拟比较器模式，支持中断产生
- 支持运算放大器模式，放大倍数由外接电阻决定
- ◆ 低功耗特性
 - ◇ IDLE 电流
 - 3uA@5.0V, 25°C, BOR 使能、WDT 使能、LVD 不使能
 - ◇ 动态电流
 - 20uA@32KHz, 5.0V, 25°C, 典型值
 - 2.5mA@16MHz, 5.0V, 25°C, 典型值
- ◆ 编程及调试接口
 - ◇ 支持在线编程 (ISP) 接口
 - ◇ 支持编程代码加密保护
- ◆ 设计工艺及封装
 - ◇ 低功耗、高速 OTP CMOS 工艺
 - ◇ 16 个管脚，采用 SOP 封装
 - ◇ 20 个管脚，采用 SOP/SSOP/TSSOP 封装
- ◆ 工作条件
 - ◇ 工作电压范围：2.1V ~ 5.5V
 - ◇ 工作温度范围：-40°C ~ 85°C

1.1.2 应用领域

本芯片可用于数显表、移动电源、电机驱动、航模、小家电等领域。

1.2 结构框图

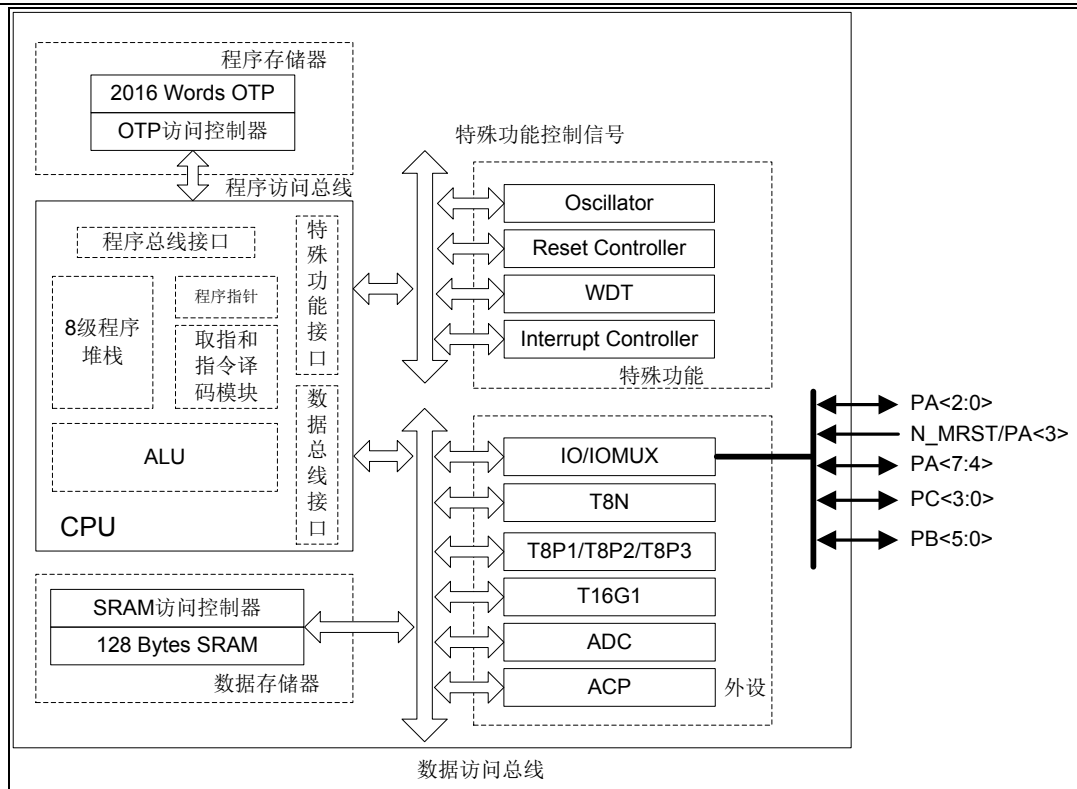


图 1-1 结构框图

注：N_MRST 表示低电平有效。

1.3 管脚分配图

1.3.1 16-pin

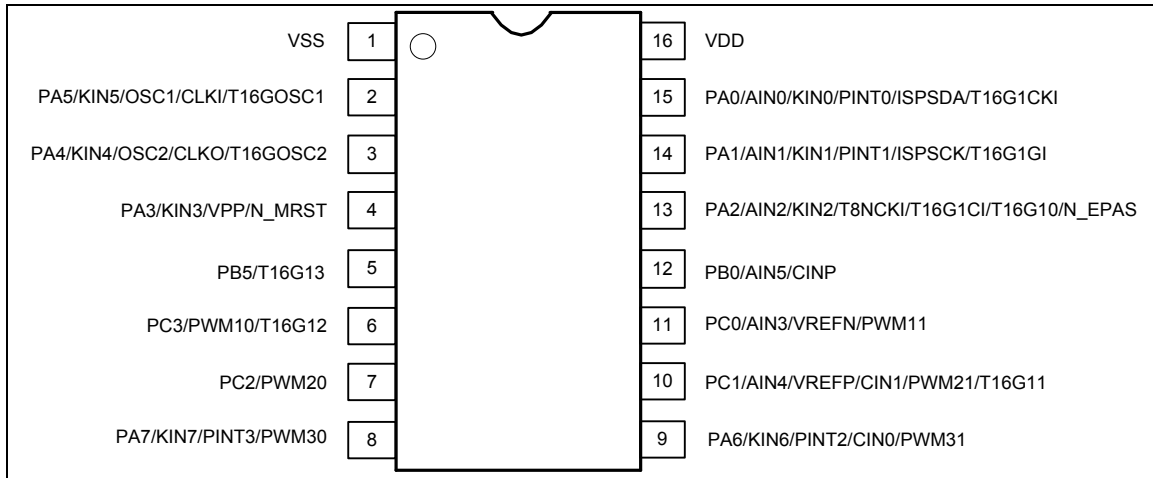


图 1-2 ES7P1731 SOP16 封装顶视图

1.3.2 20-pin

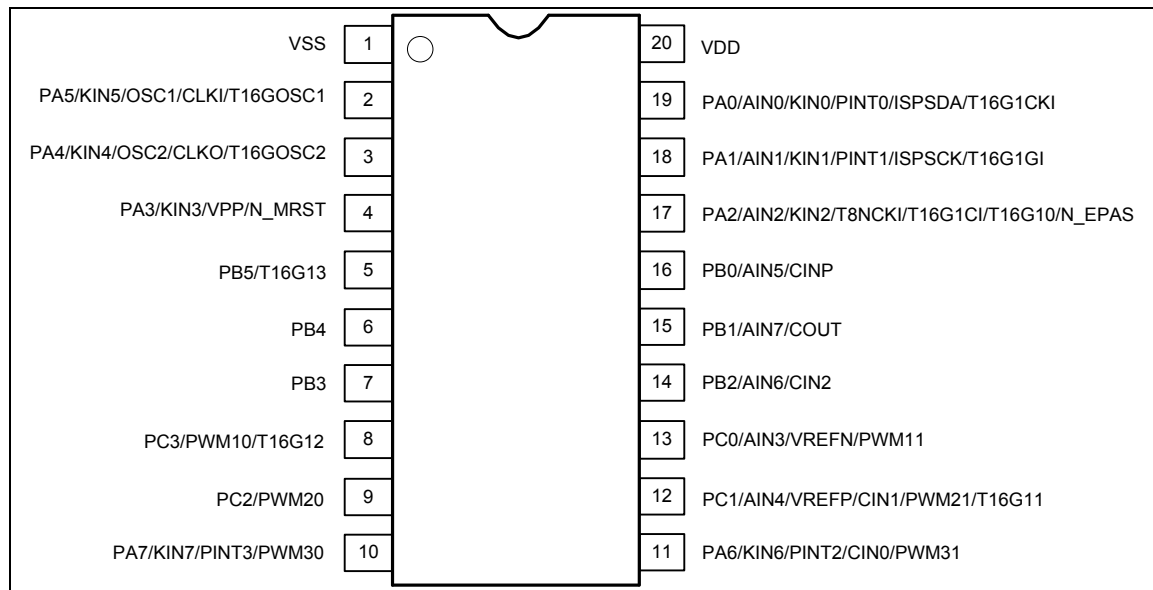


图 1-3 ES7P1732 SOP20/SSOP20/TSSOP20 封装顶视图

注 1: N_MRST 表示低电平有效;

注 2: 用户系统必须保证 VPP 管脚电压低于芯片电源电压 VDD, 否则管脚 PA0/PA1 的输入/输出属性可能会改变成只有输入属性。如果该管脚上存在过冲, 则用户系统必须限制该脉冲的电压不高于 VDD+0.5V, 脉冲宽度不超过 100us。

1.4 管脚说明

1.4.1 管脚封装对照表

管脚名	ES7P1731	ES7P1732
	SOP16	SOP20/SSOP20/TSSOP20
PA0/AIN0/KIN0/PINT0/ISPSDA/T16G1CKI	15	19
PA1/AIN1/KIN1/PINT1/ISPSCK/T16G1GI	14	18
PA2/AIN2/KIN2/T8NCKI/T16G1CI/T16G10/N_EPAS	13	17
PA3/KIN3/VPP/N_MRST	4	4
PA4/KIN4/OSC2/CLKO/T16GOSC2	3	3
PA5/KIN5/OSC1/CLKI/T16GOSC1	2	2
PA6/KIN6/PINT2/CIN0/PWM31	9	11
PA7/KIN7/PINT3/PWM30	8	10
PB0/AIN5/CINP	12	16
PB1/AIN7/COU	-	15
PB2/AIN6/CIN2	-	14
PB3	-	7
PB4	-	6
PB5/T16G13	5	5
PC0/AIN3/VREFN/PWM11	11	13
PC1/AIN4/VREFP/CIN1/PWM21/T16G11	10	12
PC2/PWM20	7	9
PC3/PWM10/T16G12	6	8
VDD	16	20
VSS	1	1

表 1-1 管脚封装对照表

1.4.2 管脚复用说明

管脚名	管脚复用	A/D	端口说明	备注
PA0/AIN0/KIN0/PINT0/ ISPSDA/T16G1CKI	PA0	D	通用 I/O	可单独使能弱上/下拉，可配置两种电流驱动
	AIN0	A	ADC 模拟通道 0	
	KIN0	D	外部按键 0 输入	
	PINT0	D	外部端口中断 0 输入	
	ISPSDA	D	串行编程数据输入输出	
	T16G1CKI	D	T16G1 时钟输入	
PA1/AIN1/KIN1/PINT1/ ISPSCK/T16G1GI	PA1	D	通用 I/O	可单独使能弱上/下拉，可配置两种电流驱动
	AIN1	A	ADC 模拟通道 1	
	KIN1	D	外部按键 1 输入	
	PINT1	D	外部端口中断 1 输入	
	ISPSCK	D	串行编程时钟输入	

管脚名	管脚复用	A/D	端口说明	备注
	T16G1GI	D	T16G1 门控输入	
PA2/AIN2/KIN2/T8NCKI/ T16G1CI/T16G10/N_EPAS	PA2	D	通用 I/O	可单独使能弱上/下拉，可配置两种电流驱动
	AIN2	A	ADC 模拟通道 2	
	KIN2	D	外部按键 2 输入	
	T8NCKI	D	T8N 时钟输入	
	T16G1CI	D	T16G1 捕捉输入	
	T16G10	D	T16G1 比较或 PWM 输出 0	
	N_EPAS	D	EPWM 外部关断输入	
PA3/KIN3/VPP/N_MRST	PA3	D	通用 I	可单独使能弱上拉
	KIN3	D	外部按键 3 输入	
	VPP	A	OTP 编程高压输入	
	N_MRST	D	主复位输入	
PA4/KIN4/OSC2/CLKO /T16GOSC2	PA4	D	通用 I/O	可单独使能弱上/下拉，可配置两种电流驱动
	KIN4	D	外部按键 4 输入	
	OSC2	A	晶振/谐振器输出	
	CLKO	D	Fosc/2 参考时钟输出	
	T16GOSC2	A	T16G1 晶振输出	
PA5/KIN5/OSC1/CLKI /T16GOSC1	PA5	D	通用 I/O	可单独使能弱上/下拉，可配置两种电流驱动
	KIN5	D	外部按键 5 输入	
	OSC1	A	晶振/谐振器输入	
	CLKI	A/D	时钟输入	
	T16GOSC1	A	T16G1 晶振输入	
PA6/KIN6/PINT2/CIN0 /PWM31	PA6	D	通用 I/O	可单独使能弱上/下拉，可配置两种电流驱动
	KIN6	D	外部按键 6 输入	
	PINT2	D	外部端口中断 2 输入	
	CIN0	A	模拟比较器负端通道 0 输入	
	PWM31	D	T8P3 PWM 输出	
PA7/KIN7/PINT3/ PWM30	PA7	D	通用 I/O	可单独使能弱上/下拉，可配置两种电流驱动
	KIN7	D	外部按键 7 输入	
	PINT3	D	外部端口中断 3 输入	
	PWM30	D	T8P3 PWM 输出	
PB0/AIN5/CINP	PB0	D	通用 I/O	可单独使能弱上/下拉，可配置两种电流驱动
	AIN5	A	ADC 模拟通道 5	
	CINP	A	模拟比较器正端输入	
PB1/AIN7/COUT	PB1	D	通用 I/O	可单独使能弱上/下拉，可配置两种电流驱动
	AIN7	A	ADC 模拟通道 7	
	COUT	A/D	比较器/放大器输出端	
PB2/AIN6/CIN2	PB2	D	通用 I/O	可单独使能弱上/下拉，可配置两种电流驱动
	AIN6	A	ADC 模拟通道 6	

管脚名	管脚复用	A/D	端口说明	备注
	CIN2	A	模拟比较器负端通道 2 输入	驱动
PB3	PB3	D	通用 I/O	可单独使能弱上/下拉，可配置两种电流驱动
PB4	PB4	D	通用 I/O	可单独使能弱上/下拉，可配置两种电流驱动
PB5/T16G13	PB5	D	通用 I/O	可单独使能弱上/下拉，可配置两种电流驱动
	T16G13	D	T16G1 比较或 PWM 输出 3	
PC0/AIN3/VREFN/PWM11	PC0	D	通用 I/O	可单独使能弱上/下拉，可配置两种电流驱动
	AIN3	A	ADC 模拟通道 3	
	VREFN	A	ADC 外部参考电压负端	
	PWM11	D	T8P1 PWM 输出	
PC1/AIN4/VREFP/CIN1 /PWM21/T16G11	PC1	D	通用 I/O	可单独使能弱上/下拉，可配置两种电流驱动
	AIN4	A	ADC 模拟通道 4	
	VREFP	A	ADC 外部参考电压正端	
	CIN1	A	模拟比较器负端通道 1 输入	
	PWM21	D	T8P2 PWM 输出	
	T16G11	D	T16G1 比较或 PWM 输出 1	
PC2/PWM20	PC2	D	通用 I/O	可单独使能弱上/下拉，可配置两种电流驱动
	PWM20	D	T8P2 PWM 输出	
PC3/PWM10/T16G12	PC3	D	通用 I/O	可单独使能弱上/下拉，可配置两种电流驱动
	PWM10	D	T8P1 PWM 输出	
	T16G12	D	T16G1 比较或 PWM 输出 2	
VDD	VDD	-	电源	-
VSS	VSS	-	地，0V 参考点	-

表 1-2 管脚说明

注 1: A = 模拟, D = 数字; N_MRST 表示低电平有效;

注 2: 除 PA3 外, 所有通用数据 I/O 均为 TTL 施密特输入和 CMOS 输出驱动, PA3 为 TTL 输入;

第2章 内核特性

2.1 CPU内核概述

- ◆ 内核特性
 - ◇ 用 ES7P RISC CPU 内核，79 条精简指令集
 - ◇ 支持中断优先级和中断向量表
 - ◇ 支持硬件乘法器
 - ◇ 系统时钟最高工作频率
 - 2MHz (VDD=2.1~5.5V)
 - 8MHz (VDD=2.7~5.5V)
 - 16MHz (VDD=3.0~5.5V)

2.2 硬件乘法器

芯片指令集不包含乘法指令，内部集成独立的硬件乘法器，通过读写相应寄存器进行操作。

硬件乘法器： $[8 \text{ 位乘数 } A] \times [8 \text{ 位乘数 } B] = 16 \text{ 位乘积}$ 。

通过 MULA 寄存器设置乘数 A，通过 MULB 寄存器设置乘数 B，这两个寄存器只能被写入，无法被读取。运算的乘积存入 MULH 和 MULL 寄存器中，这两个寄存器只能被读取，无法被写入。MULA 和 MULL 共用一个寄存器地址，MULB 和 MULH 共用一个寄存器地址。被乘数和乘数设置完成后，下一条指令即可读取乘积结果。

硬件乘法器的乘数寄存器（MULA/MULB）可写不可读，在使用硬件乘法器之前，需先禁止全局中断使能（GIE=0），以免在中断处理过程中，乘数寄存器无法被有效保护而被改写。

应用实例：硬件乘法器操作应用程序

```
.....  
BCC     INTG_GIE  
MOVI    mul_operand_a  
MOVA    MULA           ; 写乘数 A  
MOVI    mul_operand_b  
MOVA    MULB           ; 写乘数 B  
MOV     MULL,0         ; 读结果低 8 位  
... ..  
MOV     MULH,0         ; 读结果高 8 位  
... ..
```

2.3 特殊功能寄存器

PSW: 程序状态字寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	UF	OF	N	OV	Z	DC	C
R/W	—	R	R	R/W	R/W	R/W	R/W	R/W
POR	x	0	0	x	x	x	x	x

- Bit 7 保留
- Bit 6 UF: 程序出栈溢出标志位
0: 程序出栈未溢出
1: 程序出栈溢出
- Bit 5 OF: 程序压栈溢出标志位
0: 程序压栈未溢出
1: 程序压栈溢出
- Bit 4 N: 负数标志位
0: 正数
1: 负数
- Bit 3 OV: 有符号运算溢出标志位
0: 无溢出
1: 溢出
- Bit 2 Z: 零标志位
0: 算术或逻辑运算的结果不为零
1: 算术或逻辑运算的结果为零
- Bit 1 DC: 半进位或半借位标志位
0: 低四位无进位或低四位有借位
1: 低四位有进位或低四位无借位
- Bit 0 C: 全进位或全借位标志位
0: 无进位或有借位
1: 有进位或无借位

注 1: 仅部分指令可对 PSW 寄存器进行写操作, 包括 JDEC、JINC、SWAP、BCC、BSS、BTT、MOVA 和 SETR。

其它指令对 PSW 寄存器的写操作, 只根据运行结果影响相应状态标志位。

注 2: OF 和 UF 位为只读标志位, 仅上电复位和复位指令会将其清零, 其他复位不影响该两位标志位。

AREG: 累加器 A 寄存器								
Bit	7	6	5	4	3	2	1	0
Name	A<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

Bit 7~0 累加器的值

PCRL: 程序计数器低 8 位								
Bit	7	6	5	4	3	2	1	0
Name	PCRL<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 程序计数器低 8 位

PCRH: 程序计数器高 8 位								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	PCRH<2:0>		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~3 保留

Bit 2~0 程序计数器高 3 位

MULA: 乘数 A 寄存器								
Bit	7	6	5	4	3	2	1	0
Name	MULA<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

Bit 7~0 乘数 A

MULB: 乘数 B 寄存器								
Bit	7	6	5	4	3	2	1	0
Name	MULB<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

Bit 7~0 乘数 B

MULL: 乘积低 8 位寄存器								
Bit	7	6	5	4	3	2	1	0
Name	MUL<7:0>							
R/W	R	R	R	R	R	R	R	R
POR	x	x	x	x	x	x	x	x

Bit 7~0 乘积低 8 位

MULH: 乘积高 8 位寄存器								
Bit	7	6	5	4	3	2	1	0
Name	MUL<15:8>							
R/W	R	R	R	R	R	R	R	R
POR	x	x	x	x	x	x	x	x

Bit 7~0 乘积高 8 位

第3章 存储资源

3.1 概述

本系列芯片采用哈佛总线架构，程序寻址空间和数据寻址空间相互独立。

片内存储器资源包括：

- ◇ 2016 Words OTP 程序存储器；
- ◇ 128 Bytes SRAM 数据存储器。

其中 OTP 程序存储器被映射到程序寻址空间，SRAM 数据存储器被映射到数据寻址空间。

型号	OTP 程序存储器	SRAM 数据存储器
ES7P1731	2016 Words	128 Bytes
ES7P1732	2016 Words	128 Bytes

3.2 程序存储器

3.2.1 概述

程序存储器用于存储用户程序。由于芯片指令位宽为 16 位（2 个字节），因此 2016 Words 程序存储器被映射到程序寻址空间的每个访问地址对应 16 位宽（2 个字节）的存储单元。

寻址到保留区会执行 NOP 指令，然后程序计数器 PC 地址回到 000_H。

复位向量位于 000_H，默认中断向量入口地址位于 004_H。

型号	OTP 程序存储器	寻址空间	程序计数器
ES7P1731	2016 Words	000 _H ~7DF _H	PCRH<2:0>, PCRL<7:0>
ES7P1732	2016 Words	000 _H ~7DF _H	PCRH<2:0>, PCRL<7:0>

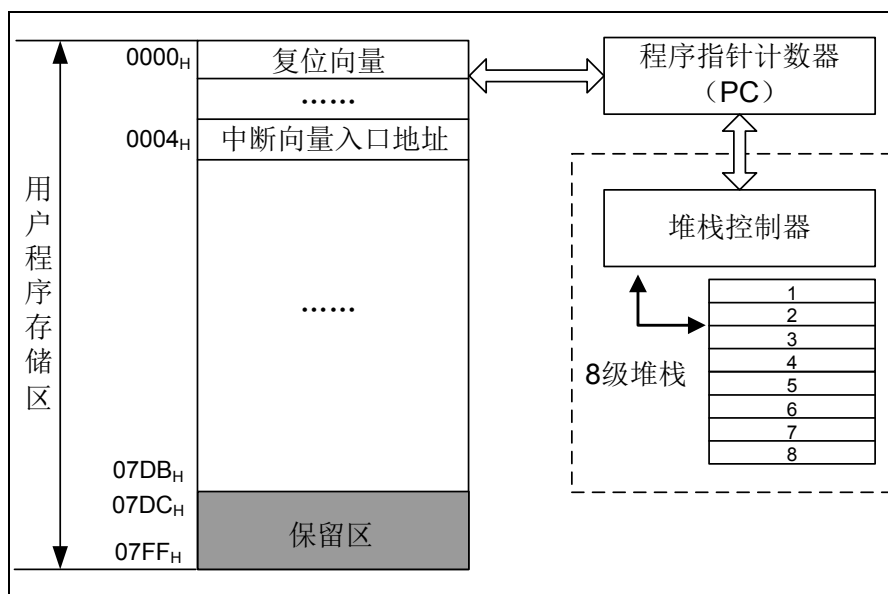


图 3-1 程序区地址映射和堆栈示意图

3.2.2 程序计数器 (PC)

程序计数器中存放的是要执行的下一条指令的地址。CPU 运行时, PC 在每个指令周期后都会自动加 1, 除非 PC 的值被指令或中断异常改写。程序计数器 PC 寻址超出地址范围会导致 PC 循环(又从 0000_H 开始访问)。程序计数器 PC 的低 8 位 PC<7:0>可通过 PCRL 直接读写, 而 PC 高 8 位不能直接读写, 只能通过 PCRH 寄存器来间接(如 RCALL、CALL、GOTO 等指令)赋值。复位时, PCRL、PCRH 和 PC 都会被清零。PC 硬件堆栈操作不会影响 PCRH 的值。

注: 各种指令对 PC 的影响:

1. 通过指令直接修改 PC 值时, 对 PCRL 为目标寄存器的操作可直接修改 PC<7:0>, 即 PC<7:0>=PCRL<7:0>; 而操作 PC<7:0>的同时也会执行 PC<10:8>=PCRH<2:0>, 因此, 修改 PC 时, 应先修改 PCRH<2:0>, 再修改 PCRL<7:0>。
2. 执行 RCALL 指令时, PC<7:0>为寄存器 R 中的值; 而 PC<10:8>=PCRH<2:0>。
3. 执行 CALL, GOTO 指令时, PC<10:0>为指令中 11 位立即数 I (操作数)。
4. 执行 LCALL 指令时, 该指令为双字指令共有 16 位立即数 I (操作数)。PC<10:0>被修改为该 16 位立即数 I 的低 11 位; 同时 PCRH<2:0>被修改为 I<10:8>的值。
5. 执行 AJMP 指令时, 该指令为双字指令共有 16 位立即数 I (操作数)。PC<10:0> 被修改为该 16 位立即数 I 的低 11 位, 同时 PCRH<2:0>修改为 I<10:8>的值。
6. 执行其他指令时, PC 值自动加 1。

3.2.3 硬件堆栈

PC 硬件堆栈用于子程序调用或中断处理时存储程序返回地址。本系列芯片内有 8 级硬件堆栈, 堆栈位宽与 PC 位宽相等, 用于 PC 的压栈和出栈。执行 CALL、LCALL 指令或中断被响应后, PC 自动压栈保护; 当执行 RET、RETIA 或 RETIE 指令时, 堆栈会将最近一次压栈的值返回至 PC。

硬件堆栈只支持 8 级缓冲操作, 即硬件堆栈只保存最近的 8 次压栈值, 对于连续超过 8 次的压栈操作, 第 9 次的压栈数据使得第 1 次的压栈数据被覆盖。同样, 超过 8 次的连续出栈, 第 9 次出栈操作, 可能使得程序流程不可控。

3.2.4 程序存储器查表操作

3.2.4.1 概述

本系列芯片的程序存储器查表只支持查表读操作, 1 次查表读操作访问 1 个地址单元的 16 位数据。

查表读操作通过查表读指令将 FRA (FRAH, FRAL) 所指向的程序存储器地址中的一个字 (Word) 读入 ROMD (ROMDH, ROMDL) 中。

3.2.4.2 操作例程

应用例程: 程序存储器查表读。

```
MOVI    0x05          ; 读取程序存储器 0105H
MOVA    FRAL
MOVI    0x01
MOVA    FRAH
```


TBR
 MOV ROMDH, 0

 MOV ROMDL, 0

3.2.5 特殊功能寄存器

FRAL: 查表地址寄存器低 8 位								
Bit	7	6	5	4	3	2	1	0
Name	FRAL<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 查表地址低 8 位

FRAH: 查表地址寄存器高 8 位								
Bit	7	6	5	4	3	2	1	0
Name	FRAH<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 查表地址高 8 位

ROMDL: 查表数据寄存器低 8 位								
Bit	7	6	5	4	3	2	1	0
Name	ROMDL<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

Bit 7~0 查表数据低 8 位

ROMDH: 查表数据寄存器高 8 位								
Bit	7	6	5	4	3	2	1	0
Name	ROMDH<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

Bit 7~0 查表数据高 8 位

3.3 数据存储

3.3.1 概述

- ◇ 数据存储由 2 部分组成
 - 通用数据存储 GPR
 - 特殊功能寄存器 SFR
- ◇ 物理存储包括
 - 128 Bytes SRAM 数据存储
 - 特殊功能寄存器 SFR
- ◇ 支持 3 种寻址方式
 - 直接寻址
 - GPR 特殊寻址
 - 间接寻址

型号	SRAM 数据存储	地址范围	SRAM 存储体组
ES7P1731	128 Bytes	000 _H ~07F _H	Section 0
ES7P1732	128 Bytes	000 _H ~07F _H	Section 0

型号	SFR 存储容量	地址范围	SFR 存储体组
ES7P1731	128 Bytes	FF80 _H ~FFFF _H	Section 0
ES7P1732	128 Bytes	FF80 _H ~FFFF _H	Section 0

3.3.2 数据寻址空间映射

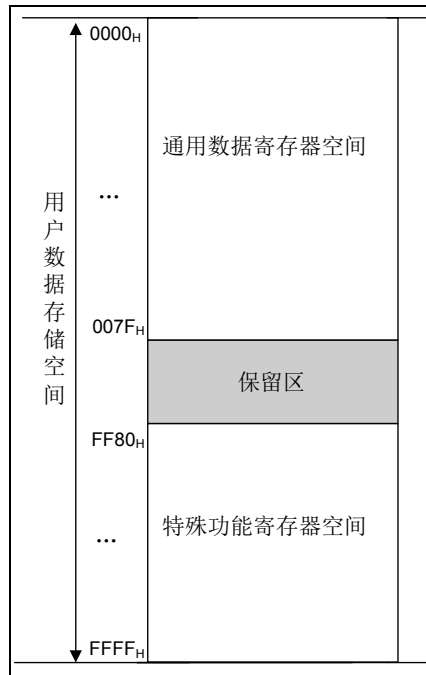


图 3-2 数据区地址映射示意图

3.3.3 通用数据存储器

通用数据存储器被用于临时存放数据和控制信息，可以在程序控制下进行读写操作。本系列芯片通用数据存储器空间为 128 Bytes，仅支持 1 个存储体组，SECTION 指令在本芯片中操作无效。通用数据存储器的内容在上电复位后是不确定的，未掉电的其它复位后，将保存复位前的内容。

3.3.4 特殊功能寄存器

特殊功能寄存器用于芯片对外设操作的控制设定。本系列芯片支持 128 个特殊寄存器，地址范围 FF80_H~FFFF_H。大多数寄存器都是可以读写的，仅有少数寄存器作为保留使用，用户程序不能进行读写。相关功能所使用的寄存器将分别在各个章节中描述。

FF80 _H	IAD	FFA0 _H	INTG	FFC0 _H	T16G1RH	FFE0 _H	CALPROT
FF81 _H	IAAL	FFA1 _H	LVDC	FFC1 _H	T16G1CL	FFE1 _H	OSCCAL
FF82 _H	IAAH	FFA2 _H	INTF1	FFC2 _H	T16G1CH	FFE2 _H	WDTCAL
FF83 _H	PSW	FFA3 _H	INTE1	FFC3 _H	T16GOC	FFE3 _H	—
FF84 _H	AREG	FFA4 _H	INTC1	FFC4 _H	ADCC0	FFE4 _H	—
FF85 _H	MULA/MULL	FFA5 _H	N_PAD	FFC5 _H	ADCC1	FFE5 _H	—
FF86 _H	MULB/MULH	FFA6 _H	N_PBD	FFC6 _H	ADCC2	FFE6 _H	—
FF87 _H	FRAL	FFA7 _H	PWRC	FFC7 _H	ADCRL	FFE7 _H	—
FF88 _H	FRAH	FFA8 _H	OSCC	FFC8 _H	ADCRH	FFE8 _H	—
FF89 _H	ROMDL	FFA9 _H	WKDC	FFC9 _H	TMRADC	FFE9 _H	—
FF8A _H	ROMDH	FFAA _H	OSCP	FFCA _H	ACPC	FFEA _H	—
FF8B _H	PCRL	FFAB _H	WDTC	FFCB _H	CMFT	FFEB _H	—
FF8C _H	PCRH	FFAC _H	PWEN	FFCC _H	—	FFEC _H	—
FF8D _H	—	FFAD _H	VRSTC	FFCD _H	—	FFED _H	—
FF8E _H	PA	FFAE _H	N_PCD	FFCE _H	T8P2	FFEE _H	—
FF8F _H	PAT	FFAF _H	—	FFCF _H	T8P2C	FFEF _H	—
FF90 _H	PB	FFB0 _H	T8N	FFD0 _H	T8P2P	FFF0 _H	—
FF91 _H	PBT	FFB1 _H	T8NC	FFD1 _H	T8P2RL	FFF1 _H	—
FF92 _H	PC	FFB2 _H	T8P1	FFD2 _H	T8P2RH	FFF2 _H	—
FF93 _H	PCT	FFB3 _H	T8P1C	FFD3 _H	T8P2OC	FFF3 _H	—
FF94 _H	N_PAU	FFB4 _H	T8P1P	FFD4 _H	EPWM2C	FFF4 _H	—
FF95 _H	N_PBU	FFB5 _H	T8P1RL	FFD5 _H	PDD2C	FFF5 _H	—
FF96 _H	N_PCU	FFB6 _H	T8P1RH	FFD6 _H	TE2AS	FFF6 _H	—
FF97 _H	PALC	FFB7 _H	T8P1OC	FFD7 _H	T8P3	FFF7 _H	—
FF98 _H	PBLC	FFB8 _H	EPWM1C	FFD8 _H	T8P3C	FFF8 _H	—
FF99 _H	PCLC	FFB9 _H	PDD1C	FFD9 _H	T8P3P	FFF9 _H	—
FF9A _H	ANS0	FFBA _H	TE1AS	FFDA _H	T8P3RL	FFFA _H	—
FF9B _H	ANS1	FFBB _H	T16G1L	FFDB _H	T8P3RH	FFFB _H	—
FF9C _H	—	FFBC _H	T16G1H	FFDC _H	T8P3OC	FFFC _H	—
FF9D _H	INTF0	FFBD _H	T16G1PL	FFDD _H	EPWM3C	FFFD _H	—
FF9E _H	INTE0	FFBE _H	T16G1PH	FFDE _H	PDD3C	FFFE _H	—
FF9F _H	INTC0	FFBF _H	T16G1RL	FFDF _H	TE3AS	FFFF _H	—

图 3-3 特殊功能寄存器空间

3.3.5 寻址方式

SRAM 数据存储器的寻址方式支持直接寻址、GPR 特殊寻址和间接寻址。

3.3.5.1 直接寻址

在直接寻址时，指令中的 8 位地址信息用于 GPR 和 SFR 中寻址。当指令中的 8 位地址信息 R<7:0>小于 80_H时，直接寻址 GPR 映射区。当 R<7:0>大于或等于 80_H时，直接寻址 SFR 映射区。

示意图如下：

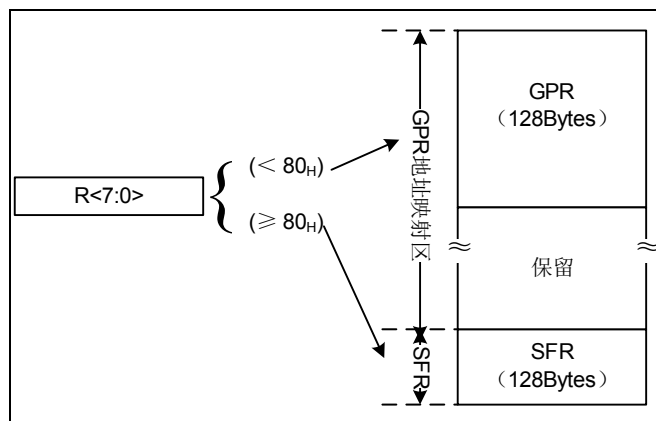


图 3-4 直接寻址示意图

3.3.5.2 GPR特殊寻址

为方便较大的数据段（例如数组）在 GPR 中的移动，指令 MOVAR 和 MOVRA 用于对 GPR 进行特殊寻址读/写操作，指令中支持 11 位地址信息（R<10:0>），可寻址 2K 字节地址空间。由于本芯片 GPR 存储区的大小为 128 字节，GPR 特殊寻址时，高 4 位地址实际为 0。MOVAR 和 MOVRA 指令无法访问 SFR。

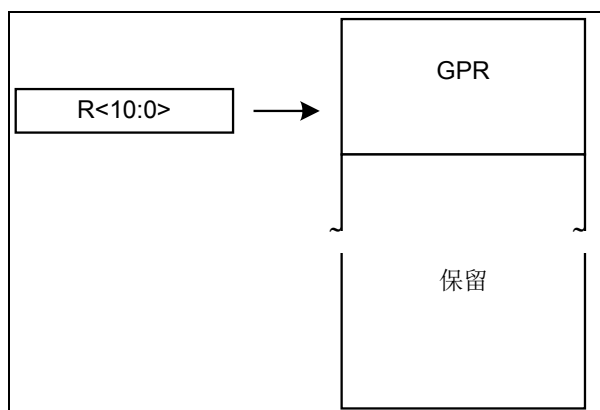


图 3-5 GPR 特殊寻址示意图

3.3.5.3 间接寻址

8 位 IAAH 和 8 位 IAAL 组成 16 位间接寻址索引寄存器，寻址空间 0000_H~ FFFF_H。通过对间接寻址数据寄存器 IAD 的读写操作，完成间接寻址操作。

由于 IAD 这个寄存器自身也有物理地址 FF80_H。因此，这个寄存器也是可以被间接寻址的。只是，当用间接寻址的方式，读 IAD 这个寄存器的时候，读出的值始终为 00_H，而写入则是一个空操作（可能影响状态位）。

ISTEP 指令，用来对间接寻址索引寄存器 IAAH/IAAL 进行偏移计算。该指令支持 8 位有符号立即数，即偏移范围-128~127。虽然只有 8 位立即数，但是该条指令对整个 IAA(IAAL 和 IAAH)进行 16 位计算。计算的结果依然存放于 IAAL 和 IAAH 中。

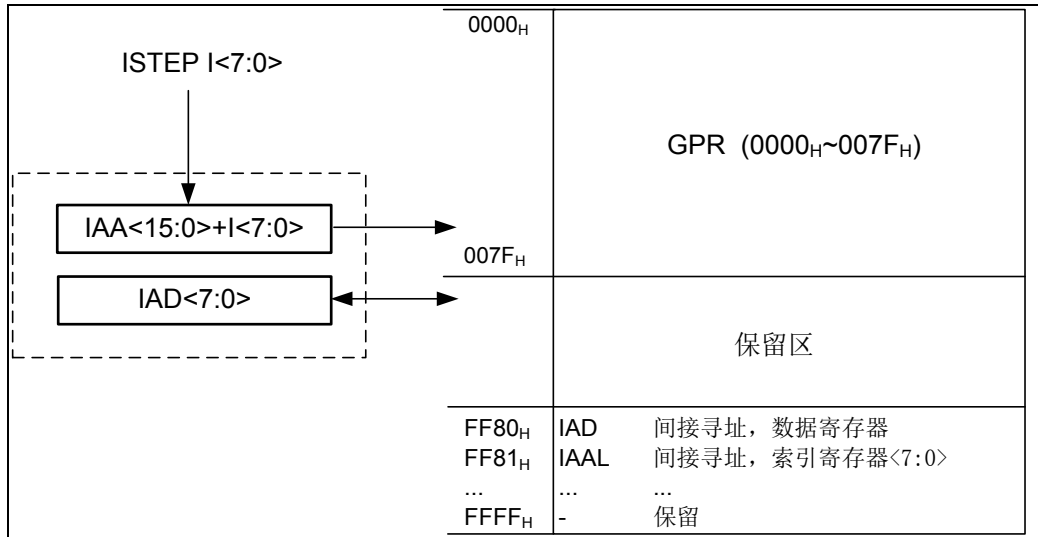


图 3-6 间接寻址示意图

3.3.6 特殊功能寄存器

IAD: 间接寻址数据寄存器								
Bit	7	6	5	4	3	2	1	0
Name	IAD<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	0	0	0	0	0	0	0	0

Bit 7~0 IAD<7:0>: 间接寻址数据

IAAL: 间接寻址索引寄存器低 8 位								
Bit	7	6	5	4	3	2	1	0
Name	IAAL<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	0	0	0	0	0	0	0	0

Bit 7~0 IAAL<7:0>: 间接寻址索引低 8 位

IAAH: 间接寻址索引寄存器高 8 位								
Bit	7	6	5	4	3	2	1	0
Name	IAAH<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	0	0	0	0	0	0	0	0

Bit 7~0 IAAH<7:0>: 间接寻址索引高 8 位

第4章 输入/输出端口

4.1 概述

输入/输出端口是芯片的最基本组成部分，本系列芯片最多支持 17 个 I/O+1 个输入端口。除 PA3 外，所有 I/O 端口都是 TTL/SMT 输入和 CMOS 输出驱动。输入端口 PA3 是 TTL 输入，不受特殊功能寄存器 PAT 控制。

- ◇ PA 输入/输出端口功能组件
 - 7 位双向输入/输出端口和 1 个输入端口
 - TTL/SMT 输入和 CMOS 输出驱动
 - 端口输入输出控制寄存器 (PAT)
 - 端口弱上拉控制寄存器 (N_PAU)
 - 端口弱下拉控制寄存器 (N_PAD)
 - 端口电流驱动能力选择控制寄存器 (PALC)
 - 数/模端口控制寄存器 (ANS0, ANS1)
 - PA0~PA7 支持外部按键中断功能
 - PA0~PA1, PA6~PA7 支持外部端口中断功能
- ◇ PB 输入/输出端口功能组件
 - 2 位双向输入/输出端口 (ES7P1731)
 - 6 位双向输入/输出端口 (ES7P1732)
 - TTL/SMT 输入和 CMOS 输出驱动
 - 端口输入输出控制寄存器 (PBT)
 - 端口弱上拉控制寄存器 (N_PBU)
 - 端口弱下拉控制寄存器 (N_PBD)
 - 端口电流驱动能力选择控制寄存器 (PBLC)
 - 数/模端口控制寄存器 (ANS0)
- ◇ PC 输入/输出端口功能组件
 - 4 位双向输入/输出端口
 - TTL/SMT 输入和 CMOS 输出驱动
 - 端口输入输出控制寄存器 (PCT)
 - 端口弱上拉控制寄存器 (N_PCU)
 - 端口弱下拉控制寄存器 (N_PCD)
 - 端口电流驱动能力选择控制寄存器 (PCLC)
 - 数/模端口控制寄存器 (ANS0)

型号	最大 I/O 数	I/O 端口名称
ES7P1731	14	PA0~PA7 PB0, PB5 PC0~PC3
ES7P1732	18	PA0~PA7 PB0~PB5 PC0~PC3

4.2 结构框图

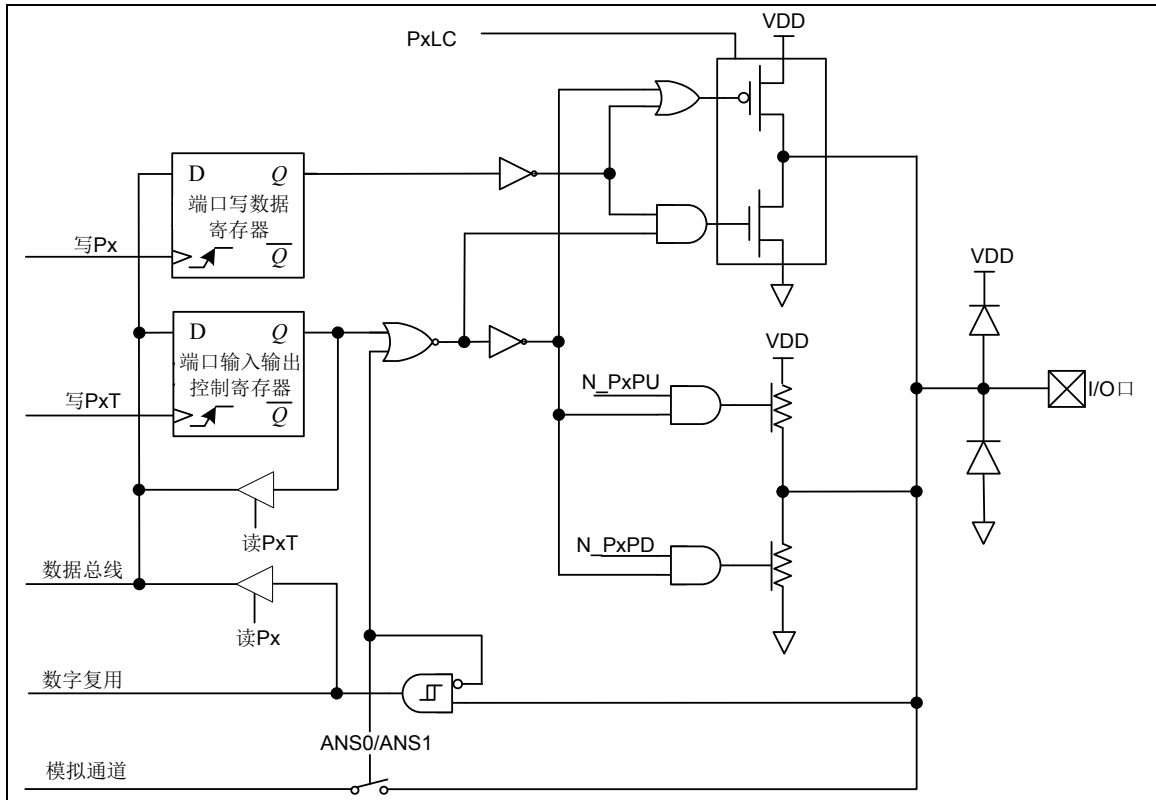


图 4-1 输入/输出端口结构图——PA/PB/PC

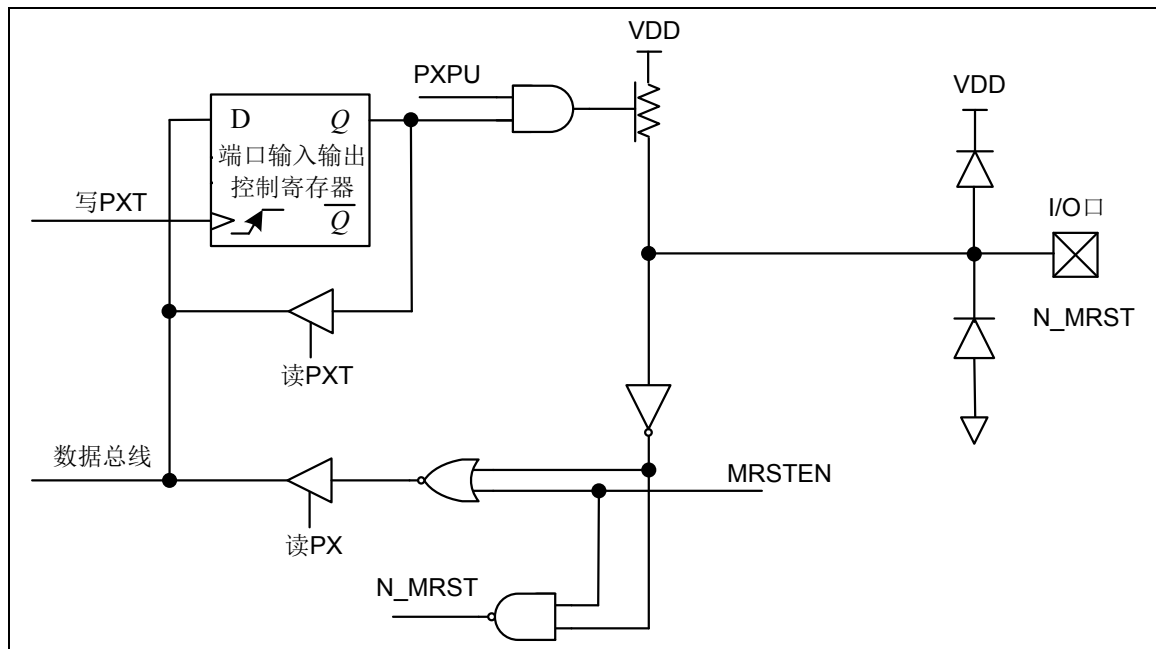


图 4-2 输入端口结构图——PA3

4.3 I/O端口功能设置

4.3.1 I/O端口输入/输出控制

除 PA3 外, 芯片中的所有 I/O 端口都具有输入/输出的能力, 端口控制寄存器 PAT/PBT/PCT 用于相应端口的输入或输出功能选择。PA3 端口被硬件固定为输入模式。当 I/O 端口设置为数字输出状态时, I/O 端口输出 PA/PB/PC 寄存器内容, 即相应 I/O 端口电平状态, 读取 PA/PB/PC 寄存器的操作实际为读取相应 I/O 端口电平状态。当 I/O 端口设置为数字输入状态时, 读取 PA/PB/PC 寄存器的操作实际为读取相应 I/O 端口电平状态。

4.3.2 I/O端口弱上/下拉功能

很多产品的应用中需要端口连接上拉或下拉电阻, 使端口固定在一个稳定的电平状态, 防止外界干扰以及其它影响。除 PA3 外, 本系列芯片中所有端口均提供独立的弱上/下拉功能, 芯片上电时默认禁止。PA3 仅支持独立的弱上拉功能, 芯片上电时默认使能。

管脚	0	1	2	3	4	5	6	7
PA	支持	支持	支持	支持	支持	支持	支持	支持
PB	支持	支持	支持	支持	支持	支持	—	—
PC	支持	支持	支持	支持	—	—	—	—

表 4-1 I/O 端口弱上拉

管脚	0	1	2	3	4	5	6	7
PA	支持	支持	支持	—	支持	支持	支持	支持
PB	支持	支持	支持	支持	支持	支持	—	—
PC	支持	支持	支持	支持	—	—	—	—

表 4-2 I/O 端口弱下拉

4.3.3 I/O端口模拟/数字类型选择功能

当数字信号和模拟信号共用管脚时, 在使用对应端口的数字信号或模拟信号功能前, 须正确设置端口的类型, 否则可能不会达到预期的结果。本系列芯片中 PA0~PA2、PB0~PB2、PC0~PC1 均具有独立的模拟/数字信号选择功能, 分别由 ANS0 和 ANS1 寄存器控制选择。当端口被配置为模拟端口时, 读相应的 PA/PB/PC 寄存器时, 始终读到“0”。

4.3.4 增强驱动能力I/O

为了更好的配合驱动方面的应用, 本系列芯片所有 I/O 端口(除 PA3 外)均可配置两档驱动能力: 普通驱动能力和增强驱动能力, 默认为普通驱动能力端口。端口驱动能力参数请参考附录“电气特性”。端口驱动能力可通过 PALC/PBLC/PCLC 寄存器来配置。

4.3.5 I/O端口复用功能

为了使资源合理利用最优化, 本系列芯片的所有 I/O 端口都具有复用功能。当端口用于复用功能时, 管脚电平由复用功能决定。

4.4 端口中断

4.4.1 外部按键中断 (KINT)

本系列芯片支持 1 组 8 个外部按键输入端 KIN0~KIN7 的按键中断，每个按键输入都可以由相应的 KMSK0~KMSK7 位屏蔽。当 KIN0~KIN7 复用端口被配置为数字输入端口，且 1 组中任何一个未屏蔽的按键端口输入信号发生电平变化时，将产生按键中断 KINT。外部按键中断可由 KIE 使能。中断产生将影响中断标志 KIF。使用外部按键中断时，须配置相应的控制寄存器，并且使能外部按键中断端口的内部弱上拉电阻。

外部按键电平比较，是比较按键输入端口的当前电平与锁存器中的最后输入值，如果不相同则产生按键中断标志。清除按键中断标志位前，必须对相应复用端口进行一次读或写操作，否则按键中断标志位无法被清除。在 IDLE 模式下，此中断能唤醒 CPU。

管脚名	端口输入	按键屏蔽	中断名	中断使能	中断标志
PA0	KIN0	KMSK0	KINT	KIE	KIF
PA1	KIN1	KMSK1			
PA2	KIN2	KMSK2			
PA3	KIN3	KMSK3			
PA4	KIN4	KMSK4			
PA5	KIN5	KMSK5			
PA6	KIN6	KMSK6			
PA7	KIN7	KMSK7			

表 4-3 外部按键中断

4.4.2 外部端口中断 (PINT)

本系列芯片支持 4 个外部端口中断。当 PINT0~PINT3 复用端口被配置为数字输入端口，且输入信号变化满足触发条件时，将产生 PINT0~PINT3 外部端口中断。INTC1 寄存器中的 PEG0~PEG3 用于配置触发条件，可分别配置为上升沿触发或下降沿触发。外部端口中断可由 PIE0~PIE3 使能。中断产生将影响相应的中断标志 PIF0~PIF3。在 IDLE 模式下，此中断能唤醒 CPU。

管脚名	中断名	中断使能	端口输入	边沿选择	中断标志
PA0	PINT0	PIE0	PINT0	PEG0	PIF0
PA1	PINT1	PIE1	PINT1	PEG1	PIF1
PA6	PINT2	PIE2	PINT2	PEG2	PIF2
PA7	PINT3	PIE3	PINT3	PEG3	PIF3

表 4-4 外部端口中断

4.5 I/O端口操作注意事项

当执行以端口寄存器为目标的算术或逻辑运算指令（除位操作指令）时，芯片实际执行读-修改-写过程，即先读取该组全部 I/O 端口的电平，修改后再写回端口寄存器。位操作指令对 I/O 的修改操作只影响选定的位，对同组其它 I/O 不影响。因此建议用户对单个 I/O 的修改采用位操作指令。此外在 I/O 复用功能使能和关闭时，应充分考虑当前 I/O 端口的输出寄存器值，并判断是否需要重新对这些 I/O 端口进行初始化赋值。

4.6 特殊功能寄存器

PA: PA 端口电平状态寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PA<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	x	x	x	x	x	x	x	x

Bit 7~0 PA<7:0>: PA 端口电平状态
0: 低电平
1: 高电平

PAT: PA 端口输入输出控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PAT<7:0>							
R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W
RESET	1	1	1	1	1	1	1	1

Bit 7~4 PAT<7:4>: PA7~PA4 端口输入输出状态控制位
0: 输出状态
1: 输入状态
Bit 3 PAT<3>: 硬件固定为 1, 该端口只能用作输入
Bit 2~0 PAT<2:0>: PA2~PA0 端口输入输出状态控制位
0: 输出状态
1: 输入状态

N_PAU: PA 端口弱上拉控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	N_PAU<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	1	1	1	1	0	1	1	1

Bit 7~0 N_PAU<7:0>: PA 端口内部弱上拉控制位
0: 使能
1: 禁止

N_PAD: PA 端口弱下拉控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	N_PAD<7:4>				—	N_PAD<2:0>		
R/W	R/W	R/W	R/W	R/W	—	R/W	R/W	R/W
RESET	1	1	1	1	0	1	1	1

Bit 7~4 N_PAD<7:3>: PA7~PA4 端口内部弱下拉控制位

0: 使能

1: 禁止

Bit 3 保留

Bit 2~0 N_PAD<2:0>: PA2~PA0 端口内部弱下拉控制位

0: 使能

1: 禁止

PALC: PA 端口驱动能力控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PALC<7:4>				—	PALC<2:0>		
R/W	R/W	R/W	R/W	R/W	—	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~4 PALC<7:4>: PA7~PA4 端口驱动能力控制位

0: 普通驱动能力

1: 增强驱动能力

Bit 3 保留

Bit 2~0 PALC<2:0>: PA2~PA0 端口驱动能力控制位

0: 普通驱动能力

1: 增强驱动能力

PB: PB 端口电平状态寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	PB<5:0>					
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
RESET	0	0	x	x	x	x	x	x

Bit 7~6 保留

Bit 5~0 PB<5:0>: PB 端口电平状态

0: 低电平

1: 高电平

PBT: PB 端口输入输出控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	PBT<5:0>					
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
RESET	0	0	1	1	1	1	1	1

Bit 7~6 保留

Bit 5~0 PBT<5:0>: PB 端口输入输出状态控制位
0: 输出状态
1: 输入状态

N_PBU: PB 端口弱上拉控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	N_PBU<5:0>					
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
RESET	0	0	1	1	1	1	1	1

Bit 7~6 保留

Bit 5~0 N_PBU<5:0>: PB 端口内部弱上拉控制位
0: 使能
1: 禁止

N_PBD: PB 端口弱下拉控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	N_PBD<5:0>					
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
RESET	0	0	1	1	1	1	1	1

Bit 7~6 保留

Bit 5~0 N_PBD<2:0>: PB 端口内部弱下拉控制位
0: 使能
1: 禁止

PBLC: PB 端口驱动能力控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	PBLC<5:0>					
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~6 保留

Bit 5~0 PBLC<5:0>: PB 端口驱动能力控制位
0: 普通驱动能力
1: 增强驱动能力

PC: PC 端口电平状态寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	PC<3:0>			
R/W	—	—	—	—	R/W	R/W	R/W	R/W
RESET	0	0	0	0	x	x	x	x

Bit 7~4 保留

Bit 3~0 PC<3:0>: PC 端口电平状态
0: 低电平
1: 高电平

PCT: PC 端口输入输出控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	PCT<3:0>			
R/W	—	—	—	—	R/W	R/W	R/W	R/W
RESET	0	0	0	0	1	1	1	1

Bit 7~4 保留

Bit 3~0 PCT<3:0>: PC 端口输入输出状态控制位
0: 输出状态
1: 输入状态

N_PCU: PC 端口弱上拉控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	N_PCU<3:0>			
R/W	—	—	—	—	R/W	R/W	R/W	R/W
RESET	0	0	0	0	1	1	1	1

Bit 7~4 保留

Bit 3~0 N_PCU<3:0>: PC 端口内部弱上拉控制位
0: 使能
1: 禁止

N_PCD: PC 端口弱下拉控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	N_PCD<3:0>			
R/W	—	—	—	—	R/W	R/W	R/W	R/W
RESET	0	0	0	0	1	1	1	1

Bit 7~4 保留

Bit 3~0 N_PCD<3:0>: PC 端口内部弱下拉控制位
0: 使能
1: 禁止

PCLC: PC 端口驱动能力控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	PCLC<3:0>			
R/W	—	—	—	—	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~4 保留

Bit 3~0 PCLC<3:0>: PC 端口驱动能力控制位

0: 普通驱动能力

1: 增强驱动能力

ANS0: I/O 端口数模选择寄存器								
Bit	7	6	5	4	3	2	1	0
Name	ANPB1	ANPB2	ANPB0	ANPC1	ANPC0	ANPA2	ANPA1	ANPA0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	1	1

Bit 7 ANPB1: PB1 端口数模选择位(AIN7/COU7(运放模式))

0: 模拟端口

1: 数字端口

Bit 6 ANPB2: PB2 端口数模选择位(AIN6/CIN2)

0: 模拟端口

1: 数字端口

Bit 5 ANPB0: PB0 端口数模选择位(AIN5/CINP)

0: 模拟端口

1: 数字端口

Bit 4 ANPC1: PC1 端口数模选择位(AIN4/CIN1)

0: 模拟端口

1: 数字端口

Bit 3 ANPC0: PC0 端口数模选择位(AIN3)

0: 模拟端口

1: 数字端口

Bit 2 ANPA2: PA2 端口数模选择位(AIN2)

0: 模拟端口

1: 数字端口

Bit 1 ANPA1: PA1 端口数模选择位(AIN1)

0: 模拟端口

1: 数字端口

Bit 0 ANPA0: PA0 端口数模选择位(AIN0)

0: 模拟端口

1: 数字端口

ANS1: I/O 端口数模选择寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	—	—	ANPA6
R/W	—	—	—	—	—	—	—	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~1 保留

Bit 0 ANPA6: PA6 端口数模选择位(CIN0)

0: 模拟端口

1: 数字端口

第5章 特殊功能及操作特性

5.1 系统时钟与振荡器

5.1.1 概述

芯片运行所需要的时钟源由振荡器提供，不同的振荡器选择可以让使用者在不同的应用需求中实现更大范围的功能。本芯片有两种时钟源，一种是外部时钟源，支持 4 种时钟模式，分别是 HS、XT、LP、RC 振荡器；另一种是内部时钟源，支持 2 种时钟模式，分别是内部高速 INTOSCH 16MHz 和低速 INTOSCL 32KHz RC 时钟。灵活选择振荡器，使得产品在速度和功耗方面可以达到最优化。振荡器除了作为系统时钟源外，还可以作为看门狗定时器、ADC 电路等提供所需要的时钟源。

- ◇ 系统时钟源可通过芯片配置字 OSCS<2:0>位和软件配置寄存器 OSCC 决定
- ◇ 高速系统时钟：外部 HS/XT/RC 时钟和内部 INTOSCH 16MHz 时钟
- ◇ 低速系统时钟：INTOSCL 32KHz 时钟和 LP 振荡器
- ◇ 支持高、低速时钟切换
- ◇ 8 位内部 INTOSCH 16MHz 时钟校准寄存器（OSCCAL）和 8 位内部 INTOSCL 32KHz 时钟校准寄存器（WDTCAL）

5.1.2 时钟源

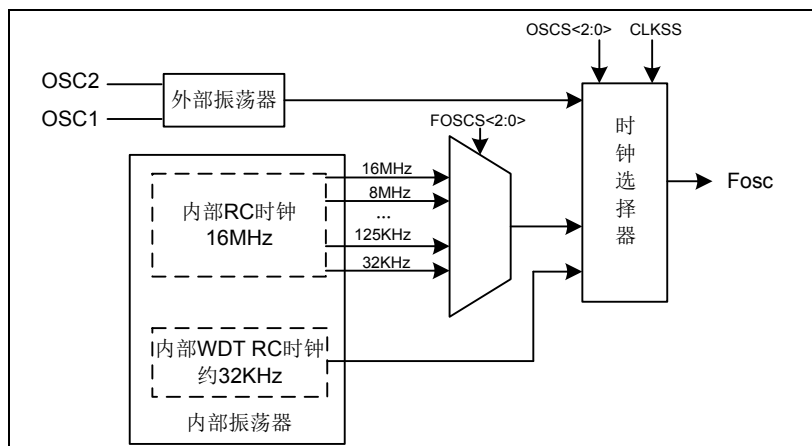


图 5-1 系统时钟切换图

5.1.2.1 外部时钟

外部时钟包括晶体/陶瓷振荡器模式（HS/XT/LP）和 RC 振荡器模式。

晶体/陶瓷振荡器模式

- ◇ 晶体/陶瓷振荡器模式（HS、XT、LP 模式）
- ◇ HS/XT 晶振模式，起振稳定时间为 512 个系统时钟。LP 晶振模式为低功耗振荡器模式，芯片内置起振稳定控制电路。

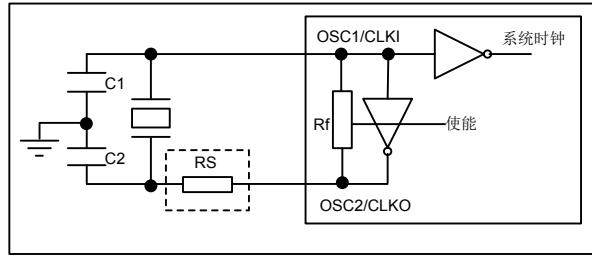


图 5-2 晶体/陶瓷振荡器模式 (HS、XT、LP 模式)

注：RS 为可选配置。

Osc Type	晶振频率	C1*	C2*
LP	32KHz	33pF	33pF
XT	1MHz	15 ~ 33pF	15 ~ 33pF
	4MHz		
HS	8MHz	15pF	15pF
	16MHz		

表 5-1 晶体振荡器电容参数参考表

注*：此数据可根据晶振频率大小、外围电路的不同作微调。

RC 振荡器模式

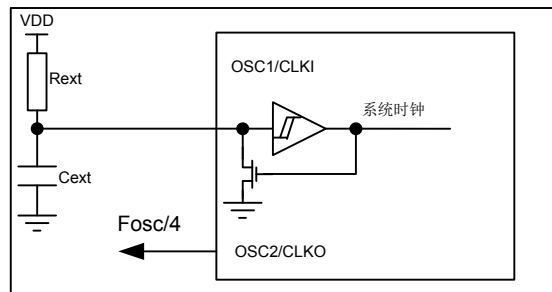


图 5-3 振荡器 RC 模式等效电路图及外围参考图

工作条件：-40~85℃ 2.5~5.5V	
推荐外部电阻范围	15K ≤ Rext ≤ 100K
推荐外部电容范围	20pf ≤ Cext ≤ 300pf
推荐振荡频率范围	10KHz ≤ f ≤ 4MHz

表 5-2 外部 RC 模式推荐参数

5.1.2.2 内部时钟

本芯片包括两个内部 RC 时钟分别为 INTOSCH 16MHz、INTOSCL 32KHz。INTOSCH 16MHz 最低可分频至 32KHz，并且内部 INTOSCH 16MHz 时钟已经在出厂前常温条件下校准，校准精度为 ±0.5%。

用户程序可通过内部 RC 时钟校准寄存器 (OSCCAL 和 WDTCAL)，改写相应的校准值，可改变 INTOSCH 16MHz 和 INTOSCL 32KHz 的频率。

5.1.3 系统时钟切换

系统可通过软件设置寄存器 CLKSS (OSCC<7>) 位，选择高低速系统时钟。系统上电时，寄存器 CLKSS 的值默认为 0，工作在低速系统时钟模式下。

系统支持三种时钟切换：

- ◇ 内部高速 INTOSCH 16MHz 时钟与内部低速 INTOSCL 32KHz 时钟切换
 - 配置字 OSCS<2:0>位配置为 INTOSC 或 INTOSCO 模式
 - 设置寄存器 CLKSS，进行高、低速时钟切换
- ◇ 外部高速 HS/XT/RC 时钟与内部低速 INTOSCL 32KHz 时钟切换
 - 配置字 OSCS<2:0>位配置为 HS、XT、RC 或 RCIO 模式
 - 设置寄存器 CLKSS，进行高、低速时钟切换
- ◇ 外部低速 LP 振荡时钟与内部高速 16MHz 时钟切换
 - 配置字 OSCS<2:0>位配置为 LP 模式
 - 设置寄存器 CLKSS，进行高、低速时钟切换

5.1.3.1 系统上电时序

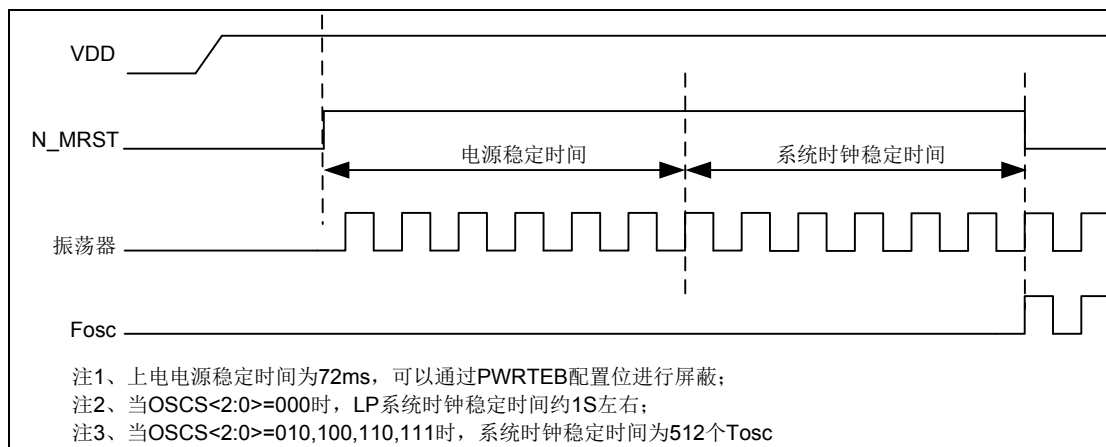


图 5-4 系统上电时序图

5.1.3.2 系统时钟切换时序

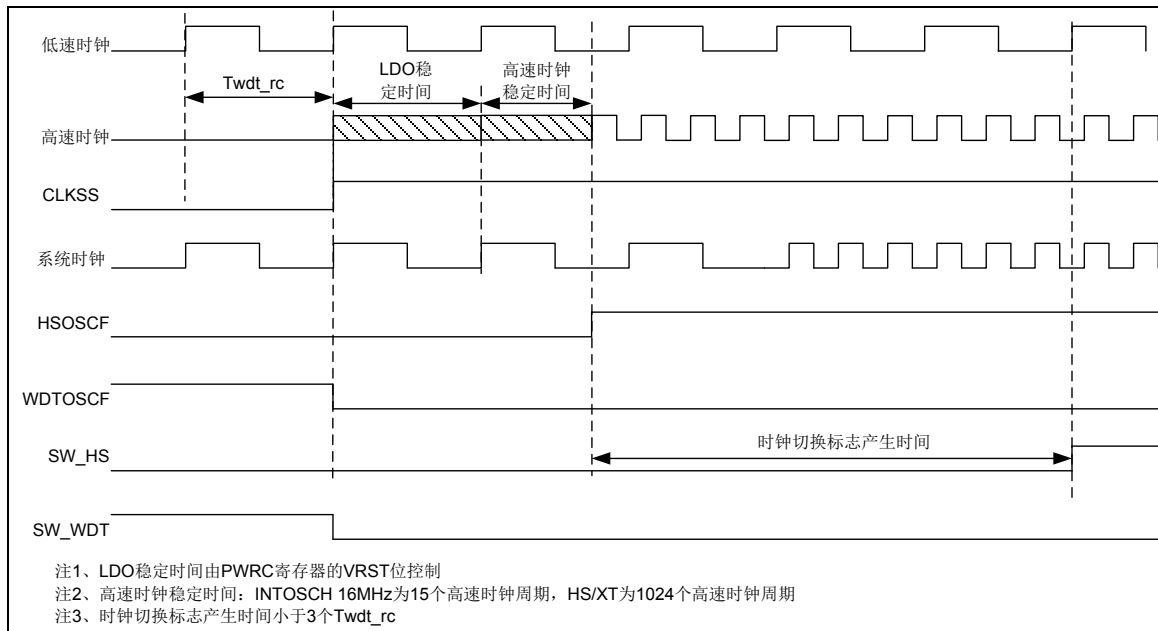


图 5-5 INTOSCL 时钟切换到 HS/XT/RC/INTOSCH 时钟时序图

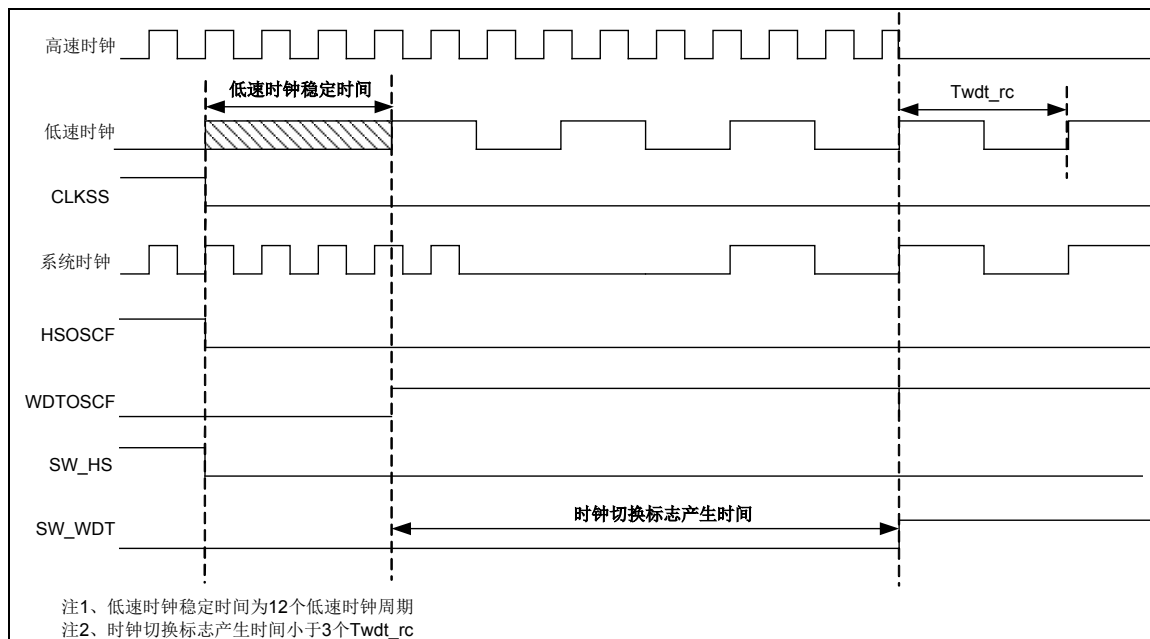


图 5-6 HS/XT/RC/INTOSCH 时钟切换到 INTOSCL 时钟时序图

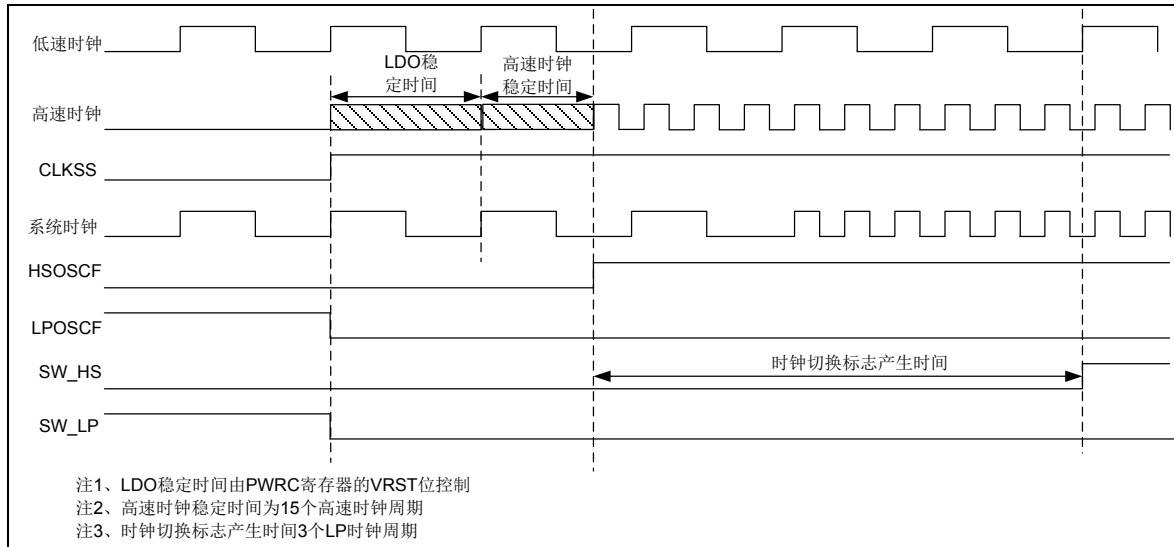


图 5-7 低速 LP 时钟切换到 INTOSCH 时钟时序图

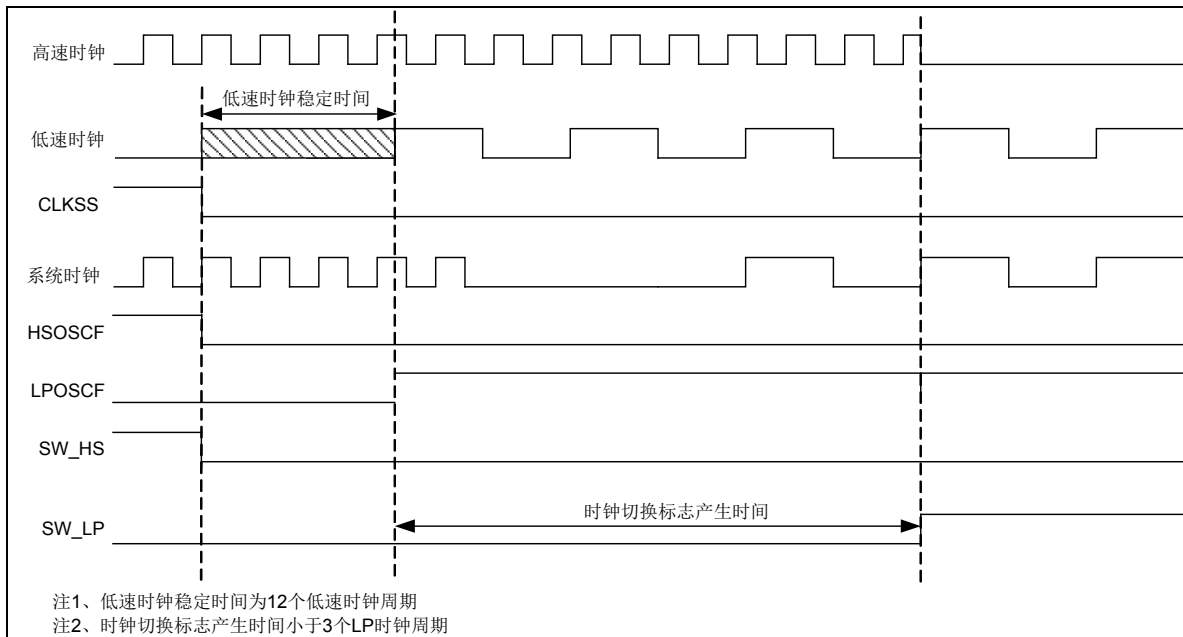


图 5-8 INTOSCH 时钟切换到低速 LP 时钟时序图

5.1.4 特殊功能寄存器

OSCP: 时钟控制写保护寄存器								
Bit	7	6	5	4	3	2	1	0
Name	OSCP<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

Bit 7~0 OSCP 为 55_H 时，可以改变 FOSCS 和 CLKSS 位。当 FOSCS 和 CLKSS 被写时，OSCP 自动复位为 FF_H。OSCP 不为 55_H 时，对 FOSCS 和 CLKSS 的写操作将被忽略。

PWEN: 功耗控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	SW_WDT	SW_HS	SW_LP	BORFLT<1:0>		RCEN	—
R/W	—	R	R	R	R/W	R/W	R/W	—
POR	0	1	0	0	1	1	1	0

Bit 7 保留

Bit 6 SW_WDT: 切换到内部低速 32KHz 时钟标志位
0: 切换未完成
1: 切换完成

Bit 5 SW_HS: 切换到 HS/XT/RC/INTOSCH 16MHz 高速时钟标志位
0: 切换未完成
1: 切换完成

Bit 4 SW_LP: 切换到外部 LP 晶振时钟标志位
0: 切换未完成
1: 切换完成

Bit 3~2 BORFLT<1:0>: BOR 滤波时间选择位
00: 约 3 个 WDT_RC 时钟周期
01: 约 5 个 WDT_RC 时钟周期
10: 约 7 个 WDT_RC 时钟周期
11: 滤波功能禁止 (默认)

Bit 1 RCEN: WDT 内部 RC 时钟使能位 (此位建议设置为 1)
CLKSS=1:
0: 关闭 WDT 内部 RC 时钟
1: 使能 WDT 内部 RC 时钟
CLKSS=0:
RCEN 固定为 1, 不可写

Bit 0 保留

注: 如果需要频繁进行高、低速系统时钟切换, 必须进行相应切换完成标志位 SW_LP、SW_HS 和 SW_WDT 的判断。

OSCC: 时钟控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	CLKSS	FOSCS<2:0>			T16GOSCF	WDTOSCF	HSOSCF	LPOS CF
R/W	R/W	R/W	R/W	R/W	R	R	R	R
POR	0	1	1	0	x	1	0	x

- Bit 7 CLKSS: 低速时钟与高速时钟切换选择位
 当 OSCS<2:0>=000 时:
 0: 外部低速 LP 32KHZ 时钟源
 1: 内部高速 INTOSCH 16MHz 时钟源
 其它:
 0: 内部低速 INTOSCL 32KHZ 时钟源
 1: 内部高速 INTOSCH 16MHz 或者外部高速 HS/XT/RC 时钟源
- Bit 6~4 FOSCS<2:0>: 内部系统时钟频率选择位
 111: 16MHz
 110: 8MHz
 101: 4MHz
 100: 2MHz
 011: 1MHz
 010: 500KHz
 001: 125KHz
 000: 32KHz
- Bit 3 T16GOSCF: T16G1 外部晶振稳定标志位
 0: 未稳定
 1: 稳定
- Bit 2 WDTOSCF: 时钟切换, 内部 32KHz 稳定标志位
 0: 未稳定
 1: 稳定
- Bit 1 HSOSCF: 时钟切换, 高速时钟稳定标志位
 0: 未稳定
 1: 稳定
- Bit 0 LPOS CF: 时钟切换, 外部 LP 晶振稳定标志位
 0: 未稳定
 1: 稳定

CALPROT: 时钟校准值保护寄存器								
Bit	7	6	5	4	3	2	1	0
Name	CALPROT<7:0>							
R/W	W	W	W	W	W	W	W	R/W
POR	0	0	0	0	0	0	0	1

Bit 7~1 —
 Bit0 校准值保护位
 1: 时钟校准值处于保护状态
 0: 时钟校准值处于去除保护状态

注 1: 当 CALPROT 寄存器写入 0x55 时, 去除保护状态, 写入其他任何值均使能保护位;
 注 2: 在芯片出厂前, 内部 RC 时钟均已校准并设置好校准值, 因此建议禁止用户程序改写时钟校准寄存器, 否则可能会导致芯片相关功能模块工作异常

OSCCAL: 内部 RC 16MHz 时钟校准寄存器								
Bit	7	6	5	4	3	2	1	0
Name	OSCCAL<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	1	0	1	0	1	0	0	1

Bit 7~0 OSCCAL<7:0>: 内部 16MHz 频率调节位
 00_H: 频率最小

 FF_H: 频率最大

WDTCAL: 内部 RC 32KHz 时钟校准寄存器								
Bit	7	6	5	4	3	2	1	0
Name	WDTCAL<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	1	1	1	1	0	0	0	0

Bit 7~0 WDTCAL<7:0>: 内部 32KHz 频率调节位
 00_H: 频率最大

 FF_H: 频率最小

5.2 看门狗定时器

5.2.1 概述

看门狗定时器是芯片的一个组成部分，它可以在发生软件故障时，将芯片复位。若系统进入了异常的工作状态，看门狗可以在设定的时间范围内使芯片复位。使能看门狗后，若用户程序清除看门狗定时器失败，则在设定的时间范围内，看门狗会使系统复位。

◇ WDT 定时器

- 8 位 WDT 定时计数器（无实际物理地址，不可读写）
- 定时器时钟源为内部 32KHz RC 时钟
- 16 位预分频器（无实际物理地址，不可读写）
- WDT 控制寄存器（WDTC）
- 唤醒功能
- 复位功能

5.2.2 内部结构图

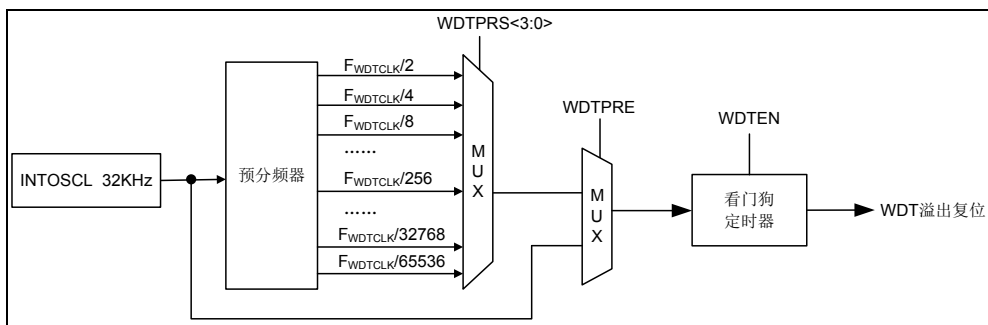


图 5-9 看门狗定时器内部结构图

5.2.3 WDT 定时器

芯片提供 8 位 WDT 定时计数器，根据 PWEN 寄存器的 RCEN 位决定看门狗的工作状态：

- ◇ 当 RCEN=1 时，芯片配置字看门狗使能位 WDTEN=1 时，看门狗使能；WDTEN=0 时，禁止。
- ◇ 当 RCEN=0 时，看门狗禁止。

在 IDLE 模式下，WDT 计数溢出会唤醒 CPU；在正常运行模式下，WDT 计数溢出会复位芯片。为了避免不必要的复位，需使用 CWDT 指令适时清零 WDT 计数器。

WDT 支持一个预分频器，由 WDTC 寄存器中的 WDTPRE 位控制。当 WDTPRE 位清零，禁止预分频器时，常温下 WDT 的计数溢出时间约为 8ms。

当 WDTPRE 位置 1，使能预分频器时，可通过 WDTC 寄存器中的 WDTPRS<3:0>位设置 WDT 时钟源的预分频比，再将分频后的时钟信号作为 WDT 定时器的计数时钟。

5.2.4 特殊功能寄存器

WDTC: WDT 控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	WDTPRE	WDTPRS<3:0>			
R/W	—	—	—	R/W	R/W	R/W	R/W	R/W
RESET	0	0	0	1	0	1	1	1

Bit 7~5 未使用

Bit 4 WDTPRE: WDT 预分频器使能位

0: 禁止

1: 使能

Bit 3~0 WDTPRS <3:0>: WDT 预分频器分频比选择位

0000: 1:2

0001: 1:4

0010: 1:8

0011: 1:16

0100: 1:32

0101: 1:64

0110: 1:128

0111: 1:256

1000: 1:512

1001: 1:1024

1010: 1:2048

1011: 1:4096

1100: 1:8192

1101: 1:16384

1110: 1:32768

1111: 1:65536

5.3 复位模块

5.3.1 概述

- ◇ 上电复位 POR
- ◇ 掉电复位 BOR，复位电压点可配置
- ◇ 外部端口 N_MRST 复位，低电平复位有效
- ◇ 看门狗定时器 WDT 溢出复位
- ◇ 软件执行指令 RST 复位

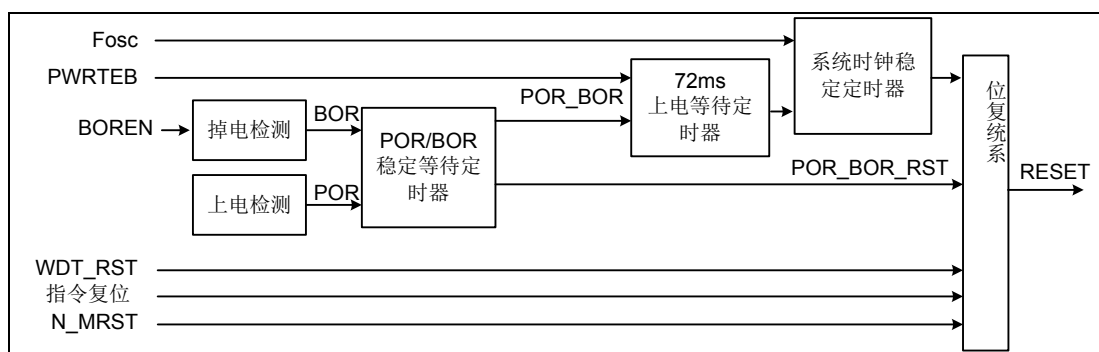


图 5-10 芯片复位原理图

5.3.2 上电复位

芯片上电过程中会产生 POR 复位，并且该复位信号将会一直保持到电源电压升高到芯片能够正常工作的电压为止。系统上电过程呈逐渐上升的曲线形式，需要一定时间才能达到正常电平值。上电复位的时序如下：

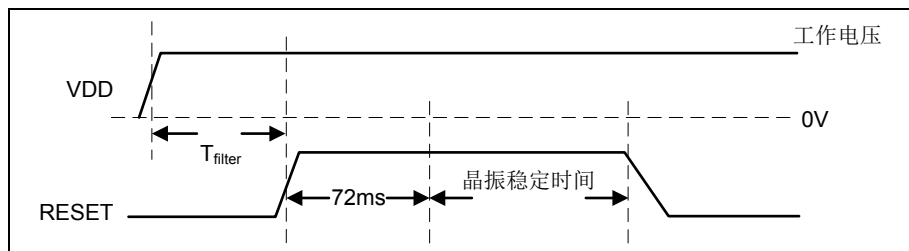


图 5-11 上电复位时序示意图

5.3.3 掉电复位

掉电复位针对外部因素引起的系统电压跌落情形（例如：更换电池），掉电时可能会引起系统工作状态不正常或程序执行错误，掉电复位电路可保障芯片在异常掉电过程中处于复位状态，避免出现误操作。对电压跌落的滤波时间 T_{filter} ，可通过 BORFLT 位(PWEN<3:2>) 进行设置，根据所配置的 BOR 低电压档位和应用系统的供电情况，选择合适的滤波时间，通常保持为默认值。

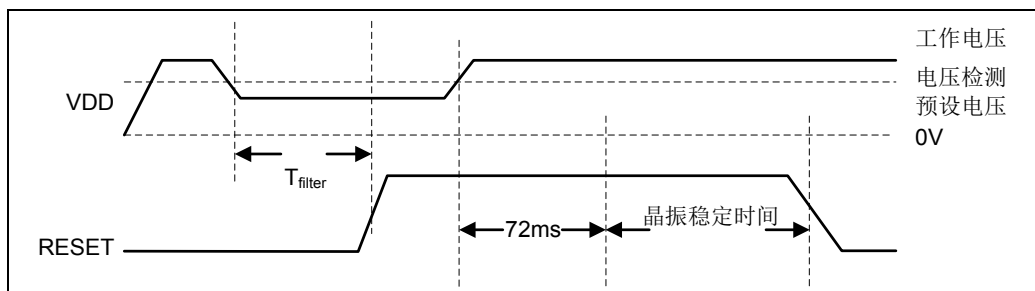


图 5-12 低电压复位时序示意图

注 1: 72ms 等待稳定时间可以通过 PWRTEB 屏蔽。

注 2: 当配置为 HS/XT/INTOSCH 16MHz 模式时, 晶振稳定时间为 512xTosc;

当配置为 LP 模式时, 晶振稳定时间大约为 1S 左右。

BORVS<1:0>	低电压检测配置
11	保留
10	VDD 低于 2.7V 时芯片复位
01	VDD 低于 2.2V 时芯片复位
00	VDD 低于 2.0V 时芯片复位

表 5-3 低电压检测配置表

5.3.4 外部N_MRST管脚复位

芯片提供外部 N_MRST 管脚, 用于系统复位。当复位管脚输入低电平信号时, 系统复位。当复位管脚处于高电平时, 系统正常运行。需要注意的是, 芯片配置为外部复位功能时, 在系统上电完成后, 外部复位管脚必须输入高电平, 否则系统将一直保持在复位状态。另外, 需要特别注意的是, 禁止将 N_MRST 管脚直接连接到 VDD 上。

可通过芯片配置字 CFG_USER 将 N_MRST 管脚配置为 GPIO 或 N_MRST。

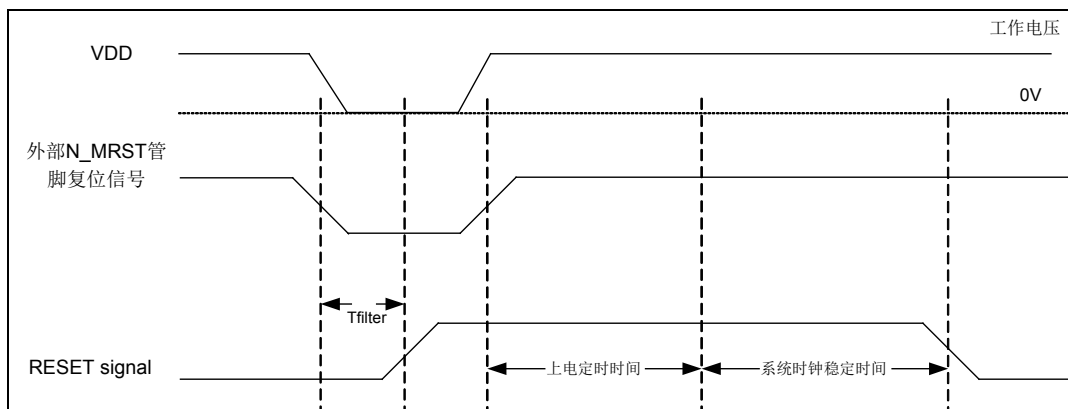


图 5-13 外部 N_MRST 管脚复位

外部 N_MRST 管脚复位电路有多种, 以下介绍两种比较典型的连接电路。

RC 复位电路

RC 复位电路是外部 N_MRST 管脚复位电路最简单的一种, 对外界环境条件要求不高的情况下, 可以采用此种连接方式。

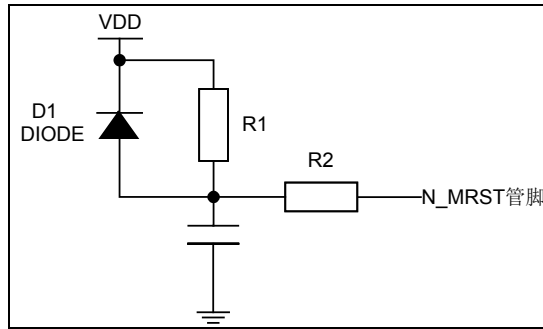


图 5-1 N_MRST 复位参考电路图 1

注：采用 RC 复位，其中 $47K\Omega \leq R1 \leq 100K\Omega$ ，电容 C1 (0.1 μ F)，R2 为限流电阻， $0.1K\Omega \leq R2 \leq 1K\Omega$ 。

PNP 三极管复位电路

PNP 三极管复位电路适用于对电源干扰较强的场合。

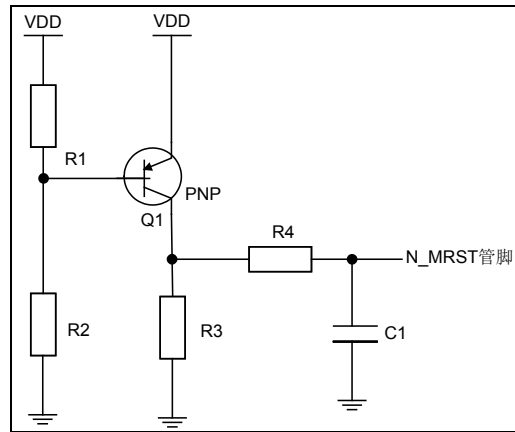


图 5-2 N_MRST 复位参考电路图 2

注：采用 PNP 三极管复位，通过 R1 (2K Ω) 和 R2 (10K Ω) 分压作为基极输入，发射极接 VDD，集电极一路通过 R3 (20K Ω) 接地，另一路通过 R4 (1K Ω) 和 C1 (0.1 μ F) 接地，C1 另一端作为 N_MRST 输入。

5.3.5 看门狗定时器溢出复位

看门狗复位是系统的一种保护设置。在正常状态下，由程序将看门狗定时器清零。若出错，系统处于未知状态，程序无法清除看门狗，导致看门狗定时器溢出，此时系统复位。看门狗溢出复位后，系统重启进入正常状态。

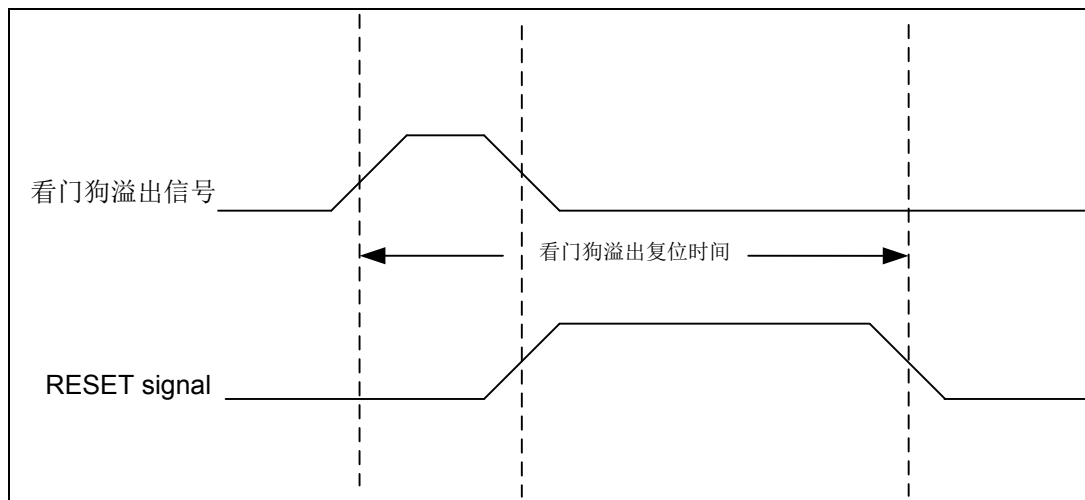


图 5-14 看门狗溢出复位

5.3.6 RST指令复位

整个芯片可通过执行 RST 指令复位，复位后，全部寄存器状态位都将被影响。

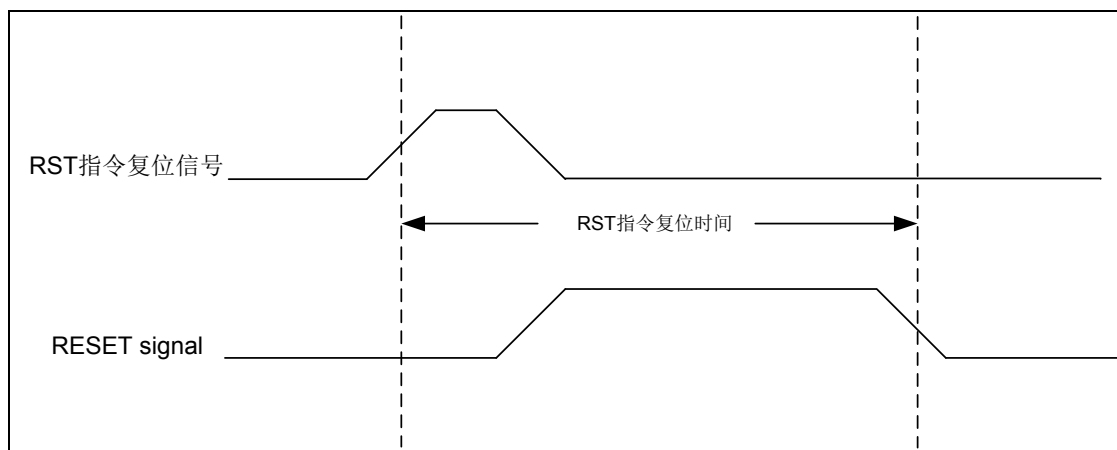


图 5-15 RST 指令复位

5.3.7 特殊功能寄存器

PWRC: 电源控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	LPM	VRST<1:0>		N_RSTI	N_TO	N_PD	N_POR	N_BOR
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	0	1	0	1	1	1	0	x

- Bit 7 LPM: 休眠模式选择位
 0: IDLE0 模式
 1: IDLE1 模式
- Bit 6~5 VRST<1:0>: LDO 稳定时间选择位
 00: 约 16 个 WDT_RC 时钟周期
 01: 约 32 个 WDT_RC 时钟周期
 10: 约 64 个 WDT_RC 时钟周期
 11: 约 128 个 WDT_RC 时钟周期
- Bit 4 N_RSTI: 复位指令标志位
 0: 执行复位指令 (清零后必须用软件置位)
 1: 未执行复位指令
- Bit 3 N_TO: WDT 溢出标志位
 0: WDT 计数溢出时被清零
 1: 上电复位或执行 CWDT、IDLE 指令后被置 1
- Bit 2 N_PD: 低功耗标志位
 0: 执行 IDLE 指令后清零
 1: 上电复位或执行 CWDT 指令后置 1
- Bit 1 N_POR: 上电复位状态位
 0: 上电复位发生 (上电复位后, 必须软件置位)
 1: 无上电复位发生
- Bit 0 N_BOR: 低电压复位状态位
 0: 低电压复位发生 (低电压复位后, 必须软件置位)
 1: 无低电压复位发生

注: LDO 为芯片内置供电模块, 给芯片内部电路模块供电, 建议客户配置为默认值。

VRSTC: VR 稳定时间控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	VRSTC<3:0>			
R/W	—	—	—	—	R/W	R/W	R/W	R/W
RESET	0	0	0	0	0	0	0	0

Bit 7~4 保留未用

Bit 3~0 VRSTC<3:0>: VR、VRR 稳定时间控制寄存器

- 0000: LDO 稳定时间由 PWRC<6:5>决定
- 0001: LDO 稳定时间约为 2 个 WDT_RC 时钟周期
- 0010: LDO 稳定时间约为 3 个 WDT_RC 时钟周期
- 0011: LDO 稳定时间约为 4 个 WDT_RC 时钟周期
- 0100: LDO 稳定时间约为 5 个 WDT_RC 时钟周期
- 0101: LDO 稳定时间约为 6 个 WDT_RC 时钟周期
- 0110: LDO 稳定时间约为 7 个 WDT_RC 时钟周期
- 0111: LDO 稳定时间约为 8 个 WDT_RC 时钟周期
- 1000: LDO 稳定时间约为 9 个 WDT_RC 时钟周期
- 1001: LDO 稳定时间约为 10 个 WDT_RC 时钟周期
- 1010: LDO 稳定时间约为 11 个 WDT_RC 时钟周期
- 1011: LDO 稳定时间约为 12 个 WDT_RC 时钟周期
- 1100: LDO 稳定时间约为 13 个 WDT_RC 时钟周期
- 1101: LDO 稳定时间约为 14 个 WDT_RC 时钟周期
- 1110: LDO 稳定时间约为 15 个 WDT_RC 时钟周期
- 1111: LDO 稳定时间约为 16 个 WDT_RC 时钟周期

5.4 MCU低功耗操作

5.4.1 MCU低功耗模式

本芯片支持两种低功耗休眠模式：IDLE0 模式或 IDLE1 模式。

◇ 支持 IDLE0 模式

- 当 LPM = 0 时，执行 IDLE 指令，芯片进入 IDLE0 模式
- 时钟源停振，主系统时钟暂停
- 程序暂停、同步模块暂停、异步模块运行，器件功耗降低
- 支持低功耗唤醒，唤醒时间可配，同时需要考虑 LDO 稳定时间
- 所有 I/O 端口将保持进入 IDLE0 模式前的状态
- 若使能 WDT，则 WDT 将被清零并保持运行
- N_PD 位被清零，N_TO 位被置 1

◇ 支持 IDLE1 模式

- 当 LPM = 1 时，执行 IDLE 指令，芯片进入 IDLE1 模式
- 时钟源保持运行，主系统时钟暂停
- 程序暂停、同步模块暂停、异步模块运行，器件功耗降低
- 支持低功耗唤醒，唤醒时间可配，最小 1 个机器周期
- 所有 I/O 端口将保持进入 IDLE1 前的状态
- 若使能 WDT，则 WDT 将被清零并保持运行
- N_PD 位被清零，N_TO 位被置 1

5.4.2 低功耗模式配置

两种低功耗模式 IDLE0 和 IDLE1 模式的选择，由 PWRC 寄存器中的 LPM 位控制。当 LPM = 0 时，执行 IDLE 指令，芯片进入 IDLE0 模式；当 LPM = 1 时，执行 IDLE 指令，芯片进入 IDLE1 模式。

低功耗模式	LPM
IDLE0 模式	0
IDLE1 模式	1

表 5-4 低功耗模式配置表

为了降低功耗，所有 I/O 管脚都应保持为 VDD 或 VSS。为了避免输入管脚悬空而引入开关电流，应在外部将高阻输入的 I/O 管脚拉为高电平或低电平，N_MRST 管脚必须处于逻辑高电平。

5.4.3 IDLE唤醒方式配置

当系统进入低功耗模式后，程序处于暂停状态，以下几种方式可将系统唤醒。

序号	唤醒源	中断使能	按键屏蔽	外设使能	备注
1	N_MRST	—	—	—	外部复位
1	WDT	—	—	—	WDT 溢出
2	KINT	KIE	KMSKx	—	按键中断
3	PINT0	PIE0	—	—	外部中断 0
4	PINT1	PIE1	—	—	外部中断 1
5	PINT2	PIE2	—	—	外部中断 2
6	PINT3	PIE3	—	—	外部中断 3
7	ACPINT	ACPIE	—	—	模拟比较器中断
8	T16G1INT	T16G1IE	—	—	异步计数模式

表 5-5 休眠唤醒表

注 1: 低功耗唤醒与全局中断使能无关。在低功耗模式时，若外设产生中断信号，即使全局中断使能 GIE 为 0，低功耗模式依然会被唤醒，只是唤醒后不会执行中断程序。

注 2: 外部按键，当中断使能和中断屏蔽位使能前，先对端口寄存器进行读或者写的操作，清除中断标志位，以免误产生中断。

5.4.4 唤醒时间计算

当唤醒事件发生后，芯片根据配置字 OSCS<2:0>的配置执行下述操作：

- ◇ 当 OSCS<2:0>配置为 HS/XT/RC/RCIO/INTOSCO/INTOSC 模式时：
 - 在 IDLE0 模式(LPM=0)下，芯片需要先等待 VRwkdly 时间(由 VRST(PWRC<6:5>)和 VRSTC 寄存器设定)，此时间称为 LDO 稳定时间，之后芯片主时钟运行一段 Twkdly 时间后才执行 IDLE 下一条指令，Twkdly 称为唤醒延时，唤醒延时可编程设置；
 - 在 IDLE1 模式(LPM=1)下，芯片仅等待 Twkdly 时间后就执行 IDLE 下一条指令，无 VRwkdly 时间。
- ◇ 当 OSCS<2:0>配置为 LP 模式时：
 - 在 IDLE0 模式(LPM=0)下，芯片需要先等待 VRwkdly 时间(由 VRST(PWRC<6:5>)和 VRSTC 寄存器设定)，此时间称为 LDO 稳定时间，接着芯片等待 LPwkdly 时间，此时间称为外部晶振稳定时间(该时间由芯片内置电路控制)，之后芯片主时钟运行一段 Twkdly 时间后才执行 IDLE 下一条指令，Twkdly 称为唤醒延时，唤醒延时可编程设置；
 - 在 IDLE1 模式(LPM=1)下，芯片仅等待 Twkdly 时间后就执行 IDLE 下一条指令，无 VRwkdly 和 LPwkdly 时间。

OSCS 配置	低功耗模式	计算公式
所有模式	IDLE1 模式	$(WKDC[7:0]+1) \times 2 T_{osc}$
非 LP 模式	IDLE0 模式	$VRwkdly + (WKDC[7:4] + 1) \times 16 \times 2 T_{osc}$
LP 模式		$VRwkdly + LPwkdly + (WKDC[7:4] + 1) \times 16 \times 2 T_{osc}$

5.4.5 特殊功能寄存器

WKDC: 唤醒延时控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	WKDC<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	1	1	1	1	1	1	1	1

Bit 7~0 WKDC<7:0>: 唤醒延时时间设置位

00_H: 延时最短

.....

FF_H: 延时最长

第6章 外设

6.1 定时器/计数器模块 (Timer/Counter)

本芯片包含 1 组 8 位定时器/计数器(T8N)、3 组增强型 EPWM 时基定时器(T8P1/T8P2/T8P3)和 1 组 16 位定时器/计数器 (T16G1)。

6.1.1 8 位定时器/计数器 (T8N)

6.1.1.1 概述

8 位定时器/计数器包括定时器和计数器两种工作模式。定时器模式根据寄存器制定的定时时间进行定时，可以使定时器有选择地产生中断请求或完成其它操作。计数器模式用于对外部时钟信号 (T8NCKI) 进行计数。

- ◇ T8N 支持两种工作模式
 - 定时器模式 (时钟源为系统时钟二分频, $F_{osc}/2$)
 - 计数器模式 (时钟源为外部计数时钟, T8NCKI)
- ◇ T8N 支持以下功能组件
 - 支持 1 组 8 位可配置预分频器 (T8NPRS)
 - 支持 1 组 8 位计数器 (T8N)
 - 支持 1 组 8 位控制寄存器 (T8NC)
- ◇ 中断和暂停
 - 支持溢出中断标志 (T8NIF)
 - 支持中断处理
 - 在 IDLE 模式下, T8N 暂停工作

6.1.1.2 内部结构图

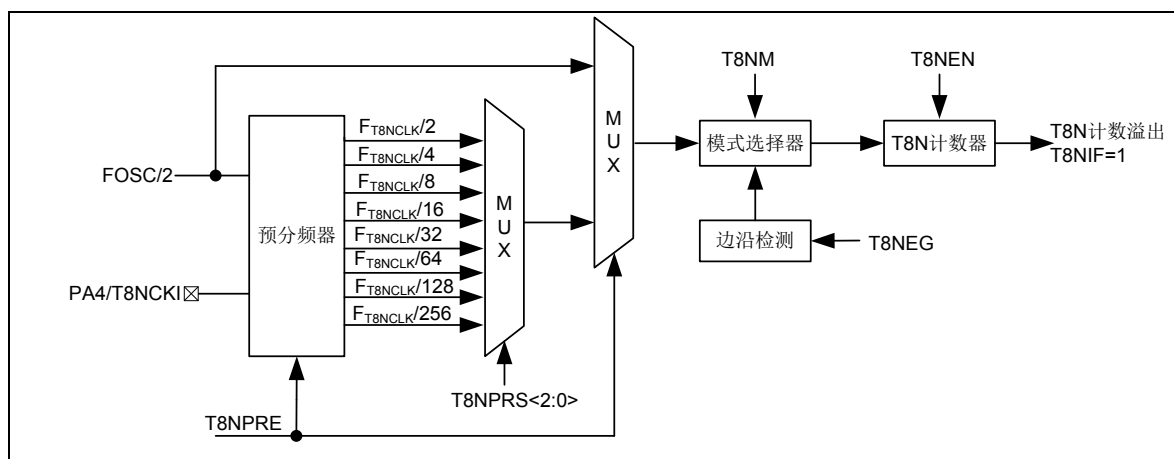


图 6-1 T8N 内部结构图

6.1.1.3 预分频器

预分频器可以提供定时器/计数器一个更长的溢出周期。当 T8NC 寄存器中的 T8NPRE 为“1”时, 使能 T8N 预分频器。任何对 T8N 计数器的写操作都会清零预分频器, 但不影响预分频器的分频比设置, 预分频器的计数值无法读写。预分频器的分频比可通过 T8NC 寄存器中的 T8NPRS<2:0>位进行设置, 预分频比范围为 1:2~1:256。

工作模式	T8NPRE	T8NPRS<2:0>	T8N 计数时钟
定时器模式	0	—	Fosc/2
	1	000	(Fosc/2) /2
	1	001	(Fosc/2) /4
	1	010	(Fosc/2) /8
	1	011	(Fosc/2) /16
	1	100	(Fosc/2) /32
	1	101	(Fosc/2) /64
	1	110	(Fosc/2) /128
	1	111	(Fosc/2) /256
工作模式	T8NPRE	T8NPRS<2:0>	T8N 计数时钟
计数器模式	0	—	T8NCKI
	1	000	T8NCKI /2
	1	001	T8NCKI /4
	1	010	T8NCKI /8
	1	011	T8NCKI /16
	1	100	T8NCKI /32
	1	101	T8NCKI /64
	1	110	T8NCKI /28
	1	111	T8NCKI /256

表 6-1 T8N 预分频器配置表

6.1.1.4 工作模式

T8N 有定时器和计数器两种工作模式，定时器模式和计数器模式，通过 T8NM 进行选择。定时器和计数器计数模式均支持预分频器。配置为定时器模式时，T8N 计数器的时钟源为系统时钟 2 分频 (Fosc/2)；配置为计数器模式时，T8N 计数器的时钟源为经系统机器周期同步的外部输入时钟 T8NCKI。因此，T8NCKI 输入的高电平和低电平时间都至少为一个机器周期。通过 T8NC 寄存器中的 T8NEG 位选择外部时钟的计数边沿为上升沿或下降沿。T8NCKI 所在 IO 端口必须配置为数字输入状态。

工作模式	T8NM
定时器模式	0
同步计数模式	1

表 6-2 T8N 工作模式配置表

6.1.1.5 定时器模式

T8N 计数器为递增计数，计数值由 FF_H 变为 00_H 时，T8N 计数器发生溢出并重新开始计数。T8N 计数器发生溢出时，中断标志 T8NIF 位被置“1”，产生 T8N 溢出中断。在 CPU 进入休眠模式后，T8N 模块不工作，因此不产生中断。

当 T8N 配置为定时器模式时，若禁止预分频器，T8N 计数器的时钟为系统时钟二分频 (Fosc/2)；若使能预分频器，分频器对 Fosc/2 进行分频，此时，T8N 计数器的计数时钟为分频后的时钟。

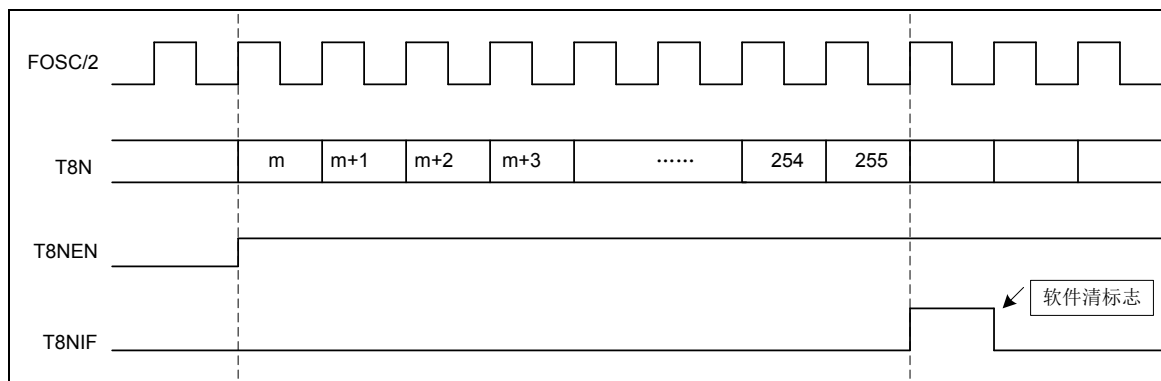


图 6-2 定时器模式时序图

6.1.1.6 同步计数器模式

当 T8N 配置为同步计数器模式时，若禁止预分频器，T8N 计数器的时钟为外部输入时钟 T8NCKI，内部相位时钟 p2 将对时钟 T8NCKI 进行同步。所以 T8NCKI 保持高电平或者低电平的时间至少为一个机器周期。通过设置 T8NEG (T8NC<4>)选择外部时钟的计数边沿为上升沿或下降沿。

同样，同步计数器模式也支持预分频器对外部时钟 T8NCKI 进行分频。并且，T8NCKI 复用的 IO 端口必须配置为数字输入状态。

T8N 计数器为递增计数，计数值由 FF_H 变为 00_H 时，T8N 计数器发生溢出并重新开始计数。T8N 计数器发生溢出时，中断标志 T8NIF 位被置“1”，产生 T8N 溢出中断。在 CPU 进入休眠模式后，T8N 模块不工作，因此不产生中断。

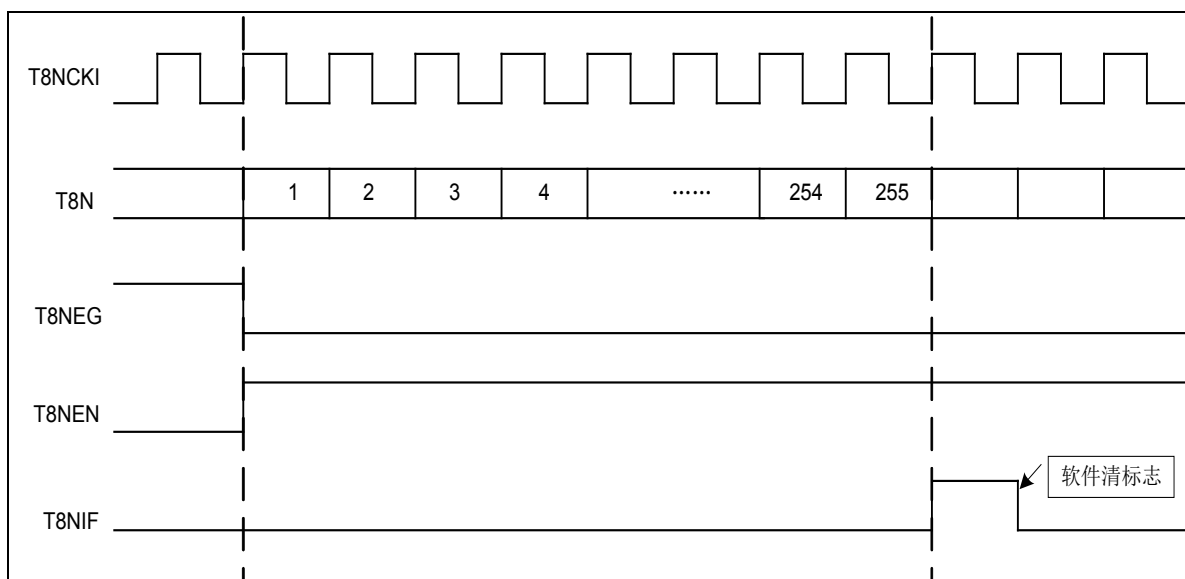


图 6-3 计数器模式时序图 (T8NEG=0, T8NCKI 上升沿计数)

6.1.1.7 特殊功能寄存器

8 位定时器/计数器 T8N 由两个寄存器控制，一个 8 位计数器寄存器 T8N 和一个控制寄存器 T8NC。T8N 寄存器用于存放计数值，T8NC 控制寄存器用于控制 T8N 的使能、T8N 的模式选择、T8NCKI 计数边沿选择、预分频器使能位以及预分频器分频比选择。

T8N: T8N 计数器寄存器								
Bit	7	6	5	4	3	2	1	0
Name	T8N<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	0	0	0	0	0	0	0	0

Bit 7~0 T8N <7:0>: 8 位 T8N 计数值, 00_H ~ FF_H

T8NC: T8N 控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	T8NEN	—	T8NM	T8NEG	T8NPRE	T8NPRS<2:0>		
R/W	R/W	—	R/W	R/W	R/W	R/W	R/W	R/W
RESET	0	0	0	0	0	0	0	0

Bit 7 T8NEN: T8N 模块使能位

0: 关闭

1: 使能

Bit 6 保留

Bit 5 T8NM: T8N 模式选择位

0: 定时器模式 (时钟源为系统时钟二分频, Fosc/2)

1: 同步计数器模式 (时钟源为 T8NCKI)

Bit 4 T8NEG: T8NCKI 同步计数边沿选择位

0: T8NCKI 上升沿计数

1: T8NCKI 下降沿计数

Bit 3 T8NPRE: 预分频器使能位

0: 禁止

1: 使能

Bit 2~0 T8NPRS <2:0>: 预分频器分频比选择位

000: 1:2

001: 1:4

010: 1:8

011: 1:16

100: 1:32

101: 1:64

110: 1:128

111: 1:256

6.1.2 8 位增强型EPWM时基定时器 (T8P1/T8P2/T8P3)

6.1.2.1 概述

本芯片包含 3 组 PWM 时基定时器 (T8P1/T8P2/T8P3)，支持两种工作模式，定时器模式和 PWM 输出模式。定时器模式根据寄存器制定的定时时间进行定时，可以使定时器有选择地产生中断请求或完成其它操作。PWM 模式用于 PWM 输出。

- ◇ T8Pn 支持两种工作模式
 - 定时器模式 (时钟源为系统时钟二分频 (Fosc/2))
 - PWM 输出模式 (时钟源为系统时钟二分频 (Fosc/2) 或系统时钟 (Fosc))
- ◇ 支持可配置预分频器及可配置后分频器
- ◇ T8Px 包括 8 位计数器(T8Px)、精度寄存器(T8PxRL)、精度缓冲寄存器(T8PxRH) 和周期寄存器(T8PxP)、周期缓冲寄存器 (无物理地址)
- ◇ T8Px 计数器的初值可任意配置
- ◇ 支持 3 组带互补输出的增强型脉宽调制 (EPWM) 输出扩展功能
- ◇ 支持 6 路脉宽调制 (PWM) 输出扩展功能
- ◇ 支持外部端口关断 EPWM 输出
- ◇ 支持模拟比较器输出关断 EPWM 输出
- ◇ 支持 EPWM 自动重启
- ◇ 支持 PWM 沿启动 ADC 转换
- ◇ 中断和暂停
 - T8Px 支持中断产生 T8PxIF (不同工作模式作用不同, 必须软件清零)
 - 支持中断处理
 - T8Px 在低功耗模式下不工作

6.1.2.2 内部结构图

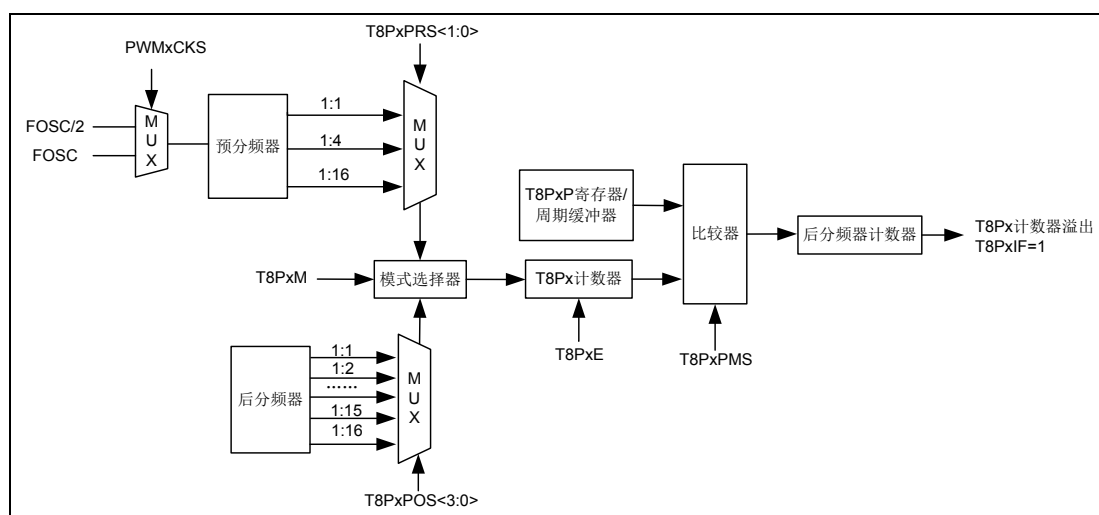


图 6-4 T8Px 内部结构图

6.1.2.3 工作模式

8 位 PWM 时基定时器共有两个模式：定时器模式和 PWM 输出模式，通过 T8PxC 寄存器中的 T8PxM 位进行设置选择。

工作模式	T8PxM
定时器模式	0
PWM 输出模式	1

表 6-3 T8Px 工作模式配置表

6.1.2.4 预分频器和后分频器

预分频器和后分频器可以提供更长的溢出和中断周期。T8Px 模块计数器支持可配置的 4 位预分频器和可配置的 4 位后分频器。预分频器与后分频器的计数值都无法读写，修改 T8Px 的控制寄存器或计数器都会把预分频器和后分频器清零，但不改变分频比设置。预分频器的分频比可通过 T8PxC 寄存器中的 T8PxPRS<1:0>位进行设置，预分频比范围为 1:1~1:16。后分频器的分频比可通过 T8PxC 寄存器中的 T8PxPOS<3:0>位进行设置，后分频比范围为 1:1~1:16。

T8Px 匹配中断	T8PxPOS<3:0>
计数器与周期寄存器/周期缓冲寄存器匹配 1 次	0000
计数器与周期寄存器/周期缓冲寄存器匹配 2 次	0001
计数器与周期寄存器/周期缓冲寄存器匹配 3 次	0010
计数器与周期寄存器/周期缓冲寄存器匹配 4 次	0011
计数器与周期寄存器/周期缓冲寄存器匹配 5 次	0100
计数器与周期寄存器/周期缓冲寄存器匹配 6 次	0101
计数器与周期寄存器/周期缓冲寄存器匹配 7 次	0110
计数器与周期寄存器/周期缓冲寄存器匹配 8 次	0111
计数器与周期寄存器/周期缓冲寄存器匹配 9 次	1000
计数器与周期寄存器/周期缓冲寄存器匹配 10 次	1001
计数器与周期寄存器/周期缓冲寄存器匹配 11 次	1010
计数器与周期寄存器/周期缓冲寄存器匹配 12 次	1011
计数器与周期寄存器/周期缓冲寄存器匹配 13 次	1100
计数器与周期寄存器/周期缓冲寄存器匹配 14 次	1101
计数器与周期寄存器/周期缓冲寄存器匹配 15 次	1110
计数器与周期寄存器/周期缓冲寄存器匹配 16 次	1111

表 6-4 T8Px 后分频器配置表

T8Px 定时器频率	T8PxPRS<1:0>
Fosc/2	00
Fosc/8	01
Fosc/32	1x

表 6-5 T8Px 预分频器配置表

6.1.2.5 定时器模式

T8PxM=0 时，T8Px 为定时器模式。

T8Px 计数器的时钟源为系统时钟 2 分频 ($F_{osc}/2$)，可选择预分频器对计数时钟进行分频。T8Px 在定时器模式下对计数时钟进行递增计数，当 T8Px 的计数值与周期寄存器 T8PxP 相等时，T8Px 被自动清零并重新开始计数，同时后分频器加 1 计数。当后分频器的计数值与后分频器分频比相同时，复位后分频器，并将中断标志 T8PxIF 置 1，该中断标志需要软件清零。当 T8PxIF 置 1，如果 T8PxIE 使能，且全局中断 GIE 使能，则产生 T8Px 中断，否则中断不被响应。在重新使能这个中断之前，为了避免误触发中断，T8PxIF 位必须软件清零。在 CPU 进入休眠模式后，T8Px 停止工作。

当 T8PxPMS=1 时，T8Px 计数值将与周期缓冲器 PRDBUF 进行匹配。

当 T8PxE 使能后，周期寄存器 T8PxP 的值立即更新到周期缓冲器 PDRBUF 中；之后 T8Px 从初始值开始计数，直到与周期缓冲器 PDRBUF 相等，再次将周期寄存器 T8PxP 的值更新到周期缓冲器 PDRBUF 中。

如果在之后的计数过程中，修改 T8PxPMS=0，则当 T8Px 与周期缓冲器 PRDBUF 相等后，下一次 T8Px 的计数值才与周期寄存器 T8PxP 进行匹配。

6.1.2.6 标准PWM输出模式

T8PxM=1 时，T8Px 为 PWM 输出模式，相应的 PWM 输出端口设置为输出状态。

使能 PWM 输出模式后，首先从一个起始周期开始，起始周期完成后不断循环 PWM 周期。

起始周期

T8Px 在起始周期内从初始值递增计数到与周期寄存器 T8PxP 相等，此时将精度寄存器 T8PxRL 的数值载入精度缓冲寄存器 T8PxRH 内，并产生 T8PxIF 中断标志。起始周期内 PWM 输出状态不定。

PWM 周期

起始周期完成后，T8Px 从零开始重新递增计数，并保持 PWM 输出为 1，当 T8Px 与 T8PxRH 的值相等时，PWM 输出改变为 0，并继续递增计数。当 T8Px 的计数值与 T8PxP 再次相等时，PWM 输出恢复为 1，同时将当前 T8PxRL 的数值载入精度缓冲寄存器 T8PxRH 内，并产生 T8PxIF 中断标志。T8Px 清零并重新开始计数，循环 PWM 周期。在 PWM 输出模式下，T8PxRH 寄存器只可读。

当 T8PxPMS=1 时，T8Px 计数值将与周期缓冲器 PRDBUF 进行匹配。

当 T8PxE 使能后，T8Px 从初始值开始计数，直到与周期寄存器 T8PxP 相等，此时将周期寄存器 T8PxP 的值更新到周期缓冲器 PDRBUF 中；接下来 T8Px 的计数值会与周期缓冲器 PDRBUF 进行匹配。

如果在之后的计数过程中，修改 T8PxPMS=0，则当 T8Px 与周期缓冲器 PRDBUF 相等后，下一次 T8Px 的计数值才与周期寄存器 T8PxP 进行匹配。

特别的，若精度缓冲寄存器 T8PxRH 的值为 0，则当前 PWM 周期内 PWM 输出始终为 0；若精度缓冲寄存器 T8PxRH 的值大于 T8PxP，则当前 PWM 周期内 PWM 输出始终

为 1。

PWM 输出模式下，计数时钟源可通过特殊功能寄存器 EPWMxC<4>选择为系统时钟二分频 Fosc/2 或系统时钟 Fosc，并支持预分频器。此模式下，后分频器的设置不影响 PWM 输出周期和占空比；只影响 T8PxIF 中断标志位的产生，详见表 5-3 《T8Px 后分频器配置表》。

对于 PWM 输出，波形如下图所示：

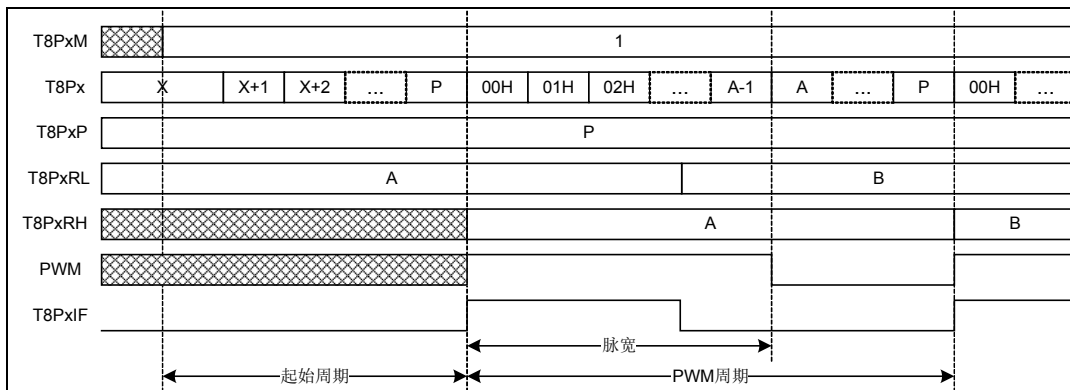


图 6-5 标准 PWM 模式示意图

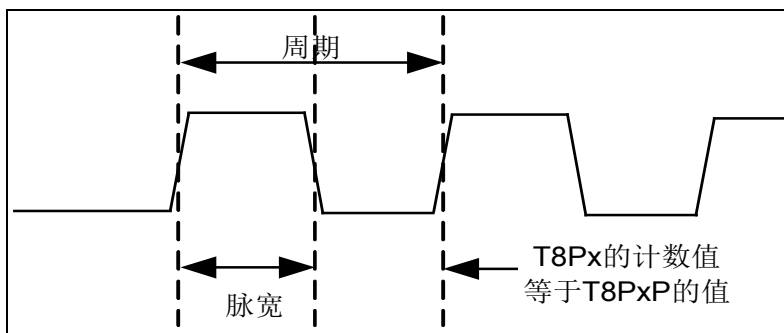


图 6-6 标准 PWM 输出示意图

PWM 计算公式（计数时钟源为 fosc/2）如下：

$$\text{PWM 周期} = [(T8PxP)+1] \times 2 \times T_{osc} \times (T8Px \text{ 预分频比})$$

$$\text{PWM 频率} = 1/(\text{PWM 周期})$$

$$\text{PWM 脉宽} = T8PxRL \times 2 \times T_{osc} \times (T8Px \text{ 预分频比})$$

$$\text{PWM 占空比} = [\text{PWM 脉宽}] / [\text{PWM 周期}]$$

PWM 的分辨率计算公式：

$$\text{分辨率} = \frac{\log\left(\frac{F_{osc}/2}{F_{pwm} * F_{ckps}}\right)}{\log 2} \text{ 位}$$

PWM 计算公式（计数时钟源为 fosc）如下：

$$\text{PWM 周期} = [(T8PxP)+1] \times T_{osc} \times (T8Px \text{ 预分频比})$$

$$\text{PWM 频率} = 1/(\text{PWM 周期})$$

$$\text{PWM 脉宽} = (T8PxR+1) \times T_{osc} \times (T8Px \text{ 预分频比})$$

$$\text{PWM 占空比} = [\text{PWM 脉宽}] / [\text{PWM 周期}]$$

PWM 的分辨率计算公式:

$$\text{分辨率} = \frac{\log\left(\frac{F_{osc}}{F_{pwm} * F_{ckps}}\right)}{\log 2} \text{ 位}$$

注: $T_{osc} = 1/F_{osc}$, $F_{pwm} = 1/(\text{PWM 周期})$, F_{ckps} 为 $T8px$ 预分频比

6.1.2.7 增强型PWM输出模式

本芯片支持 3 组增强型 PWM 功能（即 EPWM），选择 $T8Px$ 作为其时基。EPWM 输出包括单桥输出和半桥输出。

单桥输出

单桥输出就是标准 PWM 输出，5.1.2.6 节《标准 PWM 输出模式》已经详细介绍。

半桥输出

在半桥输出模式下，有两个端口作为驱动推拉式负载输出。调制波输出到 $PWMx0$ 端口，它的互补信号输出到 $PWMx1$ 端口，用这两个端口来驱动负载。在这两个端口输出的调制波之间，可编程设置一个死区时间 T_{delay} ，来防止半桥功率器件直通引起瞬间大电流，从而损坏半桥功耗设备。死区时间由主时钟频率和寄存器 $PDDxC$ 的值决定，在系统时钟频率固定的条件下，死区时间通过设置 $PDDxC<6:0>$ 来设置。 $T_{delay} = 2 * T_{osc} * (PDDxC<6:0>)$ 。如果死区时间设置大于或者等于 PWM 的工作周期，则 PWM 输出无效。

在半桥输出模式下，调制输出端口必须清零，将端口设置为输出状态。

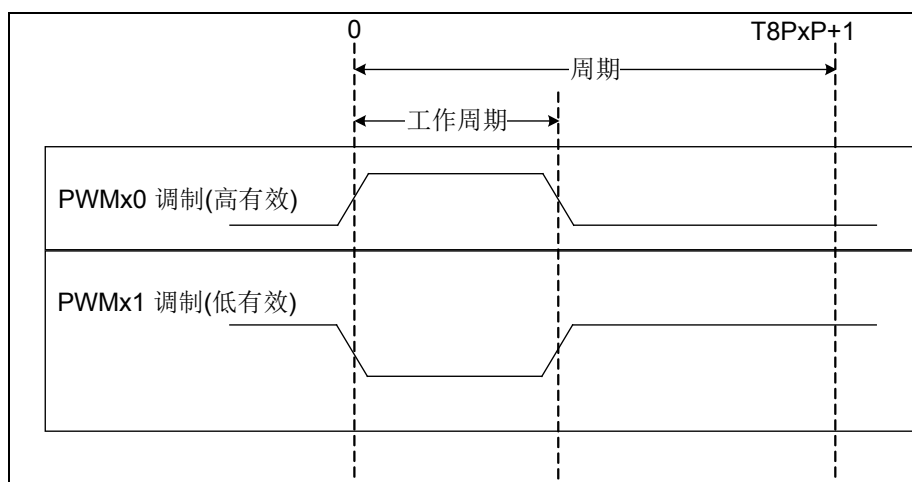


图 6-7 EPWM 单桥输出示意图

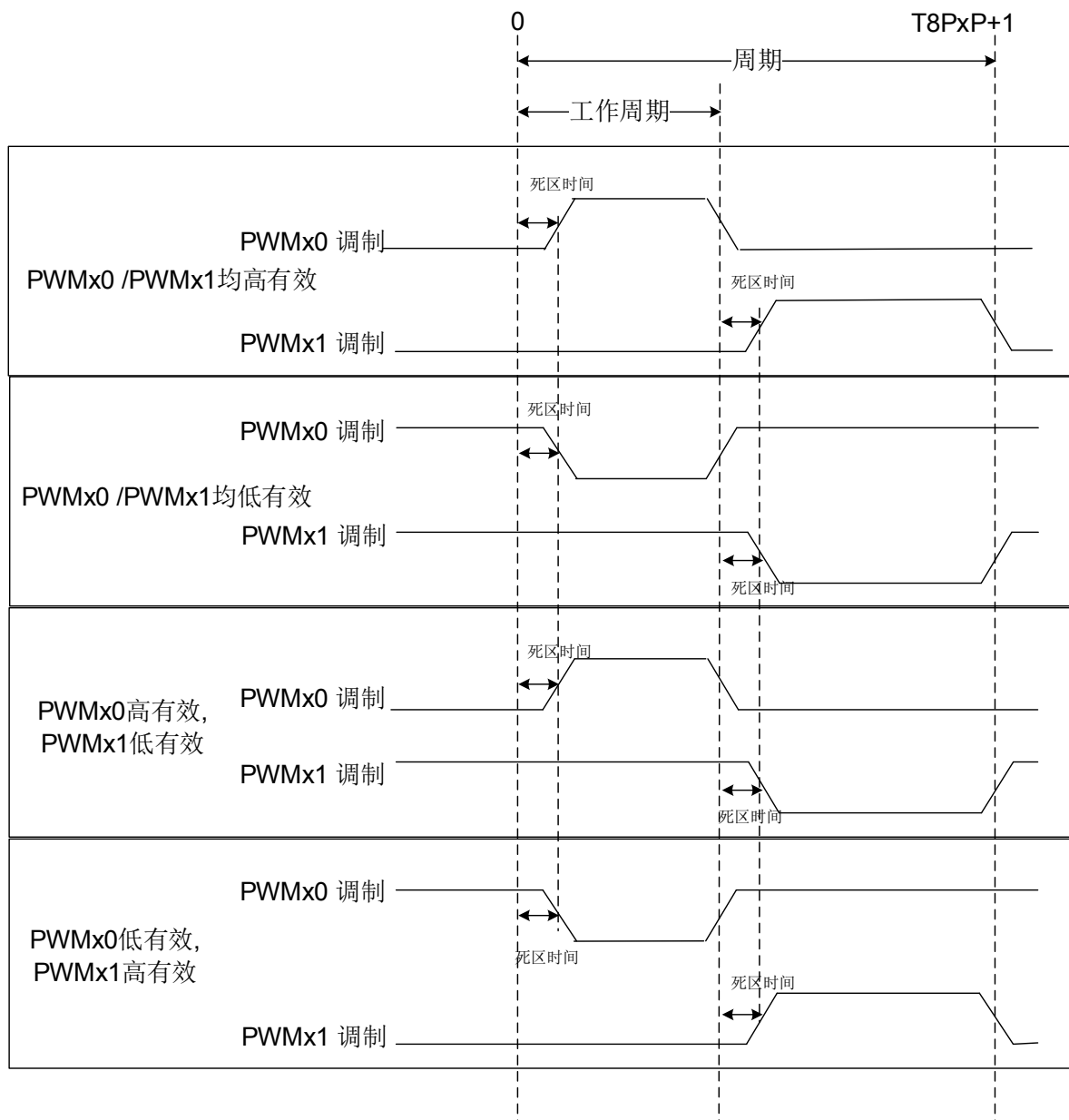


图 6-8 EPWM 半桥输出示意图

6.1.2.8 PWM自动关断和重启

本系列芯片支持两种关断事件，分别为 PA2/N_EPAS 管脚输入关断事件和比较器输出关断事件。当自动关断位 EPWMxAS0 使能，PA2/N_EPAS 管脚输入为“0”时，会发生自动关断事件。当自动关断位 EPWMxAS1、比较器选择位 CM<1:0>设置为比较器模式时，CMP1 输出经过滤波电路滤波后出现低电平时，发生自动关断事件，任何时刻发生自动关断事件时，停止当前 EPWM 输出，直到关断事件撤销，关断事件标志位清零后，才恢复 EPWM 输出。CMP1 输出滤波时间由 CMFT 寄存器（见模拟比较器章节）和 INTOSC16M 决定。

当关断事件发生后，EPWM 输出管脚处于关断状态，管脚的关断状态可通过设置 TExAS 寄存器的 PSSxBD<1:0>位来控制，可以被设置输出为“1”、“0”或者高阻（三态）。同时，在关断状态下，关断事件标志位 EPWMxASF (TExAS<7>)置 1。如果关断事件一

直保持，关断事件标志位就不会被清零。详见 TExAS 自动关断寄存器控制位介绍。

EPWM 的重启，通过配置寄存器 PRSENx (PDDxC<7>) 位来决定在关断状态下是否自动重启。如果 PRSENx 位为 1，当关断事件撤离后，硬件会自动清零关断事件标志位，并重启 EPWM 功能；如果 PRSENx 位为 0，当关断事件撤离后，需要用软件清零关断事件标志位，重启 EPWM 功能；EPWM 重启后，EPWM 的输出会在下一个 PWM 周期正常输出。可参考图 5-7 和图 5-8。

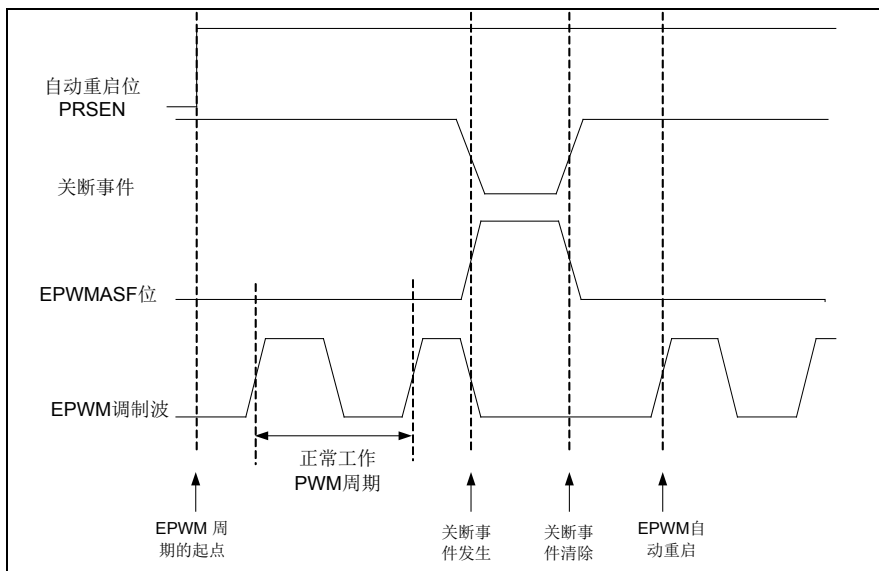


图 6-9 EPWM 关断与自动重启 (PRESNx=1)

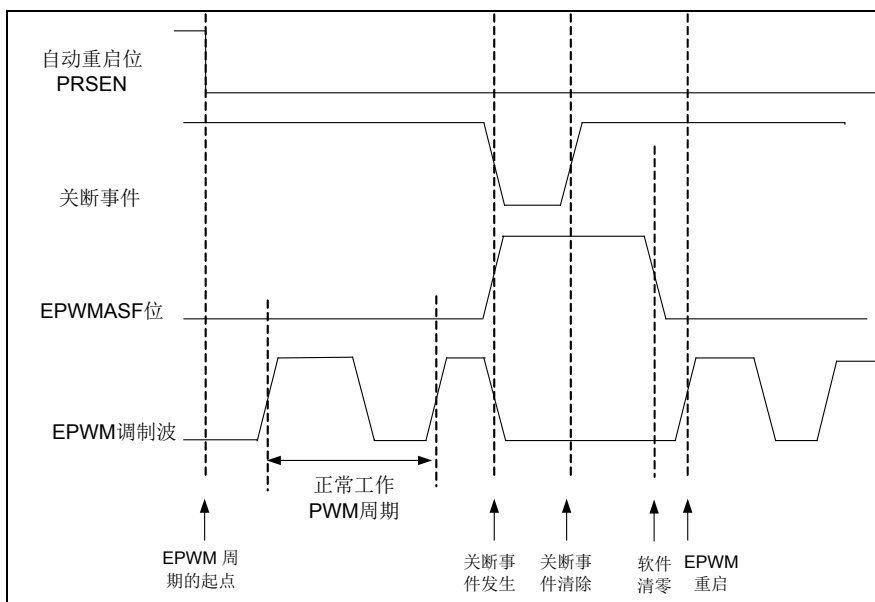


图 6-10 EPWM 关断与重启 (PRESNx=0)

启动注意事项

EPWMxC<1:0>位允许用户为每一组 EPWM 输出引脚选择 EPWM 输出信号为高电平有效或低电平有效。EPWM 的输出极性，必须在 EPWM 引脚配置为输出之前选择。由于可能导致应用电路的损坏，因此不推荐在 EPWM 引脚为输出状态时，改变输出极性的配置。在 EPWM 功能扩展模块初始化时，需在初始化工作完成后，再将 PWMx0 和 PWMx1

所在的 EPWM 引脚设置为输出状态。

6.1.2.9 PWM输出启动AD转换

本芯片支持 PWM 输出启动 AD 自动转换，PWM10、PWM20、PWM30 都可作为 ADC 自动转换的触发信号，详情见模拟数字转换器（ADC）章节关于自动转换触发的相关描述。

6.1.2.10 特殊功能寄存器

T8Px: T8Px 计数器(T8P1/T8P2/T8P3)								
Bit	7	6	5	4	3	2	1	0
Name	T8Px<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 T8Px <7:0>: 8 位 T8Px 计数值, 00_H~FF_H

T8PxC: T8Px 控制寄存器(T8P1C/ T8P2C/ T8P3C)									
Bit	7	6	5	4	3	2	1	0	
Name	T8PxM	T8PxPOS<3:0>				T8PxE	T8PxPRS<1:0>		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
POR	0	0	0	0	0	0	0	0	

Bit 7 T8PxM: T8Px 工作模式选择位

- 0: 定时器模式
- 1: PWM 输出模式

Bit 6~3 T8PxPOS<3:0>: T8Px 后分频器分频比选择位

- 0000: 分频比为 1:1
- 0001: 分频比为 1:2
- 0010: 分频比为 1:3
- ...
- 1111: 分频比为 1:16

Bit 2 T8PxE: T8Px 模块使能位

- 0: 关闭
- 1: 使能

Bit 1~0 T8PxPRS<1:0>: T8Px 预分频器分频比选择位

- 00: 分频比为 1:1
- 01: 分频比为 1:4
- 1x: 分频比为 1:16

T8PxP: T8Px 周期寄存器(T8P1P/T8P2P/T8P3P)								
Bit	7	6	5	4	3	2	1	0
Name	T8PxP<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

Bit 7~0 T8PxP <7:0>: T8Px 周期寄存器

T8PxRL: T8Px 精度寄存器 (T8P1RL/T8P2RL/T8P3RL)								
Bit	7	6	5	4	3	2	1	0
Name	T8PxRL<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 T8PxRL<7:0>: 8 位精度寄存器

T8PxRH: T8Px 精度缓冲寄存器 (T8P1RH/T8P2RH/T8P3RH)								
Bit	7	6	5	4	3	2	1	0
Name	T8PxRH<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 T8PxRH<7:0>: 8 位精度缓冲寄存器

T8PxOC: T8Px 输出控制寄存器(T8P1OC/ T8P2OC/T8P3OC)								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	—	PWMx1EN	PWMx0EN
R/W	—	—	—	—	—	—	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~2 保留

Bit 1 PWMx1EN: PWMx1 端口使能位

0: 通用 I/O

1: EPWM 输出功能

Bit 0 PWMx0EN: PWMx0 端口使能位

0: 通用 I/O

1: EPWM 输出功能

EPWMxC: EPWM 配置寄存器(EPWM1C/EPWM2C/EPWM3C)								
Bit	7	6	5	4	3	2	1	0
Name	T8PxPMS	P1Mx	—	PWMxCKS	—	—	EPWMxM<1:0>	
R/W	R/W	R/W	—	R/W	—	—	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 T8PxPMS: 周期匹配选择位

0: T8Px 计数值与周期寄存器 T8PxP 进行匹配 (默认)

1: T8Px 计数值与周期缓冲器 PRDBUF 进行匹配

Bit 6 P1Mx: T8PxM=1, EPWM 输出端口选择位

0: 单桥输出, PWMx0、PWMx1 为 6 路 PWM 输出端口

1: 半桥输出, PWMx0 与 PWMx1 为 3 组互补 EPWM 输出端口, 并带有死区时间控制

Bit 5 保留

Bit 4 PWMxCKS: PWM 输出模式下, 计数时钟源选择位

(先选择 PWM 模式、计数时钟源, 最后再使能 T8Px)

- 0: 系统时钟 2 分频
- 1: 系统时钟
- Bit 3~2 保留
- Bit 1~0 EPWMxM<1:0>: EPWM 工作模式选择位
 - 00: EPWM, PWMx0 高有效, PWMx1 高有效
 - 01: EPWM, PWMx0 高有效, PWMx1 低有效
 - 10: EPWM, PWMx0 低有效, PWMx1 高有效
 - 11: EPWM, PWMx0 低有效, PWMx1 低有效

PDDxC: EPWM 死区控制寄存器(PDD1C/PDD2C/PDD3C)								
Bit	7	6	5	4	3	2	1	0
Name	PRSENx	PDDxC<6:0>						
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 PRSENx: EPWM 重启控制位
 - 0: 当自动关断事件撤离后, 自动关断事件标志位必须软件清零, 才能重启 EPWM。
 - 1: 当自动关断事件撤离后, 自动关断事件标志位硬件自动清零, EPWM 自动重启。
- Bit 6~0 PDDxC<6:0>: EPWM 死区延时计数值
 - 00_H ~ 7F_H

TExAS: EPWM 自动关断寄存器(TE1AS / TE2AS / TE3AS)								
Bit	7	6	5	4	3	2	1	0
Name	EPWMxASF	—	EPWMxAS1	EPWMxAS0	—	—	PSSxBD<1:0>	
R/W	R/W	—	R/W	R/W	—	—	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 EPWMxASF: EPWM 自动关断事件标志位
 - 0: 没有关断事件发生
 - 1: 关断事件已经发生
- Bit 6 保留
- Bit 5 EPWMxAS1: EPWM 自动关断位 1
 - 0: CMP1 比较器输出不影响 EPWM
 - 1: CMP1 比较器输出“0”引起关断
- Bit 4 EPWMxAS0: EPWM 自动关断位 0
 - 0: N_EPAS 端口不影响 EPWM
 - 1: N_EPAS 端口为“0”引起关断
- Bit 3~2 保留
- Bit 1~0 PSSxBD<1:0>: 管脚 PWMx0 和 PWMx1 关断状态控制位
 - 00: 端口输出“0”
 - 01: 端口输出“1”
 - 1x: 端口为三态

6.1.3 16 位门控型定时器T16G1

6.1.3.1 概述

- ◇ T16G1 支持 6 种工作模式
 - 定时器/计数器模式
 - 过零检测 ZCD 模式
 - 捕捉器模式
 - 比较器模式
 - 单边 PWM 模式，17 位 PWM 输出精度
 - 双边 PWM 模式，17 位 PWM 输出精度
- ◇ 定时器/计数器模式可分为三种工作模式
 - 定时器模式（时钟源为系统时钟二分频（Fosc/2））
 - 同步计数模式（时钟源为外部时钟 T16G1CKI 或 T16G1OSC）
 - 异步计数模式（时钟源为外部时钟 T16G1CKI 或 T16G1OSC）
- ◇ T16G1 主要功能组件
 - 支持一个可配置的预分频器（无实际物理地址，不可读写）
 - 16 位计数器(T16G1H, T16G1L)
 - 16 位精度寄存器(T16G1RH, T16G1RL)
 - 16 位周期寄存器(T16G1PH, T16G1PL)
 - 16 位控制寄存器（T16G1CH, T16G1CL）
 - 8 位输出控制寄存器（T16GOC）
 - 17 位精度缓冲器 resbuf（无实际物理地址，不可读写）
- ◇ 中断和唤醒
 - 支持计数溢出中断标志（T16G1IF，必须软件清零）
 - 捕捉/比较/PWM 中断标志（TEIF，必须软件清零）
 - 在 IDLE 模式下，异步计数模式，溢出中断可产生唤醒 CPU
- ◇ 支持门控设计，通过门控信号 T16G1GI 控制 T16G1 定时/计数

6.1.3.2 内部结构图

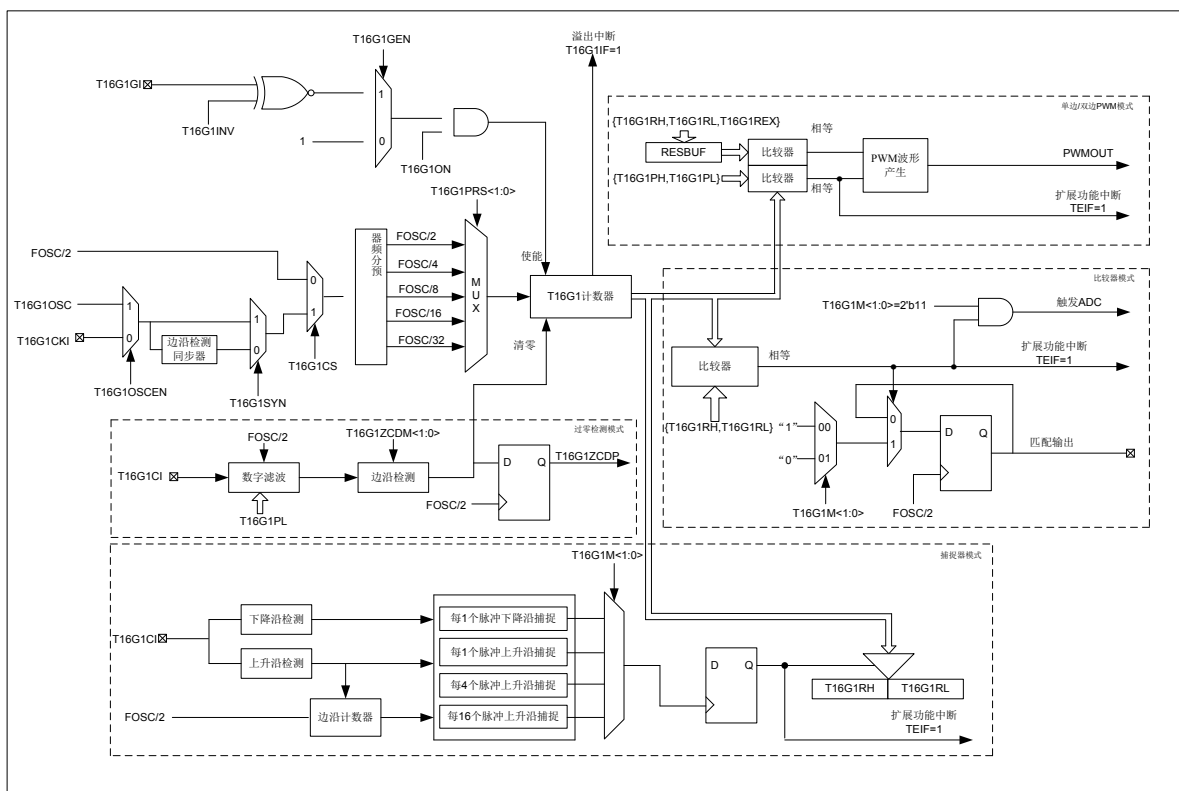


图 6-11 T16G1 内部结构图

6.1.3.3 时钟源配置

T16G1 支持 3 种时钟源：系统时钟二分频 (Fosc/2)、T16G1CKI 和 T16G1OSC。

T16G1CS	T16G1OSEN	时钟源
0	0	Fosc/2
1	0	T16G1CKI
1	1	T16G1OSC

表 6-6 时钟源配置表

注：T16G1OSC 为外部 LP 晶振输入。

6.1.3.4 预分频器配置

预分频器可以提供一个更长的溢出周期。T16G1 支持一个可配置的预分频器，对选择的时钟源进行预分频，作为计数器 T16G1 的计数时钟。任何对计数器的写操作都会清零预分频器，但不影响预分频器的分频比。预分频器的计数值不可读写。预分频器的分频比可通过 T16G1PRS<1:0>位 (T16G1CL<5:4>) 进行设置，预分频比范围为 1:1~1:8。

6.1.3.5 工作模式

T16G1 有 8 种工作模式，定时器模式、同步计数器模式、异步计数器模式、过零检测 ZCD 模式、捕捉器模式、比较器模式、单边 PWM 模式和双边 PWM 模式，通过 T16G1M<3:0>进行模式选择。双精度 PWM 模式、互补 PWM 模式下，时钟源也可为

PLL 时钟。异步计数模式下，时钟源也可为外部晶振 LP 模式时钟（32.768KHz）或 T16G1CKI 外部时钟。

T16GON 置 1 使能之前，需先由 T16G1M<3:0>设定工作模式，选择计数时钟，并配置好预分频器、周期等参数。保证计数时钟在使能时已稳定。

T16GON	T16G1M<3:0>	T16G1CS	T16G1SYN	工作模式
1	0000	0	0/1	定时器模式
1	0000	1	0	同步计数模式
1	0000	1	1	异步计数模式
1	0001	0	0/1	过零检测 ZCD 模式
1	01xx	0/1	0	捕捉器模式
1	10xx	0/1	0	比较器模式
1	1100	0	0/1	单边 PWM 模式
1	1101	0	0/1	双边 PWM 模式

表 6-7 工作模式配置表

6.1.3.6 定时器模式

当 T16G1M<3:0>=0000, T16G1CS=0 时, T16G1 工作在定时器模式, 时钟源为系统时钟 2 分频。T16G1 计数器 (T16G1H, T16G1L) 递增计数, 计数溢出后重新开始计数。当计数值溢出时 (即从 FFFF_H 变为 0000_H), 产生 T16G1 中断, 该中断必须软件清零。

当 T16GON=0 时, 可对计数器 (T16G1H, T16G1L) 赋值。

6.1.3.7 同步计数模式

当 T16G1M<3:0>=0000, T16G1CS=1, T16G1SYN =0 时, T16G1 工作在同步计数器模式, 时钟源为外部输入时钟 T16G1CKI 或者外部 LP 振荡时钟 T16G1OSC。外部输入时钟经过系统时钟同步后作为计数时钟源。

此工作模式要求外部输入时钟的高/低电平时间, 至少保持 1 个机器周期。

6.1.3.8 异步计数模式

当 T16G1M<3:0>=0000, T16G1CS=1, T16G1SYN =1 时, T16G1 工作在异步计数器模式, 时钟源为外部输入时钟 T16G1CKI 或者外部 LP 振荡时钟 T16G1OSC。外部输入时钟不经系统时钟同步。

注 1: 当 T16G1 计数时钟源为 T16G1OSC 时, 在同步计数模式下, 系统时钟必须配置为内部 INTOSC 时钟源; 在异步计数模式下, 系统时钟可配置为内部 INTOSC 或者 T16G1OSC 时钟源;
注 2: 外部 T16G1OSC 是否稳定, 可通过查询 OSCC 寄存器中 T16GOSCF 标志位进行判断。

6.1.3.9 门控计数

T16G1 支持门控计数, 通过 T16G1GI 门控信号对 T16G1 计数进行门控。T16G1GINV 位用于选择门控信号的极性。当 T16G1GINV=0 时, T16G1GI 为低电平时使能计数, 高电平暂停计数; 当 T16G1GINV=1 时, 则相反。

6.1.3.10 捕捉器模式

T16G1M<3:2>=01 时，T16G1 配置为捕捉器模式，T16G1CI 所在管脚作为捕捉信号输入端口。T16G1M<1:0>用于设置捕捉条件。

T16G1M<3:2>	T16G1M<1:0>	捕捉条件
01	00	捕捉 T16G1CI 每 1 个脉冲下降沿。
	01	捕捉 T16G1CI 每 1 个脉冲上升沿
	10	捕捉 T16G1CI 每 4 个脉冲上升沿
	11	捕捉 T16G1CI 每 16 个脉冲上升沿

表 6-8 捕捉条件配置表

T16G1 配置为捕捉模式时，时钟源必须配置为系统时钟 2 分频 (Fosc/2)，或经系统时钟同步后的外部时钟输入。

在此模式下，当 T16G1CI 输入信号的变化状态满足捕捉条件时，计数器 T16G1 (T16G1H,T16G1L) 的值将被分别捕捉到寄存器 (T16G1RH,T16G1RL) 中，并产生中断标志 TEIF。计数器 T16G1 (T16G1H,T16G1L) 继续递增计数，当计数值溢出时，产生中断标志 T16G1IF。若下一次捕捉事件发生时，寄存器 T16G1R (T16G1RH,T16G1RL) 中的值未被及时读取，将被新捕捉的值覆盖。

当切换捕捉模式后，首次捕捉可能存在误差，同时也可能导致错误的中断产生。为了避免产生错误中断，用户在改变模式时应该禁止中断产生，并且清除中断标志。

6.1.3.11 比较器模式

当 T16G1M<3:2>=10 时，T16G1 配置为比较器模式，T16G1CO 所在管脚作为比较器输出端口。T16G1M<1:0>用于设置匹配触发事件。

T16G1M<3:2>	T16G1M<1:0>	匹配触发事件
10	00	比较匹配时比较器输出 1
	01	比较匹配时比较器输出 0
	10	比较匹配时比较器输出不变
	11	比较匹配时复位 T16G1H/T16G1L，触发 ADC

表 6-9 比较匹配触发事件配置表

T16G1 配置为比较器模式时，时钟源必须配置为系统时钟 2 分频 (Fosc/2)，或经系统时钟同步后的外部时钟输入。

在此模式下，当计数器 T16G1 (T16G1H,T16G1L) 的计数值与寄存器 (T16G1RH,T16G1RL) 中的比较值相等时，执行相应的比较匹配事件，并产生比较匹配中断标志 TEIF。

比较匹配事件可以作为 ADC 自动转换触发信号 (详细说明见 ADC 章节)。

6.1.3.12 单边PWM模式

T16G1M<3:0>=1100 时，T16G1 配置为单边 PWM 模式。

在单边 PWM 模式下，计数时钟源为系统时钟 2 分频 (Fosc/2)。

在此模式下, T16G1 计数器 (T16G1H,T16G1L) 从设定的初始值开始递增计数, 当 T16G1 (T16G1H,T16G1L) 及当前时钟相位与 17 位精度缓冲器 resbuf 的值相匹配时, PWM 输出 (pwmout) 改变为 0, 并继续递增计数。当 T16G1 (T16G1H,T16G1L) 的计数值与周期寄存器 T16G1P (T16G1PH,T16G1PL) 相等时, PWM 输出 (pwmout) 改变为 1, 同时将当前 T16G1R (T16G1RH,T16G1RL) 和扩展精度位 T16G1REX (T16G1CH<4>) 的数值载入 17 位精度缓冲器 resbuf 内, 并产生中断标志 TEIF, 该中断必软件清零。再重新开始循环 PWM 周期。

- 注 1: 若 resbuf 的值为 0, 则当前 PWM 周期内 PWM 输出始终为 0。
 注 2: 若 resbuf 的高 16 位值 (即上一次载入的 T16G1RH,T16G1RL) 大于 T16G1P (T16G1PH,T16G1PL), 则当前 PWM 周期内 PWM 输出始终为 1。
 注 3: 使能单边 PWM 模式后的第一个 PWM 周期内, 由于 resbuf 的值不确定, 所以 PWM 的输出也是不确定的。

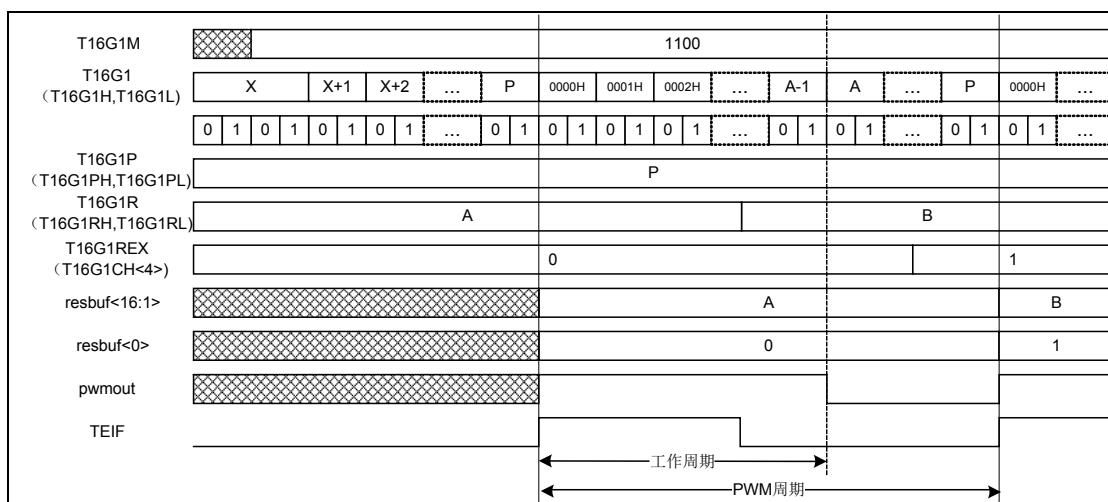


图 6-12 T16G1 单边 PWM 模式示意图

PWM 计算公式如下:

$$\text{PWM 周期} = [(T16G1PH, T16G1PL) + 1] \times 2 \times T_{osc} \times (\text{预分频器分频比})$$

$$\text{PWM 频率} = 1 / [\text{PWM 周期}]$$

$$\text{PWM 脉宽} = [(T16G1RH, T16G1RL) \times 2 + T16G1REX] \times T_{osc} \times (\text{预分频器分频比})$$

$$\text{PWM 占空比} = [\text{PWM 脉宽}] / [\text{PWM 周期}]$$

给定 PWM 频率, PWM 的最大分辨率可计算为:

$$\text{分辨率} = \frac{\log\left(\frac{F_{osc}}{F_{pwm} * F_{ckps}}\right)}{\log 2} \text{ 位}$$

注: Fckps 是计数器的预分频器的分频比。

6.1.3.13 双边PWM模式

当 T16G1M<3:0>=1101 时，T16G1 配置为双边 PWM 模式。

在双边 PWM 模式下，计数时钟源为系统时钟 2 分频 (Fosc/2)。

在此模式下，T16G1 (T16G1H,T16G1L) 从与 T16G1P 相等的值开始递减计数，当 T16G1 (T16G1H,T16G1L) 及当前时钟相位与 17 位精度缓冲器 resbuf 的值相匹配时，PWM 输出 pwmout 被置 1，并继续递减计数直至减到零。

当 T16G1 (T16G1H,T16G1L) 的计数值为零时，再进行递增计数。当 T16G1 (T16G1H,T16G1L) 及当前时钟相位与 17 位精度缓冲器 resbuf 的值相匹配时，PWM 输出 pwmout 被清 0。并继续递增计数直至与 T16G1P (T16G1PH,T16G1PL) 的值相等。

当 T16G1 (T16G1H,T16G1L) 的计数值与 T16G1P (T16G1PH,T16G1PL) 相等时，将当前精度寄存器 T16G1R (T16G1RH,T16G1RL) 和扩展精度位 T16G1REX (T16G1CH<4>) 的数值载入 17 位精度缓冲器 resbuf 内，并产生中断标志 TEIF。再重新开始循环 PWM 周期。

- 注 1: 若 resbuf 的值为 0，则当前 PWM 周期内 PWM 输出始终为 0。
- 注 2: 若 resbuf 的高 16 位值 (即上一次载入的 T16G1RH,T16G1RL) 大于 T16G1P (T16G1PH,T16G1PL)，则当前 PWM 周期内 PWM 输出始终为 1。
- 注 3: 使能双边 PWM 模式后的第一个 PWM 周期内，由于 resbuf 的值不确定，所以 PWM 的输出也是不确定的。

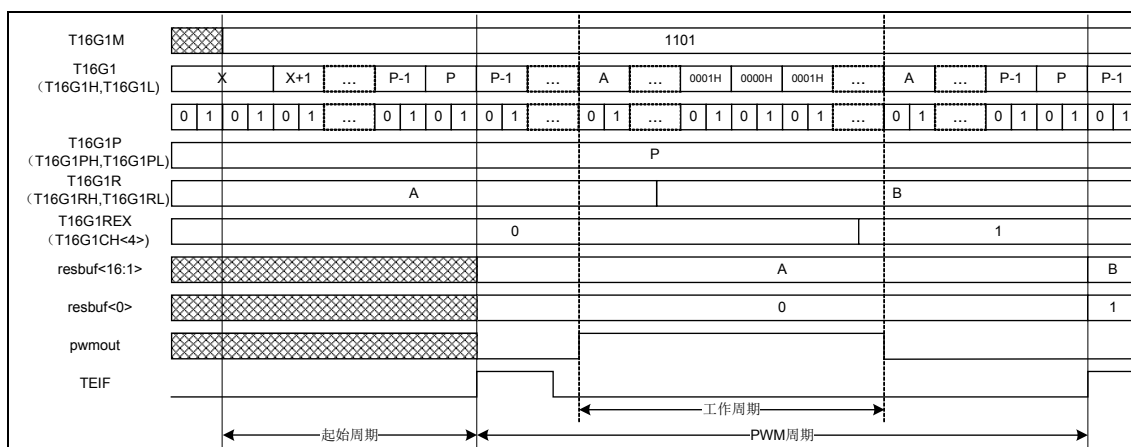


图 6-13 T16G1 双边 PWM 模式示意图

6.1.3.14 过零检测ZCD模式

当 T16G1M<3:0>=0001 时，T16G1 配置为过零检测 ZCD 模式。

在过零检测 ZCD 模式下，计数时钟源为系统时钟 2 分频 (Fosc/2)。预分频器的配置，应满足 T16G1 定时溢出时间大于相邻 2 次触发信号的时间间隔。

过零检测功能用于对交流信号过零点时刻的检测。其工作原理，是将被检测信号从 T16G1 的复用端口 T16G1CI 输入 (如图示)，T16G1CI 为 SCHMITT 输入特性 (请参考电气特性章节)，被检测信号到达零点附近会触发 T16G1CI 电平翻转，产生相应的上升或下降沿信号。此上升或下降沿信号通过数字滤波器后产生边沿检测信号，此信号会将处于 ZCD (过零检测) 模式的 T16G1 (T16G1H,T16G1L) 的计数值清零并重新开始计数。通过

T16G1ZCDM (T16G1CH<7:6>) 位选择触发边沿。通过 T16G1ZCDP (T16G1CH<5>) 位进行判断, 当前被检测信号处于交流信号的正半周或负半周。

T16G1CI 的边沿滤波时间由 T16G1PL 寄存器决定。

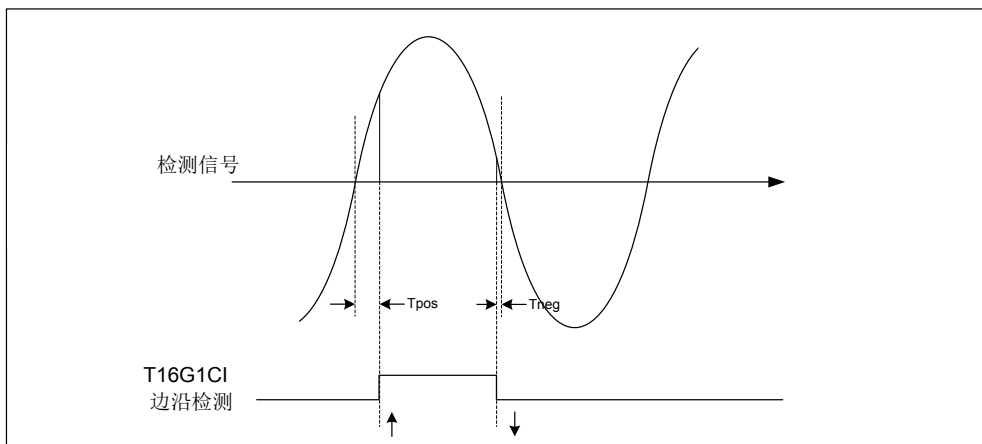


图 6-14 过零检测示意图

零点时刻判断依据如下公式:

当前时刻为交流信号正半周 $Tzcp = Tcnt + Tflt + Tpos$

当前时刻为交流信号负半周 $Tzcp = Tcnt + Tflt - Tneg$

Tcnt 为依据 T16G1 当前计数值及分频配置所计算出的计数时间;

Tflt 为边沿信号的滤波时间: $Tflt = (T16G1PL + 2) \times Tosc$

Tpos 为零点时刻至上升沿电平翻转点的时间;

Tneg 为下降沿电平翻转点至零点时刻的时间

注: 只有在 T16G1 模块关闭 (T16GON=0) 时, 才可对 T16G1 (T16G1H,T16G1L) 计数器进行写操作, 否则写操作无效。

6. 1. 3. 15 中断和唤醒

当 T16G1 计数溢出中断标志 T16G1IF (INTF0<6>) 置 1, 如果中断使能位 T16G1IE (INTE0<6>) 和全局中断使能位 GIE (INTG<7>) 使能, 则产生 T16G1 计数溢出中断, 否则中断不被响应。在重新使能这个中断之前, 为了避免误触发中断, T16G1IF 位必须软件清零。

在比较/捕捉/PWM 模式下, 当满足条件时, 中断标志 TEIF ((INTF0<5>)) 置 1, 如果中断使能位 TEIE (INTE0<5>) 和全局中断使能位 GIE (INTG<7>) 使能, 则产生比较/捕捉/PWM 中断, 否则中断不被响应。在重新使能这个中断之前, 为了避免误触发中断, TEIF 位必须软件清零。

在异步工作模式下, 当 T16G1 使用 T16G1CKI 或外部 T16G1OSC 晶振 (系统时钟配置为 INTOSC 模式时) 作为时钟源时, 计数器溢出产生中断标志 T16G1IF。在 IDLE 模式下, T16G1 异步计数可继续工作, 并且可以唤醒 CPU。

6.1.3.16 T16G1 复用功能输出端口

在 T16G1 的比较器或单/双边 PWM 模式下，均支持 4 个输出端口 T16G10、T16G11、T16G12 与 T16G13。可单独使能作为 T16G1 复用功能输出端口，且可分别通过 T16G10INV、T16G11INV、T16G12INV 与 T16G13INV 选择正向输出或反向输出。

6.1.3.17 特殊功能寄存器

T16G1L: T16G1 计数器低 8 位								
Bit	7	6	5	4	3	2	1	0
Name	T16G1L<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

Bit 7~0 T16G1L<7:0>: T16G1 计数器低 8 位

T16G1H: T16G1 计数器高 8 位								
Bit	7	6	5	4	3	2	1	0
Name	T16G1H<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

Bit 7~0 T16G1H<7:0>: T16G1 计数器高 8 位

注：只有在 T16G1CL<0>(T16GON)=0 时，才可对 T16G1H 和 T16G1L 计数器进行写操作，否则写操作无效。

T16G1PL: T16G1 周期寄存器低 8 位								
Bit	7	6	5	4	3	2	1	0
Name	T16G1PL<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

Bit 7~0 T16G1PL<7:0>: T16G1 周期值低 8 位

T16G1PH: T16G1 周期寄存器高 8 位								
Bit	7	6	5	4	3	2	1	0
Name	T16G1PH<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

Bit 7~0 T16G1PH<7:0>: T16G1 周期值高 8 位

T16G1RL: T16G1 精度寄存器低 8 位								
Bit	7	6	5	4	3	2	1	0
Name	T16G1RL<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 T16G1RL<7:0>: T16G1 精度值低 8 位

T16G1RH: T16G1 精度寄存器高 8 位								
Bit	7	6	5	4	3	2	1	0
Name	T16G1RH<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 T16G1RH<7:0>: T16G1 精度值高 8 位

T16G1CL: T16G1 控制寄存器低 8 位								
Bit	7	6	5	4	3	2	1	0
Name	T16G1G INV	T16G1G EN	T16G1PRS<1:0>		T16G1O SCEN	T16G1S YN	T16G1C S	T16GO N
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 T16G1GINV: T16G1 门控信号极性选择位
0: T16G1 门控信号为低时, T16G1 计数
1: T16G1 门控信号为高时, T16G1 计数
- Bit 6 T16G1GEN: T16G1 门控使能位
0: 禁止 T16G1 门控
1: 使能 T16G1 门控
- Bit 5~4 T16G1PRS<1:0>: T16G1 输入预分频选择位
00: 1:1
01: 1:2
10: 1:4
11: 1:8
- Bit 3 T16G1OSCEN: T16G1 晶振使能位 (时钟源选 T16GOSC 晶振时, 需先将该位使能)
0: 禁止 T16G1OSC 晶振
1: 使能 T16G1OSC 晶振
- Bit 2 T16G1SYN: T16G1 外部时钟输入同步控制位
0: 外部时钟输入经系统时钟同步
1: 外部时钟输入不经系统时钟同步
- Bit 1 T16G1CS: T16G1 时钟源选择位
0: 系统时钟二分频 (Fosc/2)
1: 外部时钟 (T16G1CKI 上升沿或者 LP)
- Bit 0 T16GON: T16G1 使能位
0: 禁止 T16G1
1: 使能 T16G1

注 1: 当 T16G1CS 为 1 时选择外部时钟源, 此时 T16G1OSCEN 为 0 选择 T16G1CKI 的上升沿作为计数源, T16G1OSCEN 为 1 选择 LP 晶振作为计数源。

注 2: 使能 T16G1OSC 晶振前需保证 RCEN 使能, 否则无法有效使能 T16G1OSC 晶振。

注 3: 当芯片配置字中振荡器配置为 INTOSC 模式时, T16G1OSC 晶振在芯片正常状态或休眠状态下均可工作; 当芯片配置字中振荡器配置为 LP 晶振/谐振器模式时, T16G1OSC 晶振仅在芯片正常状态下工作, 休眠状态下不工作; 当芯片配置字中振荡器配置为其他模式时, 均不能使用 T16G1OSC 晶振。

注 4: 外部 T16G1OSC 是否稳定, 可通过查询 OSCC 寄存器中 T16GOSCF 标志位进行判断。

T16G1CH: T16G1 控制寄存器高 8 位

Bit	7	6	5	4	3	2	1	0
Name	T16G1ZCDM<1:0>		T16G1Z CDP	T16G1R EX	T16G1M<3:0>			
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W
POR	0	0	x	0	0	0	0	0

- Bit 7~6 T16G1ZCDM<1:0>: ZCD 触发边沿选择位
 00: 检测上升沿
 01: 检测下降沿
 1x: 检测上升沿和下降沿
- Bit 5 T16G1ZCDP: 过零检测信号极性状态位
 0: 负半周
 1: 正半周
- Bit 4 T16G1REX: PWM 模式扩展精度位
- Bit 3~0 T16G1M<3:0>: T16G1 工作模式选择位
 0000: 定时器/计数器模式
 0001: ZCD 模式
 001x: 保留
 0100: 捕捉 T16G1CI 每 1 个脉冲下降沿
 0101: 捕捉 T16G1CI 每 1 个脉冲上升沿
 0110: 捕捉 T16G1CI 每 4 个脉冲上升沿
 0111: 捕捉 T16G1CI 每 16 个脉冲上升沿
 1000: 匹配时输出 1
 1001: 匹配时输出 0
 1010: 匹配时输出保持不变
 1011: 匹配时复位 T16G1H/T16G1L, 触发 ADC
 1100: 单边 PWM 模式
 1101: 双边 PWM 模式
 111x: 保留

T16GOC: T16G 输出控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	T16G13I NV	T16G12I NV	T16G11I NV	T16G10I NV	T16G13 EN	T16G12 EN	T16G11 EN	T16G10 EN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 T16G13INV: T16G13 输出反向控制位

0: 输出不反向

1: 输出反向

Bit 6 T16G12INV: T16G12 输出反向控制位

0: 输出不反向

1: 输出反向

Bit 5 T16G11INV: T16G11 输出反向控制位

0: 输出不反向

1: 输出反向

Bit 4 T16G10INV: T16G10 输出反向控制位

0: 输出不反向

1: 输出反向

Bit 3 T16G13EN: T16G13 端口使能位

0: 通用 I/O

1: 比较器/PWM 输出功能

Bit 2 T16G12EN: T16G12 端口使能位

0: 通用 I/O

1: 比较器/PWM 输出功能

Bit 1 T16G11EN: T16G11 端口使能位

0: 通用 I/O

1: 比较器/PWM 输出功能

Bit 0 T16G10EN: T16G10 端口使能位

0: 通用 I/O

1: 比较器/PWM 输出功能

6.2 模拟比较器 (ACP)

6.2.1 概述

本系列芯片支持一个模拟比较器，模拟比较器的输入端和 I/O 管脚复用。此模块还可配置成一个运算放大器来使用。

型号	ACP 数量	复用管脚
ES7P1731	1	PA6/CIN0 PB0/CINP PC1/CIN1
ES7P1732	1	PA6/CIN0 PB0/CINP PB1/COUT PB2/CIN2 PC1/CIN1

6.2.2 操作说明

比较器的工作，输入是两个模拟信号，输出是一个数字信号。当比较器的负端输入 (CINN) 大于正端输入 (CINP) 时，输出低电平 (数字 “0”)，而当比较器的负端输入 (CINN) 小于正端输入 (CINP) 时，则输出高电平 (数字 “1”)。

比较器的输入信号 CINN 和 CINP，输出信号 COUT 可以通过比较器模式选择位 CM<1:0> (ACPC<1:0>) 进行配置。

当比较器的输出有变化时，比较器中断使能位 ACPIE (INTE1<6>) 和 PEIE (INTG<6>) 必须被置 1，才能产生中断，此时中断标志位 ACPIF (INTF1<6>) 被置 1，如果全局中断使能位 GIE (INTG<7>) 同时使能，系统会相应中断，进入中断子程序进行中断处理。如果 CPU 进入休眠模式，比较器仍处于工作状态，则比较器的比较中断能唤醒 CPU。

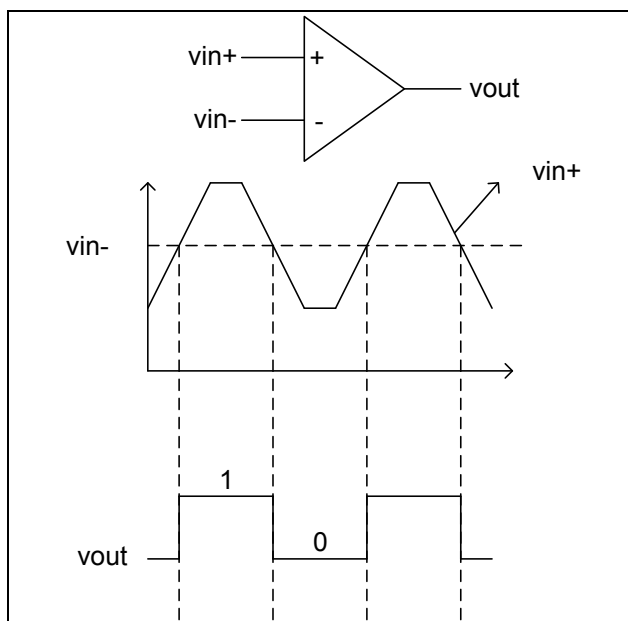


图 6-15 模拟比较器示意图

6.2.3 比较器工作模式

该模块有 4 种工作模式，具体模式见 ACPC 寄存器描述。

CM<1:0>	工作模式
00	OFF
01	比较器模式
10	比较器模式
11	运算放大器模式

当 CM<1:0>=01 和 10 时，为比较器模式。

当 CM<1:0>为=11 时，为运算放大器模式，在模拟比较器的输入与输出之间外接反馈电阻，可作为运算放大器使用，此时运放增益由外接反馈电阻设置，注意此时需设置 COUT 复用的 IO 端口为模拟管脚使用，且运算放大器模式下比较器中断功能无效，比较器唤醒功能无效。

当芯片复位时，CM<1:0> = 00。

特别注意：将 CM<1:0>配置为 11 时，模拟比较器是否工作于运算放大器模式取决于 COUT 管脚是否配置为模拟端口。如果 COUT 已经配置为模拟端口，则模拟比较器工作于运算放大器模式；如果 COUT 配置为数字端口，此时模拟比较器处于关闭状态，直到 COUT 配置为模拟端口后，模拟比较器才工作于运算放大器模式。

6.2.4 比较器输出关断EPWM

当 EPWM 自动关断位 EPWMxAS1 为 1 时，比较器输出“0”可以触发 EPWM 关断，为了防止异常触发关断，比较器的输出经过滤波处理后作为 EPWM 关断事件之一，滤波时间由 CMFT 寄存器和 INTOSC16M 时钟决定。

6.2.5 特殊功能寄存器

ACPC: ACPC 寄存器								
Bit	7	6	5	4	3	2	1	0
Name	IB_CFG<1:0>		CNM<1:0>		ACPO	CINV	CM<1:0>	
R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W
POR	0	1	0	0	x	0	0	0

Bit 7~6 IB_CFG<1:0>: 比较器电流配置位

- 00: 3uA
- 01: 4uA (default)
- 10: 5uA
- 11: 8uA

Bit 5~4 CNM<1:0>: 比较器负端电压选择位

- 00: 屏蔽通道选择
- 01: 通道 0 (cin0)
- 10: 通道 1 (cin1)
- 11: 通道 2 (cin2)

Bit 3 ACPO: 比较器输出位

- 当 CINV = 0 时
- 1: $V_{in+} > V_{in-}$
- 0: $V_{in+} < V_{in-}$
- 当 CINV = 1 时
- 1: $V_{in+} < V_{in-}$
- 0: $V_{in+} > V_{in-}$

Bit 2 CINV: 比较器输出反相位

- 0: 比较器输出不被反相
- 1: 比较器输出被反相

Bit 1~0 CM<1:0>: 比较器模式选择位, 详见下表

CM<1:0>	ACP			工作模式
	vin+	vin-	vout	
00	VSS	VSS	OFF	OFF
01	CINP	CINN	ACPO	比较器模式
10	CINP	CINN	COU	比较器模式
11	CINP	CINN	COU	运算放大器模式

注: CM=00 时, 模拟比较器关闭, 模拟比较器的输入输出管脚均为普通 IO。

CM=01 时, 模拟比较器使能, CINP, CINN 作为模拟比较器的输入管脚, COU 为普通 IO, 模拟比较器的结果只能从 ACPC 寄存器的 ACPO 位查询。

CM=10 时, 模拟比较器使能, CINP, CINN 作为模拟比较器的输入管脚, 模拟比较器的结果从 COU 管脚输出。

CM=11 时, 且 COU 为模拟管脚时, 模拟比较器作为运算放大器工作。

CMFT: 比较器故障滤波定时器								
Bit	7	6	5	4	3	2	1	0
Name	CMFT<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 CMFT<7:0>: 故障检测滤波定时控制位

6.3 模拟数字转换器(ADC)

6.3.1 概述

模拟数字转换器用于将模拟信号转化成一组二进制代码组成的数字信号。模拟信号经由多路复用输入脚输入，通过一个采样-保持电路连接至转换器的输入端。该系列芯片最多支持 12-bit 8+2 通道的 A/D 转换器，经过 A/D 转换器转换的 12-bit 二进制数据存入 ADC 数据寄存器 ADCRH、ADCRL 中。

- ◇ 模/数转换器特性
 - 支持 12 位 ADC 采样精度
 - 12 位转换结果可选择高位对齐或低位对齐格式
 - 支持 8 个模拟输入端
 - 可选择外部或内部参考电压
 - 支持电源电压检测，电源分压比可选 (VDD/4、VDD/8)
 - 支持可配置 ADC 转换时钟
 - 支持 ADC 自动转换触发源及边沿选择
- ◇ 主要功能组件
 - ADC 转换值寄存器 (ADCRL, ADCRH)
 - ADC 控制寄存器 (ADCC0, ADCC1, ADCC2)
 - ADC 延时触发定时器 (TMRADC)
- ◇ 中断和暂停
 - 支持 A/D 转换中断 (ADIE/ADIF)

型号	输入通道数	输入通道选择位	输入信号管脚
ES7P1731	6+2	ADCHS<2:0>	AIN0~AIN5
ES7P1732	8+2		AIN0~AIN7

6.3.2 内部结构图

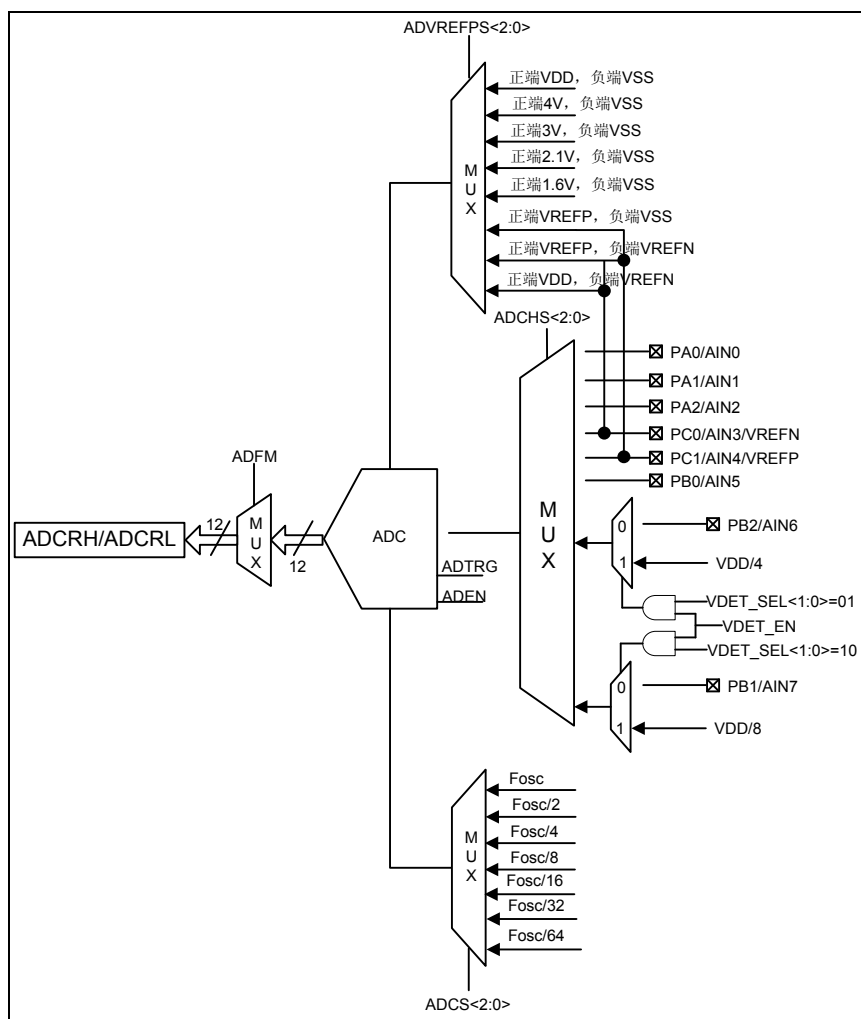


图 6-16 ADC 内部结构图

6.3.3 ADC配置

ADC 电路使用前，需根据需要对以下几个方面进行正确的配置，才可得到需要的正确转换结果。

时钟选择

ADC 电路所需要的时钟有 7 组可选， $F_{osc} \sim F_{osc}/64$ ，可通过 ADCC1 寄存器中的 ADCS<2:0> 选择所需要的时钟。

参考电压选择

ADC 电路分别使用一个正参考电压和一个负参考电压，对应外部参考电压输入脚分别为 VREFP 和 VREFN。由于该两个外部输入脚分别与 PC1/AIN4、PC0/AIN3 复用，在使用这两个外部参考电压输入时，需先通过 ANS0 寄存器正确设置复用端口的类型。正参考电压可通过 ADVREFS<2:0> 位选择 VDD、4V、3V、2V、1.6V 或者是 VREFP 复用端口，负参考电压对应地选择 VSS 或者是 VREFN 复用端口。在正端参考电压选择 2V 时，需先根据 VDD 电压通过 AD2VCALS 位（ADCC2<3>）正确设置 A/D 2V 参考电压调校信息。

采样时间选择

本芯片支持 ADC 电路的采样时间可选，可通过 ADCC1 寄存器中的 ADST<3:0>位选择大约 1~15 个 Tadclk 共 15 种选项。

复用端口类型选择

本系列芯片中 ADC 电路的所有模拟输入通道 AINx、参考电压外部输入脚均和 PA/PB/PC 端口复用，在使用 ADC 电路转换前，须先将所使用的管脚通过 ANS0 寄存器设置为模拟类型。

模拟信号输入通道选择

ADC 电路使能前，需先选择 A/D 模拟通道。本系列芯片 ADC 电路最多支持 8 个外部通道和 2 个电源电压检测通道可选，外部通道分别为 AIN0~AIN7，两个电源电压检测通道分别为 VDD/4 和 VDD/8。A/D 模拟通道选择哪个通道可通过 ADCC0 寄存器中的 ADCHS<2:0>位选择。

对齐方式选择

本系列芯片 ADC 电路转换的结果支持两种对齐方式，低位对齐和高位对齐，可通过 ADCC1 寄存器中的 ADFM 位进行选择。

ADC 模块转换触发方式选择

本芯片 ADC 模块支持两种 A/D 转换触发方式：软件触发和 PWM 自动触发。

在 ADC 模块转换使能位 ADEN(ADCC0<0>)使能后，通过软件将 ADC 转换状态位 ADTRG (ADCC0<1>)置“1”，ADC 模块开始进行转换，此为软件触发 A/D 转换；在 ADC 模块转换使能位 ADEN(ADCC0<0>)和 PWM 自动触发 ADC 使能位 EXTTIG_EN(ADCC2<0>)都使能后，由 PWM 边沿触发信号致使 ADTRG 位自动置为“1”，ADC 模块开始进行转换，此种为 PWM 自动触发。

PWM 自动触发源可选择来自 PWM10/PWM20/PWM30/T16G1 匹配信号，通过自动触发源选择位 ADSS<1:0>(ADCC2<5:4>)进行选择，PWM 自动触发边沿可通过 EXTTIG_PEG 位 (ADCC2<1>)选择 PWM 上升沿或下降沿触发。通过 TMRADC 寄存器设置延时触发时间，延时触发时间由 TMRADC 寄存器和系统时间 (fosc) 决定。

值得注意的是，在使用 PWM 自动触发 ADC 时，建议先查询 ADTRG 位的当前状态。若查询到 ADTRG 位为“1”时，此段时间的 PWM 边沿自动触发信号都将被忽略，直至 ADTRG 位的状态恢复为“0”后，系统再次检测到 PWM 边沿自动触发信号，才会响应 PWM 自动触发 ADC 模块进行转换。

电源电压检测功能

当 ADCC2 寄存器的 VDET_EN 位为 1 时，使能电源电压检测模块，此时电源电压的分压可作为 ADC 的输入源，通过特殊功能寄存器 ADCC2<7:6>选择 1/4 VDD 或 1/8 VDD 作为 ADC 的输入源 (1/4 VDD 与 AIN6 复用，1/8 VDD 与 AIN7 复用)，经过 AD 采样并转换后，用户可以推算出芯片的电源电压。当 VDET_EN 为 0 时，电源电压检测模块被禁止，输出为高阻态，此时的 AIN6、AIN7 可做为普通的 AD 输入通道。

6.3.4 ADC转换步骤

下面概述实现 ADC 转换过程的各个步骤。

Step 1: 选择 ADC 转换时钟，通过 ADCC1 寄存器中的 ADCS<2:0>选择 ADC 转换时钟。

Step 2: 选择正负参考电压，通过 ADCC0 寄存器中的 ADVREFS 位进行选择。

Step 3: ADC 采样时间选择，通过 ADCC1 寄存器中的 A/D 采样时间选择位 ADST<3:0>设定。

Step 4: 设置复用端口设为模拟类型，即选择哪些管脚作为 ADC 转换输入管脚，由端口类型选择寄存器 ANS0 控制选择。

Step 5: 选择模拟信号输入通道 AINx，通过 ADCC0 寄存器中的 ADCHS<2:0>选择 ADC 模拟通道。

Step 6: 设置转换结果对齐方式，通过 ADCC1 寄存器中的 ADFM 位选择高位对齐放置还是低位对齐放置。

Step 7: 如果要使用中断，则中断控制寄存器需要正确地设置，以确保 A/D 中断功能被正确激活。在中断模式时，需将全局中断使能位 GIE 置位为“1”和 ADC 中断使能位置位为“1”。

Step 8: 使能 ADC 电路，将 ADCC0 寄存器中的 ADC 使能位 ADEN 设置为“1”。

Step 9: 选择 ADC 模块转换触发方式为软件触发还是 PWM 自动触发。若选择软件触发，将 ADCC0 寄存器中的 ADC 转换启动位 ADTRG 位设置为“1”，开始进行 ADC 转换；若选择 PWM 自动触发，需先设置 ADSS<1:0>位选择自动触发源和 EXTTIG_PEG 位选择 PWM 自动触发边沿，通过 TMRADC 寄存器设置延时触发时间，设置 PWM 自动触发 ADC 使能位 EXTTIG_EN 为“1”。在 PWM 自动触发 ADC 模块转换设置完成后，自动边沿触发信号会自动将 ADTRG 位置为“1”，开始进行 ADC 转换。

Step 10: 轮询 ADCC0 寄存器中的转换状态位 ADTRG 位，确定此次 A/D 转换是否完成。

Step 11: 读取 ADCRH 和 ADCRL 寄存器中的转换结果。

6.3.5 ADC时序特示意图

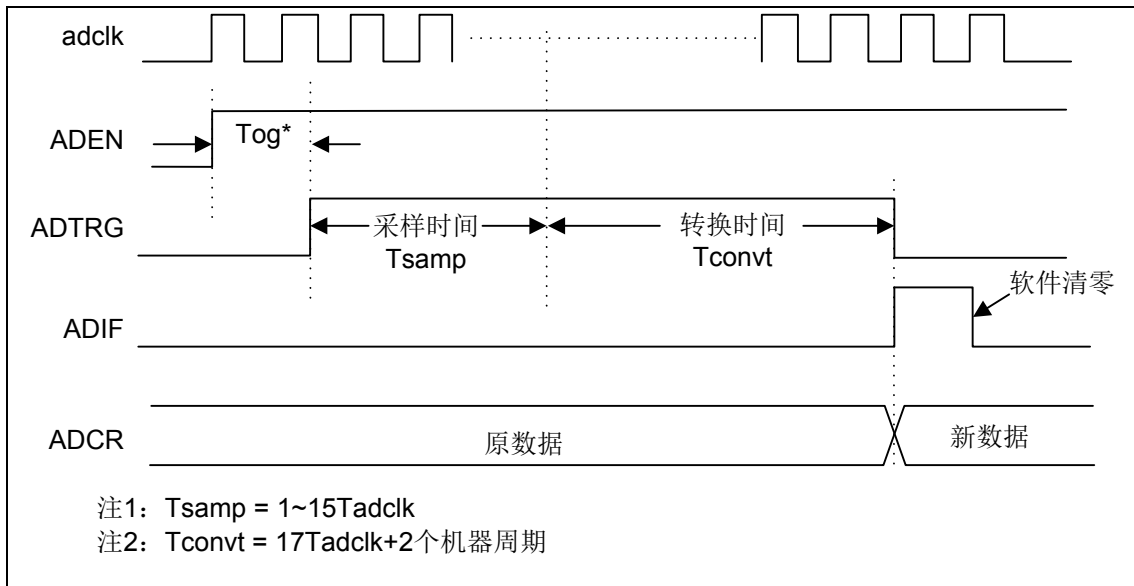


图 6-17 ADC 时序特征示意图

6.3.6 参考例程

应用例程：对模拟输入通道 0 (AIN0 进行模数转换)

```

BCC    ANS0,0           ; AIN0 所在端口配置为模拟端口
BCC    ADCC1,ADFM       ; 转换结果高位对齐放置
MOVI   0X01
MOVA   ADCC0            ; 使能 ADC 转换器，选中通道 0
BSS    ADCC0,ADTRG     ; 触发 ADC 转换
AD_WAIT
JBC    ADCC0,ADTRG     ; 等待 ADC 转换完成
GOTO   AD_WAIT
MOV    ADCRH,0          ; 读取高 8 位转换结果
... ..
MOV    ADCRL,0         ; 读取低 4 位转换结果
... ..
    
```

6.3.7 特殊功能寄存器

ADFM	ADCRH: ADC 转换值寄存器高 8 位								ADCRL: ADC 转换值寄存器低 8 位							
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
1	—	—	—	—	ADCRH<3:0>				ADCRL<7:0>							
0	ADCRH<7:0>								ADCRL<3:0>			—	—	—	—	

ADCR<11:0>: A/D 转换结果

ADCC0: ADC 控制寄存器 0								
Bit	7	6	5	4	3	2	1	0
Name	ADVREFS<2:0>			ADCHS<2:0>			ADTRG	ADEN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~5 ADVREFS <2:0>: 参考电压源选择位
 000: A/D 参考电压正端为 VDD,负端为 VSS
 001: A/D 参考电压正端为 4.0V,负端为 VSS
 010: A/D 参考电压正端为 3.0V,负端为 VSS
 011: A/D 参考电压正端为 2.0V,负端为 VSS
 100: A/D 参考电压正端为 1.6V 负端为 VSS
 101: A/D 参考电压正端为外部 VREFP,负端为 VSS
 110: A/D 参考电压正端为外部 VREFP,负端为外部 VREFN
 111: A/D 参考电压正端为 VDD,负端为外部 VREFN

Bit 4~2 ADCHS <2:0>: A/D 模拟通道选择位
 000: 通道 0 (AIN0)
 001: 通道 1 (AIN1)
 010: 通道 2 (AIN2)
 011: 通道 3 (AIN3)
 100: 通道 4 (AIN4) (当参考电源选择位为 111 时, 该通道复用为外部 VREFN)
 101: 通道 5 (AIN5) (当参考电源选择位为 101 时, 该通道复用为外部 VREFP)
 110: 通道 6 (AIN6)
 111: 通道 7 (AIN7)

Bit 1 ADTRG: ADC 转换状态位
 0: ADC 未进行转换, 或 A/D 转换已完成
 1: ADC 转换正在进行, 该位置 1 启动 A/D 转换

Bit 0 ADEN: ADC 使能位
 0: 关闭
 1: 使能

注: 外部 VREFP、VREFN 复用为 ADC 模拟通道, 主要作用是反推 VDD 是否稳定。

ADCC1: ADC 控制寄存器 1								
Bit	7	6	5	4	3	2	1	0
Name	ADFM	ADCS<2:0>			ADST<3:0>			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	1	0	0	0

- Bit 7 ADFM: ADC 转换数据格式选择位
 0: 高位对齐 (ADCRH<7:0>, ADCRL<7:4>)
 1: 低位对齐 (ADCRH<3:0>, ADCRL<7:0>)
- Bit 6~4 ADCS<2:0>: ADC 时钟选择位
 000: Fosc
 001: Fosc/2
 010: Fosc/4
 011: Fosc/8
 100: Fosc/16
 101: Fosc/32
 110: Fosc/64
 111: 保留
- Bit 3~0 ADST<3:0>: A/D 采样时间选择位
 0000: 禁止使用
 0001~1111: ADC 采样时间分别对应 1~15 个 ADC 时钟

ADCC2: ADC 控制寄存器 2								
Bit	7	6	5	4	3	2	1	0
Name	VDET_SEL<1:0>		ADSS<1:0>		AD2VCALS	VDET_EN	EXTTIG_PEG	EXTTIG_EN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~6 VDET_SEL<1:0>: 电源电压检测选择位

- 00, 11: 保留
- 01: 1/4VDD
- 10: 1/8VDD

Bit 5~4 ADSS<1:0>: ADC 自动触发源选择位

- 00: PWM10
- 01: PWM20
- 10: PWM30
- 11: T16G1 匹配 (仅 T16G1M=1011 时有效)

Bit 3 AD2VCALS: AD 正端参考 2V 调校信息选择位

- 0: VDD=5V 时的 AD 正端参考 2V 调校值
- 1: VDD=3V 时的 AD 正端参考 2V 调校值

Bit 2 VDET_EN: 电源电压检测使能位

- 0: 禁止
- 1: 使能电压检测模块

Bit 1 EXTTIG_PEG: ADC 自动触发边缘选择位

- 0: 上升沿自动触发
- 1: 下降沿自动触发

Bit 0 EXTTIG_EN: ADC 自动触发使能位

- 0: 禁止自动触发
- 1: 使能自动触发

TMRADC: ADC 延时触发定时器								
Bit	7	6	5	4	3	2	1	0
Name	TMRADC<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 TMRADC<7:0>: PWM 沿启动 ADC 定时器

00_H ~ FF_H

6.4 低电压检测模块（LVD）

6.4.1 概述

本系列芯片支持低电压检测功能，即 LVD，用于监测电源电压 VDD 电压。在供电电源不稳定的情况下，如外部电源噪声串扰或 EMS 测试条件下，会使电源剧烈波动。在目标电压未稳定时，可能就会低于芯片工作电压。若检测到电压低于所设定的阈值，可提供一个警告信号。低电压检测也可产生中断信号。

6.4.2 LVD操作

LVD 功能的禁止使能由 LVDC 寄存器中的 LVDEN 控制位设置。当 LVDEN 位清零，LVD 功能禁止。当 LVDEN 位置高，LVD 功能使能。LVD 模块将电源电压 VDD 与预置电压进行比较，比较结果通过 LVDC 寄存器的 LVDLS 位进行查询。预置电压的阈值由 LVDC 寄存器中的 LVDV<1:0>配置，预置电压范围为 2.1V~3.0V。当目标电压低于预置电压值时，LVDLS 位被置为高，表明检测到低电压产生，产生 LVD 中断标志。当 LVD 中断使能开启时产生 LVD 中断请求。

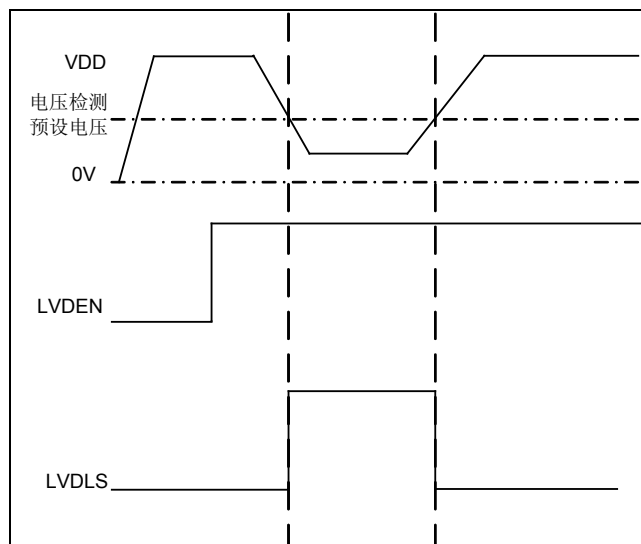


图 6-18 LVD 工作时序图

6.4.3 特殊功能寄存器

LVDC: LVD 检测寄存器								
Bit	7	6	5	4	3	2	1	0
Name	LVDLS	—	—	LVDEN	—	—	LVDV<1:0>	
R/W	R	—	—	R/W	—	—	R/W	R/W
POR	0	0	0	1	0	0	0	0

- Bit 7 LVDLS: LVD 电压检测状态位
 0: 电源电压高于预设电压
 1: 电源电压低于预设电压
- Bit 6~5,3~2 保留未用
- Bit 4 LVDEN: LVD 使能位
 0: 禁止
 1: 使能
- Bit 1~0 LVDV<1:0>: LVD 电压检测选择位
 00: 2.1V
 01: 2.4V
 10: 3.0V
 11: 保留

第7章 中断处理

7.1 概述

中断是芯片的一个重要功能，它能将芯片从睡眠模式中唤醒，也可以使系统在正常运行过程中响应突发事件，中止并保存当前运行程序的信息，跳转到请求中断服务程序的入口地址，执行相对应的中断服务程序，处理突发事件。本系列芯片支持的中断模式有两种：默认中断模式和向量中断模式，最多可支持 15 个中断源：1 个软件中断和 14 个硬件中断。

型号	硬件中断源数	软件中断源数
ES7P1731	14	1
ES7P1733	14	1

7.2 中断控制结构框图

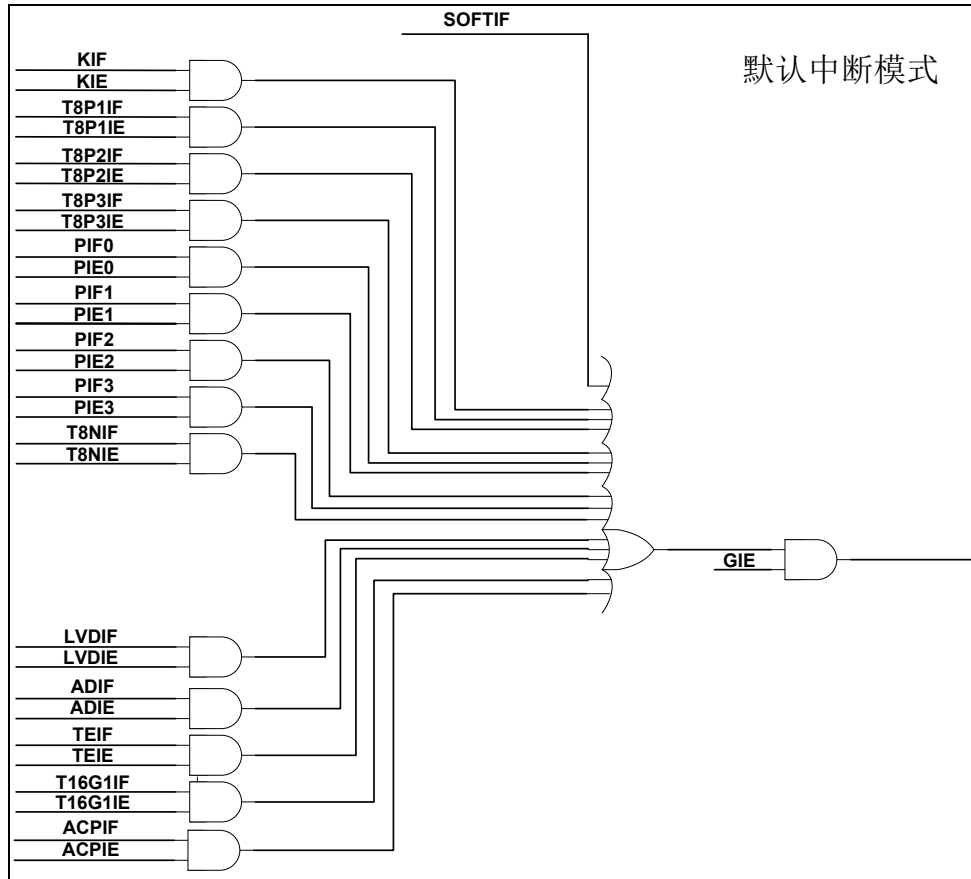


图 7-1 默认中断模式中中断控制逻辑

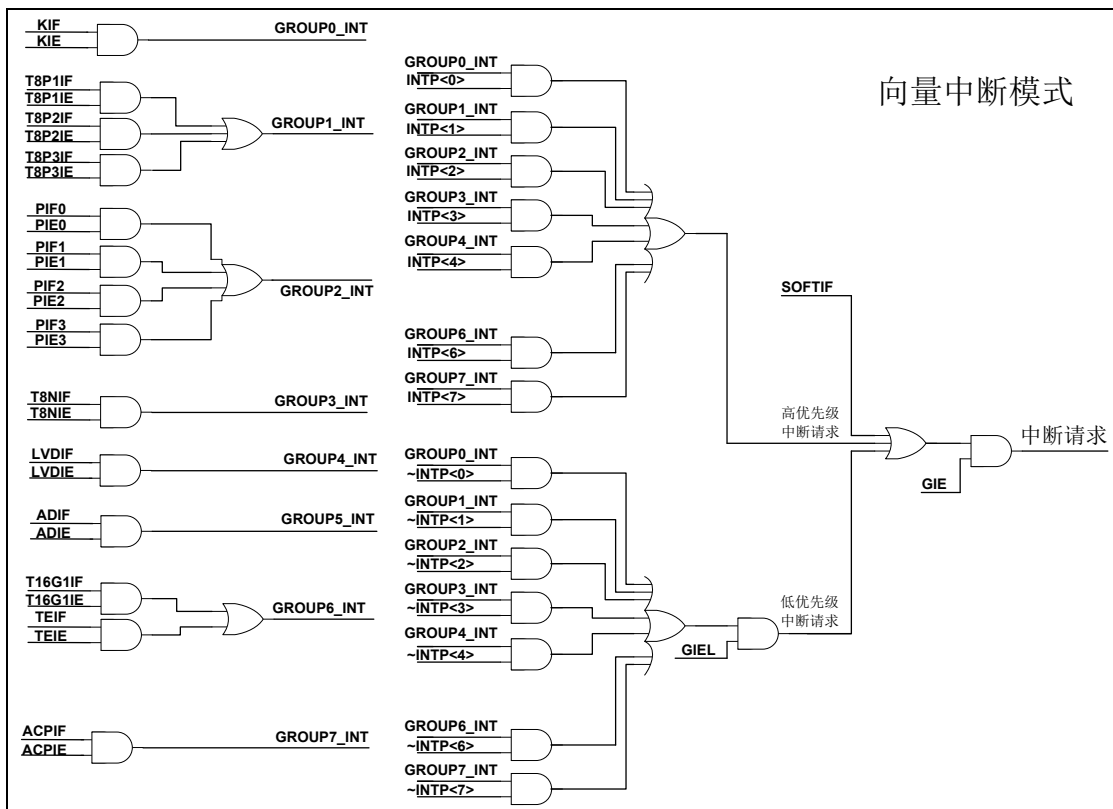


图 7-2 向量中断模式中中断控制逻辑

7.3 中断模式选择

芯片支持两种中断模式，默认中断模式和向量中断模式，可通过 INTG 寄存器中的 INTVEN 位选择。

INTVEN (INTG<0>)	中断模式
0	默认中断模式
1	向量中断模式

表 7-1 中断模式选择表

默认中断模式只支持 1 个中断入口，即 0004_H 入口地址，不支持中断优先级和中断嵌套。

向量中断模式支持多个中断入口，且支持中断优先级和中断嵌套。

7.3.1 默认中断模式

当配置为默认中断模式时，所有中断向量的入口地址均位于 0004_H。用户需通过中断服务程序对各中断标志及中断使能位进行判断，确认引起中断操作的中断源，从而执行相应的中断服务子程序。该模式不支持中断优先级配置。

序号	中断名	中断标志	中断使能	按键屏蔽	外设使能	全局使能	备注
1	软中断	SOFTIF	—	—	—	GIE	—
2	KINT	KIF	KIE	KMSKx	—	GIE	—
3	PINT0	PIF0	PIE0	—	—	GIE	—
4	PINT1	PIF1	PIE1	—	—	GIE	—
5	PINT2	PIF2	PIE2	—	—	GIE	—
6	PINT3	PIF3	PIE3	—	—	GIE	—
7	LVDINT	LVDIF	LVDIE	—	—	GIE	—
8	T8NINT	T8NIF	T8NIE	—	—	GIE	—
9	T8P1INT	T8P1IF	T8P1IE	—	PEIE	GIE	—
10	T8P2INT	T8P2IF	T8P2IE	—	PEIE	GIE	—
11	T8P3INT	T8P3IF	T8P3IE	—	PEIE	GIE	—
12	T16G1INT	T16G1IF	T16G1IE	—	PEIE	GIE	—
13	TEINT	TEIF	TEIE	—	PEIE	GIE	—
14	ADINT	ADIF	ADIE	—	PEIE	GIE	—
15	ACPINT	ACPIF	ACPIE	—	PEIE	GIE	—

表 7-2 默认中断模式使能配置表

7.3.2 向量中断模式

当配置为向量中断模式时，各中断源按组划分，每组中断对应一个中断向量入口地址。软中断入口地址为 0004_H，优先级最高；其它硬件中断分 8 组(IG0~IG7)，并对应 8 个中断入口地址。

序号	中断组号	中断入口地址	中断名	备注
1	/	004H	SOFT	—
2	IG0	008H	KINT	—
3	IG1	00CH	T8P1INT	—
4			T8P2INT	—
5			T8P3INT	—
6	IG2	010H	PINT0	—
7			PINT1	—
8			PINT2	—
9			PINT3	—
10	IG3	014H	T8NINT	—
11	IG4	018H	LVDINT	—
12	IG5	01CH	ADINT	—
13	IG6	020H	T16G1INT	—
14			TEINT	—
15	IG7	024H	ACPINT	—

表 7-3 向量中断模式中中断分组配置表

7.4 中断现场保护

中断现场保护是中断服务程序中一个很重要的组成部分。

指令系统中有 PUSH（压栈）和 POP（出栈）指令，可以方便的实现当前工作状态的保存和恢复。A、PSW、PCRH 和 BKSR 寄存器，分别有各自的两级镜像寄存器 AS1、PSWS1、PCRHS1、BKSRS1 和 AS0、PSWS0、PCRHS0、BKSRS0，用于对相应寄存器的保存和恢复。镜像寄存器无物理地址，他们只能通过 PUSH 和 POP 指令自动完成相应的保存与恢复动作，两级镜像寄存器采用堆栈的操作方式。

7.5 中断操作

若中断事件条件产生，相关中断标志将被置为“1”。中断标志产生后程序要跳转至相应的服务程序地址执行，需满足以下条件：

- 1) 对应中断使能位为“1”。
当对应中断使能位为“0”时，即使中断标志为“1”，中断也不会发生，程序也不会跳转至中断服务程序地址执行。
- 2) 若中断源为 T8P1INT/T8P2INT/T8P3INT/T16G1INT/TEINT/ADINT/ACPINT 时，外围中断使能位为“1”。当外围中断使能位为“0”时，将屏蔽以上所有中断源中断请求。
- 3) 在默认中断模式下，当全局中断使能位 GIE 为“0”时，将屏蔽所有中断请求。当全局中断使能位 GIE 为“1”时，程序将跳至中断服务程序地址执行。在向量中断模式下，当全局中断使能位 GIE 为“0”时，将屏蔽所有中断请求。当全局中断使能位 GIE 为“1”时，程序将跳至相应的中断服务程序地址执行。

7.5.1 外部中断

当 PINTx 复用端口被配置为数字输入端口，且输入信号变化满足触发条件时，将产生 PINTx 外部端口中断，相应的中断标志 PIFx 被置“1”。当全局中断控制位 GIE 和外部端口中断控制位 PIEx 都被置为“1”时，则向 CPU 发出 PINTx 外部端口中断请求。当中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。

需要注意的是，相应中断标志位 PIFx 和中断使能位 PIEx 都需通过软件清除，INTC1 寄存器用于配置触发条件，可分别配置为上升沿触发、下降沿触发或双沿触发。

7.5.2 外部按键中断

当 KINx 复用端口被配置为数字输入端口，未被屏蔽的按键中任何一个端口输入信号发生电平变化时，将中断标志位 KIF 置为“1”，当外部按键中断控制位 KIE 为“1”，且全局中断控制位 GIE 使能时，则向 CPU 发出外部按键中断请求。当外部按键中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。

使用外部按键中断时，须配置相应的控制寄存器，并且使能外部按键中断端口的内部弱上拉电阻。

在按键中断使能（KMSKx=1，KIE=1）前，先对端口寄存器进行读或者写的操作，清除中断标志位，以免误产生中断。

清除该中断标志位 KIF 的操作步骤如下：

- 1) 对端口寄存器进行读或者写操作，清除端口电平与锁存器值不匹配的条件；
- 2) 软件清除中断标志位 KIF。

中断使能位 KIE 也需要通过软件进行清除。

7.5.3 ADC中断

ADC 中断由 ADC 转换动作控制，当 ADC 转换完成时，将产生 ADC 中断，ADC 中断标志位 ADIF 被置“1”。当 ADC 中断控制位 ADIE 置为“1”，且全局中断控制位 GIE 和外围中断使能位 PEIE 使能时，则向 CPU 发出 ADC 中断请求。当 ADC 中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。需要注意的是，ADC 中断标志位 ADIF 和中断使能位 ADIE 都需通过软件清除。

7.5.4 T8N溢出中断

8 位定时器/计数器 T8N 处于定时器模式或计数器模式，当 T8N 计数器递增计数由 FF_H 变为 00_H 时，T8N 计数器发生溢出，将中断标志 T8NIF 位置“1”。当 T8N 溢出中断使能位 T8NIE 置为“1”，且全局中断控制位 GIE 使能时，则向 CPU 发出 T8N 溢出中断请求。当 T8N 溢出中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。需要注意的是，T8N 溢出中断标志位 T8NIF 和中断使能位 T8NIE 都需通过软件清除。

7.5.5 T8Px匹配中断

8 位时基定时器 T8Px 两种工作模式都可产生匹配中断。

定时器模式

T8Px 在定时器模式下对计数时钟进行递增计数，当 T8Px 的计数值与周期寄存器 T8PxP 相等时，T8Px 被自动清零并重新开始计数，同时后分频器加 1 计数。当后分频器的计数值与后分频器分频比相同时，产生匹配中断。

PWM 输出模式

T8Px 在 PWM 输出模式下进行递增计数，当 T8Px 的计数值与周期寄存器 T8PxP 相等时，产生匹配中断。

T8Px 匹配中断产生时，将中断标志 T8PxIF 位置“1”。当 T8Px 匹配中断使能位 T8PxIE 置为“1”，且全局中断控制位 GIE 和外围中断使能位 PEIE 使能时，则向 CPU 发出 T8Px 匹配中断请求。当 T8Px 匹配中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。需要注意的是，T8Px 匹配中断标志位 T8PxIF 和中断使能位 T8PxIE 都需通过软件清除。

7.5.6 T16G1 扩展功能中断

16 位门控定时器 T16G1 在比较器/捕捉器/PWM 模式下可产生 T16G1 扩展功能中断。

捕捉器模式

在捕捉器模式下，当 T16G1CI 输入信号的变化状态满足捕捉条件时，计数器 T16G1 (T16G1H, T16G1L) 的值将被分别捕捉到寄存器 (T16G1RH, T16G1RL) 中，并产生 T16G1 扩展功能中断。

比较器模式

在比较器模式下，当计数器 T16G1 (T16G1H, T16G1L) 的计数值与寄存器

(T16G1RH,T16G1RL) 中的比较值相等时, 执行相应的比较匹配事件, 并产生 T16G1 扩展功能中断。

单边 PWM 模式/双边 PWM 模式

在单边 PWM 模式/双边 PWM 模式下, 当 T16G1 (T16G1H,T16G1L) 的计数值与周期寄存器 T16G1P (T16G1PH,T16G1PL) 相等时, 产生 T16G1 扩展功能中断。

T16G1 扩展功能中断产生时, 将中断标志 TEIF 位置“1”。当 T16G1 扩展功能中断使能位 TEIE 置为“1”, 且全局中断控制位 GIE 和外围中断使能位 PEIE 使能时, 则向 CPU 发出 T16G 扩展功能中断请求。当 T16G1 扩展功能中断条件允许时, 系统将进入相应中断的服务程序入口地址, 进行中断程序处理。需要注意的是, T16G1 扩展功能中断标志位 TEIF 和中断使能位 TEIE 都需通过软件清除。

当切换捕捉模式后, 首次捕捉可能存在误差, 同时也可能导致错误的中断产生。为了避免产生错误中断, 用户在改变模式时应该禁止中断产生, 并且清除中断标志。

7.5.7 T16G1 中断

16 位门控定时器 T16G1 在定时器模式/同步计数器模式/异步计数器模式下可产生 T16G1 溢出中断。

当 T16G1 计数器递增计数由 $FFFF_H$ 变为 0000_H 时, T16G1 计数器发生溢出, 将中断标志 T16G1IF 位置“1”。当 T16G1 溢出中断使能位 T16G1IE 置为“1”, 且全局中断控制位 GIE 和外围中断使能位 PEIE 使能时, 则向 CPU 发出 T16G1 溢出中断请求。当 T16G1 溢出中断条件允许时, 系统将进入相应中断的服务程序入口地址, 进行中断程序处理。需要注意的是, T16G1 溢出中断标志位 T16G1IF 和中断使能位 T16G1IE 都需通过软件清除。

7.5.8 LVD 中断

当 VDD 电压小于 LVDC 寄存器设置的阈值电压时, 低电压中断产生, 中断标志 LVDIF 位被置“1”。如果中断使能位 LVDIE 置为“1”, 且全局中断控制位 GIE 使能时, 则向 CPU 发出 LVD 中断请求。当 LVD 中断条件允许时, 系统将进入相应中断的服务程序入口地址, 进行中断程序处理。需要注意的是, LVD 中断标志位 LVDIF 和中断使能位 LVDIE 都需通过软件清除。

7.5.9 ACP 中断

当比较器的输出有变化时, ACP 中断产生, 中断标志 ACPIF 位被置“1”。当 ACP 中断使能位 ACPIE 置为“1”, 且全局中断控制位 GIE 和外围中断使能位 PEIE 使能时, 则向 CPU 发出 ACP 中断请求。当 ACP 中断条件允许时, 系统将进入相应中断的服务程序入口地址, 进行中断程序处理。需要注意的是, ACP 中断标志位 ACPIF 和中断使能位 ACPIE 都需通过软件清除。

7.5.10 中断操作注意事项

用户在使能中断前需先清除相应的中断标志, 避免中断的误触发。

除只读的中断标志 (由硬件清除) 外, 其余的中断标志必须通过软件清除。

为避免中断的发生与中断标志清除操作冲突时, 清除中断标志不成功, 建议用户在进行中断标志清除操作后, 对中断标志清除成功与否进行软件判断。如果操作不成功则再次进行

中断标志清除操作，直到中断标志清除成功为止。用户也可以连续执行两次中断标志清除操作达到相同目的。

7.6 特殊功能寄存器

中断功能由一系列的控制寄存器控制。

INTF0: 中断标志寄存器 0								
Bit	7	6	5	4	3	2	1	0
Name	—	T16G1IF	TEIF	T8NIF	T8P3IF	T8P2IF	T8P1IF	KIF
R/W	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 保留
- Bit 6 T16G1IF: T16G1 中断标志位
0: T16G1 未产生中断
1: T16G1 产生中断（必须软件清零）
- Bit 5 TEIF: T16G1 扩展功能中断标志位
0: 捕捉功能扩展: 未发生捕捉中断
 比较功能扩展: 未发生比较匹配中断
 PWM 功能扩展: 未发生 PWM 中断
1: 捕捉功能扩展: 发生捕捉中断（必须用软件清零）
 比较功能扩展: 发生比较匹配中断（必须用软件清零）
 PWM 功能扩展: 发生 PWM 中断
- Bit 4 T8NIF: T8N 溢出中断标志位
0: T8N 计数未溢出
1: T8N 计数溢出（必须用软件清零）
- Bit 3 T8P3IF: T8P3 中断标志位
0: T8P3 计数器计数未发生匹配
1: T8P3 计数器计数发生匹配（必须软件清零）
- Bit 2 T8P2IF: T8P2 中断标志位
0: T8P2 计数器计数未发生匹配
1: T8P2 计数器计数发生匹配（必须软件清零）
- Bit 1 T8P1IF: T8P1 中断标志位
0: T8P1 计数器计数未发生匹配
1: T8P1 计数器计数发生匹配（必须软件清零）
- Bit 0 KIF: 外部按键中断标志位
0: 外部按键端口无电平变化
1: 外部按键端口有电平变化（必须软件清零）

INTE0: 中断使能寄存器 0								
Bit	7	6	5	4	3	2	1	0
Name	—	T16G1IE	TEIE	T8NIE	T8P3IE	T8P2IE	T8P1IE	KIE
R/W	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 保留
- Bit 6 T16G1IE: T16G1 中断使能位
 0: 禁止
 1: 使能
- Bit 5 TEIE: T16G1 扩展功能中断使能位
 0: 禁止
 1: 使能
- Bit 4 T8NIE: T8N 溢出中断使能位
 0: 禁止
 1: 使能
- Bit 3 T8P3IE: T8P3 中断使能位
 0: 禁止
 1: 使能
- Bit 2 T8P2IE: T8P2 中断使能位
 0: 禁止
 1: 使能
- Bit 1 T8P1IE: T8P1 中断使能位
 0: 禁止
 1: 使能
- Bit 0 KIE: 外部按键中断使能位
 0: 禁止
 1: 使能

INTF1: 中断标志寄存器 1								
Bit	7	6	5	4	3	2	1	0
Name	—	ACPIF	ADIF	LVDIF	PIF3	PIF2	PIF1	PIF0
R/W	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 保留
- Bit 6 ACPIF: ACP 中断标志位
 0: ACP 未产生中断
 1: ACP 产生中断 (必须软件清零)
- Bit 5 ADIF: ADC 中断标志位
 0: 正在进行 A/D 转换
 1: A/D 转换已完成 (必须用软件清零)
- Bit 4 LVDIF: LVD 中断标志位
 0: LVD 未检测到预设低电压
 1: LVD 检测到预设低电压 (必须用软件清零)
- Bit 3 PIF3: PINT3 外部端口中断标志位
 0: 外部端口上无中断信号
 1: 外部端口上有中断信号 (必须用软件清零)
- Bit 2 PIF2: PINT2 外部端口中断标志位
 0: 外部端口上无中断信号
 1: 外部端口上有中断信号 (必须用软件清零)
- Bit 1 PIF1: PINT1 外部端口中断标志位
 0: 外部端口上无中断信号
 1: 外部端口上有中断信号 (必须用软件清零)
- Bit 0 PIF0: PINT0 外部端口中断标志位
 0: 外部端口上无中断信号
 1: 外部端口上有中断信号 (必须用软件清零)

INTE1: 中断使能寄存器 1								
Bit	7	6	5	4	3	2	1	0
Name	—	ACPIE	ADIE	LVDIE	PIE3	PIE2	PIE1	PIE0
R/W	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 保留
- Bit 6 ACPIE: ACP 中断使能位
 0: 禁止
 1: 使能
- Bit 5 ADIE: ADC 中断使能位
 0: 禁止
 1: 使能
- Bit 4 LVDIE: LVD 中断使能位
 0: 禁止
 1: 使能
- Bit 3 PIE3: PINT3 外部端口中断使能位
 0: 禁止
 1: 使能
- Bit 2 PIE2: PINT2 外部端口中断使能位
 0: 禁止
 1: 使能
- Bit 1 PIE1: PINT1 外部端口中断使能位
 0: 禁止
 1: 使能
- Bit 0 PIE0: PINT0 外部端口中断使能位
 0: 禁止
 1: 使能

INTC0: 中断控制寄存器 0								
Bit	7	6	5	4	3	2	1	0
Name	KMSK7	KMSK6	KMSK5	KMSK4	KMSK3	KMSK2	KMSK1	KMSK0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 KMSK7: KIN7 按键输入屏蔽位
 0: 屏蔽
 1: 不屏蔽
- Bit 6 KMSK6: KIN6 按键输入屏蔽位
 0: 屏蔽
 1: 不屏蔽
- Bit 5 KMSK5: KIN5 按键输入屏蔽位
 0: 屏蔽
 1: 不屏蔽
- Bit 4 KMSK4: KIN4 按键输入屏蔽位
 0: 屏蔽
 1: 不屏蔽
- Bit 3 KMSK3: KIN3 按键输入屏蔽位
 0: 屏蔽
 1: 不屏蔽
- Bit 2 KMSK2: KIN2 按键输入屏蔽位
 0: 屏蔽
 1: 不屏蔽
- Bit 1 KMSK1: KIN1 按键输入屏蔽位
 0: 屏蔽
 1: 不屏蔽
- Bit 0 KMSK0: KIN0 按键输入屏蔽位
 0: 屏蔽
 1: 不屏蔽

INTC1: 中断控制寄存器 1								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	PEG3	PEG2	PEG1	PEG0
R/W	—	—	—	—	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7~4 保留
- Bit 3 PEG3: PINT3 触发边沿选择位
0: PINT3 下降沿触发
1: PINT3 上升沿触发
- Bit 2 PEG2: PINT2 触发边沿选择位
0: PINT2 下降沿触发
1: PINT2 上升沿触发
- Bit 1 PEG1: PINT1 触发边沿选择位
0: PINT1 下降沿触发
1: PINT1 上升沿触发
- Bit 0 PEG0: PINT0 触发边沿选择位
0: PINT0 下降沿触发
1: PINT0 上升沿触发

INTG: 中断全局寄存器								
Bit	7	6	5	4	3	2	1	0
Name	GIE	PEIE	—	—	—	—	SOFTIF	INTVEN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 GIE: 全局中断使能位, 或高优先级中断使能位
0: 禁止所有的中断
1: 使能所有未屏蔽的中断
- Bit 6 PEIE: 外围中断使能位
0: 禁止外围接口中断
1: 使能未屏蔽的外围接口中断
- Bit 5~2 未使用
- Bit 1 SOFTIF: 软中断标志位
0: 无软件中断
1: 有软件中断
- Bit 0 INTVEN: 中断模式选择位
0: 默认中断模式
1: 向量中断模式

第8章 芯片配置字

寄存器名称	芯片配置字 (CFG_USER)	
OSCS<2:0>	bit2-0	振荡器选择位 000: LP 晶振/谐振器连接到 PA4 和 PA5 001: RC 模式: CLKO 从 PA4 输出, RC 电路接到 PA5 010: HS 模式: 晶体振荡器连接到 PA4 和 PA5 011: RCIO 模式: PA4 为 I/O, RC 电路接到管脚 PA5 100: XT 模式: 晶体振荡器连接到 PA4 和 PA5 101: 保留未用 110: INTOSCO 模式: CLKO 从 PA4 输出, PA5 为 I/O 111: INTOSC 模式: PA4 为 I/O, PA5 为 I/O
WDTEN	bit3	硬件看门狗使能位 0: 禁止 1: 使能
PWRTEB	bit4	上电定时器使能位 0: 使能 1: 禁止
MRSTEN	bit5	N_MRST 管脚功能选择位 0: 管脚用于数字输入 1: 管脚用于外部复位
BOREN	bit6	掉电复位使能位 (固定为 1)
BORVS<1:0>	bit8-7	掉电复位电压选择位 00: 2.0V (默认) 01: 2.2V 10: 2.7V 11: 保留
—	bit9	— (固定为 1)
—	bit15-10	— (保留, 默认为 0)

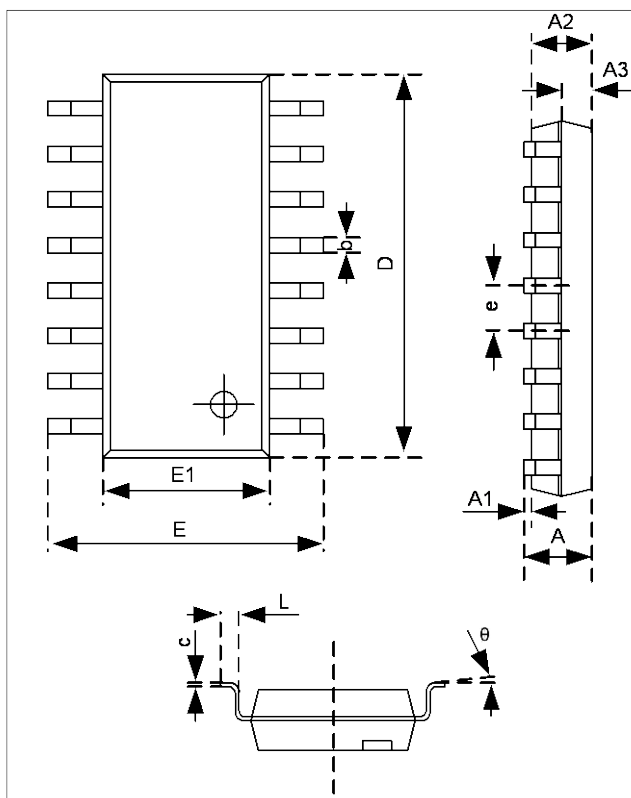
注: CLKO 为系统时钟的 16 分频输出;

OSCS<2:0>	主晶振配置	PA4	PA5
000	外部 LP 振荡器	OSC2	OSC1
001	外部 RC 振荡器	CLKO	OSC1
010	外部 HS 振荡器	OSC2	OSC1
011	外部 RC 振荡器	I/O	OSC1
100	外部 XT 振荡器	OSC2	OSC1
101	-	-	-
110	内部时钟	CLKO	I/O
111	内部时钟	I/O	I/O

第9章 芯片封装图

9.1 16-pin 封装图

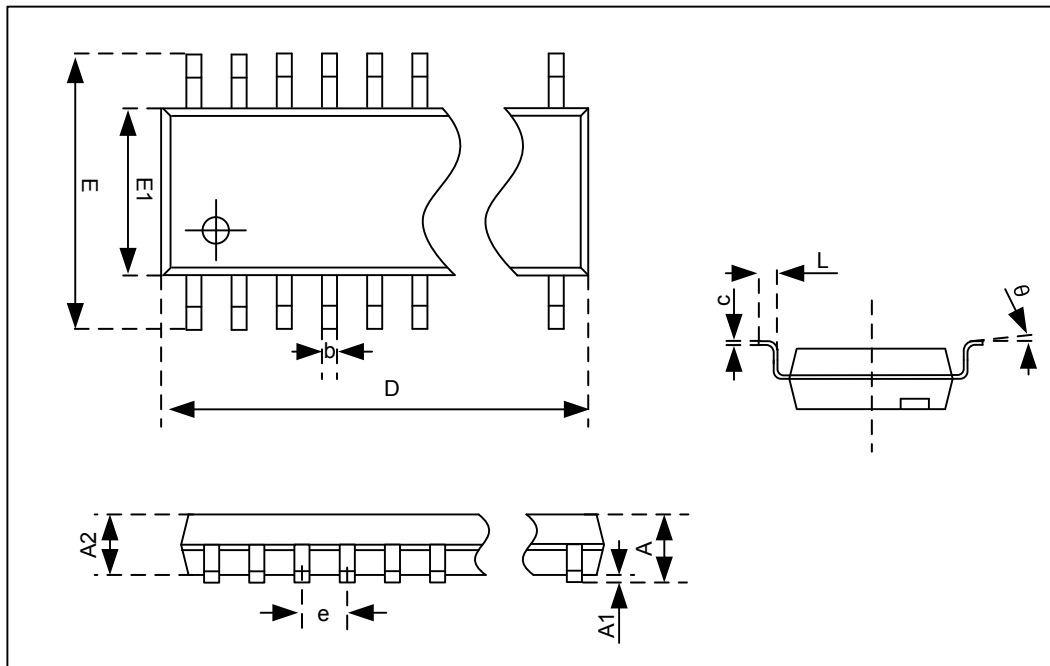
SOP16



标号	公制 (mm)		
	MIN	NOM	MAX
A	—	—	1.75
A1	0.10	—	0.25
A2	1.25	1.40	1.65
b	0.33	—	0.51
c	0.17	—	0.25
D	9.80	9.90	10.20
E	5.80	6.00	6.20
E1	3.80	3.90	4.00
e	1.27 (BSC)		
L	0.40	—	1.27
θ	0°	—	8°

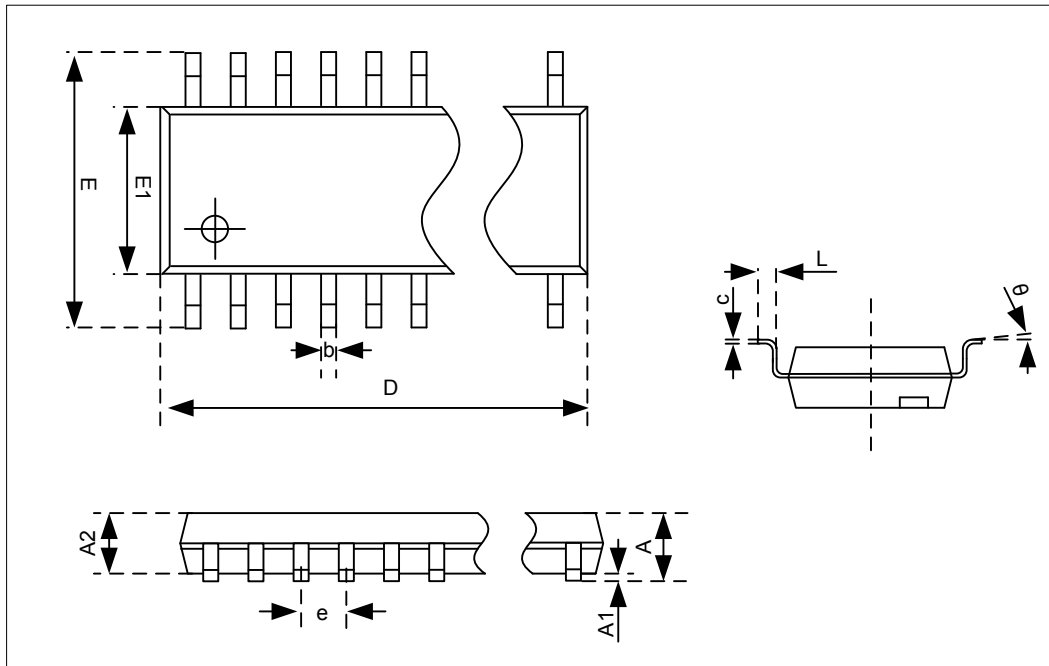
9.2 20-pin 封装图

SOP20



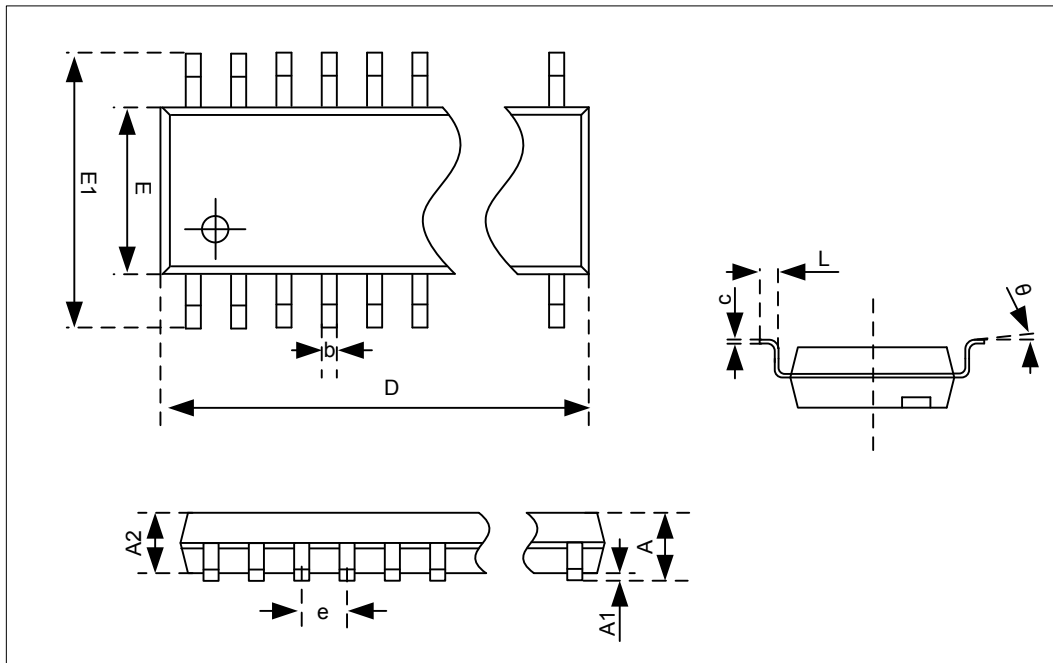
标号	公制 (mm)		
	MIN	NOM	MAX
A	—	—	2.65
A1	0.10	—	0.30
A2	2.05	2.35	2.55
b	0.33	—	0.51
c	0.20	—	0.33
D	12.60	12.80	13.00
E	10.00	10.30	10.60
E1	7.30	7.50	7.70
e	1.27BSC		
L	0.40	—	1.27
θ	0°	—	8°

SSOP20



标号	公制 (mm)		
	MIN	NOM	MAX
A	—	—	1.75
A1	0.10	0.15	0.25
A2	1.25	1.40	1.50
b	0.20	—	0.310
c	0.10	—	0.25
D	8.45	8.65	8.85
E	5.80	6.00	6.20
E1	3.80	3.90	4.00
e	0.635(BSC)		
L	0.40	—	1.27
θ	0°	—	8°

TSSOP20



标号	公制 (mm)		
	MIN	NOM	MAX
A	—	—	1.20
A1	0.05	—	0.15
A2	0.80	—	1.05
b	0.19	—	0.30
c	0.09	—	0.20
D	6.40	6.50	6.60
E	4.30	4.40	4.50
E1	6.20	6.40	6.60
e	0.65BSC		
L	0.45	0.60	0.75
θ	0°	—	8°

附录1 指令集

附录1.1 概述

本芯片提供了 79 条精简指令。

汇编指令为了方便程序设计者使用，指令名称大多是由指令功能的英文缩写所组成的。这些指令所组成的程序经过编译器的编译与连接后，会被转换为相对应的指令码。转换后的指令码可以分为操作码（OP Code）与操作数（Operand）两个部分。操作码部分对应到指令本身。

芯片运行在 4MHz 振荡时钟时，一个机器周期的时间为 500ns。

按照指令执行的机器周期数可将指令分为双周期指令和单周期指令，其中 CALL、GOTO、JUMP、RET、RETIA、RETIE 为双周期指令；满足跳转条件时，JBC、JBS、JDEC、JINC 指令为双周期指令，否则为单周期指令；其它指令为单周期指令。

附录1.2 寄存器操作指令

序号	指令		影响状态位	机器周期	操作
1	SECTION	I<7:0>	-	1	本芯片不支持该条指令
2	PAGE	I<8:0>	-	1	本芯片不支持该条指令
3	ISTEP	I<7:0>	-	1	IAA+i->IAA(-128≤i≤127)
4	MOVI	I<7:0>	-	1	I<7:0>->(A)
5	MOV	R<7:0>,F	Z,N	1	(R)->(目标)
6	MOVA	R<7:0>	-	1	(A)->(R)
7	MOVAR	R<10:0>	-	1	(A)->({4'h0,R<6:0>})
8	MOVRA	R<10:0>	-	1	({4'h0,R<6:0>})->(A)

附录1.3 程序控制指令

序号	指令		影响状态位	机器周期	操作
9	JUMP	I<7:0>	-	2	PC+1+i<7:0>->PC (-128≤i≤127)
10	AJMP	I<19:0>	-	2	I<10:0>->PC<10:0> I<10:8>->PCRH<2:0>
11	GOTO	I<10:0>	-	2	I<10:0>->PC<10:0>
12	CALL	I<10:0>	-	2	PC+1->TOS,I<10:0>->PC<10:0>
13	LCALL	I<19:0>	-	2	PC+1->TOS,I<10:0>->PC<10:0> I<10:8>->PCRH<2:0>
14	RCALL	R<7:0>	-	2	PC+1->TOS, (R)->PC<7:0>, PCRH<2:0>->PC<10:8>
15	JBC	R<7:0>,B<2:0>	-	2	当 R = 0 时跳过下一条指令
16	JBS	R<7:0>,B<2:0>	-	2	当 R = 1 时跳过下一条指令
17	JCAIE	I<7:0>	-	2	当(A) = I 时跳过下一条指令
18	JCAIG	I<7:0>	-	2	当(A) > I 时跳过下一条指令
19	JCAIL	I<7:0>	-	2	当(A) < I 时跳过下一条指令
20	JCRAE	R<7:0>	-	2	当(R) = (A)时跳过下一条指令
21	JCRAG	R<7:0>	-	2	当(R) > (A)时跳过下一条指令
22	JCRAL	R<7:0>	-	2	当(R) < (A)时跳过下一条指令
23	JCCRE	R<7:0>,B<2:0>	-	2	当 C = R(B)时跳过下一条指令
24	JCCRG	R<7:0>,B<2:0>	-	2	当 C > R(B)时跳过下一条指令
25	JCCRL	R<7:0>,B<2:0>	-	2	当 C < R(B)时跳过下一条指令
26	JDEC	R<7:0>,F	-	2	(R-1)->(目标寄存器), 当目标寄存器的值为 0 时则跳过下一条指令
27	JINC	R<7:0>,F	-	2	(R+1)->(目标寄存器), 当目标寄存器的值为 0 时则跳过下一条指令
28	NOP	-	-	1	空操作
29	POP	-	-	1	AS->A, PSWS->PSW, PCRHS->PCRH
30	PUSH	-	-	1	A->AS, PSW->PSWS, PCRH->PCRHS
31	RET	-	-	2	TOS->PC
32	RETIA	I<7:0>	-	2	I->(A),TOS->PC
33	RETIE	-	-	2	TOS->PC,1->GIE
34	RST	-	全部状态位均被影响	1	软件复位指令
35	CWDT	-	N_TO, N_PD	1	00H->WDT, 0->WDT Prescaler, 1-> N_TO, 1-> N_PD
36	IDLE	-	N_TO,	1	00H->WDT, 0->WDT Prescaler,

序号	指令		影响状态位	机器周期	操作
			N_PD		1-> N_TO, 0-> N_PD
37	ADD	R<7:0>,F	C, DC, Z,OV,N	1	(R)+(A)->(目标)
38	ADDC	R<7:0>,F	C, DC, Z,OV,N	1	(R)+(A)+C->(目标)

附录1.4 算术/逻辑运算指令

序号	指令	影响状态位	机器周期	操作
39	ADDCI	I<7:0>	C, DC, Z,OV,N	1+(A)+C->(A)
40	ADDI	I<7:0>	C, DC, Z,OV,N	1+(A)->(A)
41	AND	R<7:0>,F	Z,N	(A).AND.(R)->(目标)
42	ANDI	I<7:0>	Z,N	1.AND.(A)->(A)
43	BCC	R<7:0>,B<2:0>	-	0->R
44	BSS	R<7:0>,B<2:0>	-	1->R
45	BTT	R<7:0>,B<2:0>	-	(~R)->R
46	CLR	R<7:0>	Z	(R)=0
47	SETR	R<7:0>	-	FF _H ->(R)
48	NEG	R<7:0>	C, DC, Z,OV,N	~(R)+1->(R)
49	COM	R<7:0>,F	Z,N	(~R)->(目标)
50	DAR	R<7:0>,F	C	对(R)十进制调整->(目标)
51	DAA	-	C	对(A)十进制调整->(A)
52	DEC	R<7:0>,F	C, DC, Z,OV,N	(R-1)->(目标)
53	INC	R<7:0>,F	C, DC, Z,OV,N	(R+1)->(目标)
54	IOR	R<7:0>,F	Z,N	(A).OR.(R)->(目标)
55	IORI	I<7:0>	Z,N	1.OR.(A)->(A)
56	RLB	R<7:0>,F,B<2:0>	C,Z,N	C<< R<7:0> <<C
57	RLBNC	R<7:0>,F,B<2:0>	Z,N	R<7:0> << R<7>
58	RRB	R<7:0>,F,B<2:0>	C,Z,N	C>> R<7:0> >>C
59	RRBNC	R<7:0>,F,B<2:0>	Z,N	R<0> >> R<7:0>
60	SUB	R<7:0>,F	C, DC, Z,OV,N	(R)-(A)->(目标)
61	SUBC	R<7:0>,F	C, DC, Z,OV,N	(R)-(A)- (~C)->(目标)
62	SUBCI	I<7:0>	C, DC, Z,OV,N	1-(A)- (~C)->(A)
63	SUBI	I<7:0>	C, DC, Z,OV,N	1-(A)->(A)
64	SSUB	R<7:0>,F	C, DC, Z,OV,N	(A)-(R)->(目标)
65	SSUBC	R<7:0>,F	C, DC, Z,OV,N	(A)-(R)- (~C)->(目标)
66	SSUBCI	I<7:0>	C, DC, Z,OV,N	(A)-1- (~C)->(A)
67	SSUBI	I<7:0>	C, DC, Z,OV,N	(A)-1->(A)
68	SWAP	R<7:0>,F	-	R<3:0>->(目标)<7:4>, R<7:4>->(目标)<3:0>
69	TBR		-	Pmem(FRA)->ROMD
70	TBR#1		-	Pmem(FRA)-> ROMD, FRA+1->FRA
71	TBR_1		-	Pmem(FRA)-> ROMD, FRA-1->FRA
72	TBR1#		-	FRA+1->FRA, Pmem(FRA)-> ROMD
73	TBW		-	本芯片不支持该条指令

序号	指令	影响状态位	机器周期	操作
74	TBW#1	-	2	本芯片不支持该条指令
75	TBW_1	-	2	本芯片不支持该条指令
76	TBW1#	-	2	本芯片不支持该条指令
77	XOR	R<7:0>, F	1	(A).XOR.(R)->(目标)
78	XORI	I<7:0>	1	I.XOR.(A)->(A)

注：指令集说明

1. i—立即数，F—标志位，A—寄存器 A，R—寄存器 R，B—寄存器 R 的第 B 位。
2. C—进位/借位，DC—半进位/半借位，Z—零标志位，OV—溢出标志位，N—负标志位。
3. TOS—顶级堆栈。
4. 如果 F = 0，则目标寄存器为寄存器 A；如果 F = 1，则目标寄存器为寄存器 R。
5. 79 条指令中另有一条 NOP 指令未在上表中描述。
6. SECTION 指令中，I 的位数，视实际芯片而定。本芯片通用数据存储器 GPR 就 1 个存储体组，所以 N 的位数是 1 位，固定为 0。
7. PAGE 指令中，I 的位数，视实际芯片而定。本芯片没有 PCRU 寄存器，I 的位数是 1 位。
8. 部分指令中，PC 的位数以及 PCRU 寄存器，视实际芯片而定。本芯片 PC 的位数是 11 位。

附录2 特殊功能寄存器总表

地址	名称	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	上电复位值
FF80 _H	IAD	IAD<7:0>								0000 0000
FF81 _H	IAAL	IAAL<7:0>								0000 0000
FF82 _H	IAAH	IAAH<7:0>								0000 0000
FF83 _H	PSW	—	UF	OF	N	OV	Z	DC	C	x00x xxxx
FF84 _H	AREG	A<7:0>								xxxx xxxx
FF85 _H	MULA/MULL	MULA<7:0> / MULL<7:0>								xxxx xxxx
FF86 _H	MULB/MULH	MULB<7:0> / MULH<7:0>								xxxx xxxx
FF87 _H	FRAL	FRAL<7:0>								xxxx xxxx
FF88 _H	FRAH	FRAH<7:0>								xxxx xxxx
FF89 _H	ROMDL	ROMDL<7:0>								xxxx xxxx
FF8A _H	ROMDH	ROMDH<7:0>								xxxx xxxx
FF8B _H	PCRL	PCRL<7:0>								0000 0000
FF8C _H	PCRH	—	—	—	—	—	PCRH<2:0>			0000 0000
FF8D _H	—	—								—
FF8E _H	PA	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0	xxxx xxxx
FF8F _H	PAT	PAT7	PAT6	PAT5	PAT4	PAT3	PAT2	PAT1	PAT0	1111 1111
FF90 _H	PB	—	—	PB5	PB4	PB3	PB2	PB1	PB0	00xx xxxx
FF91 _H	PBT	—	—	PBT5	PBT4	PBT3	PBT2	PBT1	PBT0	0011 1111
FF92 _H	PC	—	—	—	—	PC3	PC2	PC1	PC0	0000 xxxx
FF93 _H	PCT	—	—	—	—	PCT3	PCT2	PCT1	PCT0	0000 1111
FF94 _H	N_PAU	N_PAU7	N_PAU6	N_PAU5	N_PAU4	N_PAU3	N_PAU2	N_PAU1	N_PAU0	1111 0111
FF95 _H	N_PBU	—	—	N_PBU5	N_PBU4	N_PBU3	N_PBU2	N_PBU1	N_PBU0	0011 1111
FF96 _H	N_PCU	—	—	—	—	N_PCU3	N_PCU2	N_PCU1	N_PCU0	0000 1111
FF97 _H	PALC	PALC7	PALC6	PALC5	PALC4	—	PALC2	PALC1	PALC0	0000 0000

地址	名称	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	上电复位值
FF98 _H	PBLC	—	—	PBLC5	PBLC4	PBLC3	PBLC2	PBLC1	PBLC0	0000 0000
FF99 _H	PCLC	—	—	—	—	PCLC3	PCLC2	PCLC1	PCLC0	0000 0000
FF9A _H	ANS0	ANPB1	ANPB2	ANPB0	ANPC1	ANPC0	ANPA2	ANPA1	ANPA0	0000 0011
FF9B _H	ANS1	—	—	—	—	—	—	—	ANPA6	0000 0000
FF9C _H	—	—	—	—	—	—	—	—	—	—
FF9D _H	INTF0	—	T16G1F	TEIF	T8NIF	T8P3IF	T8P2IF	T8P1IF	KIF	0000 0000
FF9E _H	INTE0	—	T16G1E	TEIE	T8NIE	T8P3IE	T8P2IE	T8P1IE	KIE	0000 0000
FF9F _H	INTC0	KMSK7	KMSK6	KMSK5	KMSK4	KMSK3	KMSK2	KMSK1	KMSK0	0000 0000
FFA0 _H	INTG	GIE	PEIE	—	—	—	—	SOFTIF	INTVEN	0000 0000
FFA1 _H	LVDC	LVDLS	—	—	LVDEN	—	—	LVDV<1:0>		0001 0000
FFA2 _H	INTF1	—	ACPIF	ADIF	LVDIF	PIF3	PIF2	PIF1	PIF0	0000 0000
FFA3 _H	INTE1	—	ACPIE	ADIE	LVDIE	PIE3	PIE2	PIE1	PIE0	0000 0000
FFA4 _H	INTC1	—	—	—	—	PEG3	PEG2	PEG1	PEG0	0000 0000
FFA5 _H	N_PAD	N_PAD7	N_PAD6	N_PAD5	N_PAD4	—	N_PAD2	N_PAD1	N_PAD0	1111 0111
FFA6 _H	N_PBD	—	—	N_PBD5	N_PBD4	N_PBD3	N_PBD2	N_PBD1	N_PBD0	0011 1111
FFA7 _H	PWRC	LPM	VRST<1:0>		N_RSTI	N_TO	N_PD	N_POR	N_BOR	0101 110x
FFA8 _H	OSCC	CLKSS	FOSCS<2:0>			T16GOSCF	WDTOSCF	HSOSCF	LPOS CF	0110 x10x
FFA9 _H	WKDC	WKDC<7:0>								1111 1111
FFAA _H	OSCP	OSCP<7:0>								1111 1111
FFAB _H	WDTC	—	—	—	WDTPRE	WDTPRS<3:0>				0001 0111
FFAC _H	PWEN	—	SW_WDT	SW_HS	SW_LP	BORFLT<1:0>		RCEN	—	0100 1110
FFAD _H	VRSTC	—	—	—	—	VRSTC<3:0>				0000 0000
FFAE _H	N_PCD	—	—	—	—	N_PCD3	N_PCD2	N_PCD1	N_PCD0	0000 1111
FFAF _H	—	—	—	—	—	—	—	—	—	—
FFB0 _H	T8N	T8N<7:0>								0000 0000

地址	名称	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	上电复位值
FFB1 _H	T8NC	T8NEN	—	T8NM	T8NEG	T8NPRE	T8NPRS<2:0>			0000 0000
FFB2 _H	T8P1	T8P1<7:0>								0000 0000
FFB3 _H	T8P1C	T8P1M	T8P1POS<3:0>				T8P1E	T8P1PRS<1:0>		0000 0000
FFB4 _H	T8P1P	T8P1P<7:0>								1111 1111
FFB5 _H	T8P1RL	T8P1RL<7:0>								0000 0000
FFB6 _H	T8P1RH	T8P1RH<7:0>								0000 0000
FFB7 _H	T8P1OC	—	—	—	—	—	—	PWM11EN	PWM10EN	0000 0000
FFB8 _H	EPWM1C	T8P1PMS	P1M1	—	PWM1CKS	—	—	EPWM1M<1:0>		0000 0000
FFB9 _H	PDD1C	PRSEN1	PDD1C<6:0>							0000 0000
FFBA _H	TE1AS	EPWM1ASF	—	EPWM1AS1	EPWM1AS0	—	—	PSS1BD<1:0>		0000 0000
FFBB _H	T16G1L	T16G1L<7:0>								xxxx xxxx
FFBC _H	T16G1H	T16G1H<7:0>								xxxx xxxx
FFBD _H	T16G1PL	T16G1PL<7:0>								1111 1111
FFBE _H	T16G1PH	T16G1PH<7:0>								1111 1111
FFBF _H	T16G1RL	T16G1RL<7:0>								0000 0000
FFC0 _H	T16G1RH	T16G1RH<7:0>								0000 0000
FFC1 _H	T16G1CL	T16G1GINV	T16G1GEN	T16G1PRS<1:0>		T16G10SCEN	T16G1SYN	T16G1CS	T16GON	0000 0000
FFC2 _H	T16G1CH	T16G1ZCDM<1:0>		T16G1ZCDP	T16G1REX	T16G1M<3:0>				00x0 0000
FFC3 _H	T16GOC	T16G13INV	T16G12INV	T16G11INV	T16G10INV	T16G13EN	T16G12EN	T16G11EN	T16G10EN	0000 0000
FFC4 _H	ADCC0	ADVREFS<2:0>			ADCHS<2:0>			ADTRG	ADEN	0000 0000
FFC5 _H	ADCC1	ADFM	ADCS<2:0>			ADST<3:0>				0000 1000
FFC6 _H	ADCC2	VDET_SEL<1:0>		ADSS<1:0>		AD2VCALS	VDET_EN	EXTTIG_PEG	EXTTIG_EN	0000 0000
FFC7 _H	ADCRL	ADCRL<7:0>								xxxx xxxx
FFC8 _H	ADCRH	ADCRH<7:0>								xxxx xxxx
FFC9 _H	TMRADC	TMRADC<7:0>								0000 0000

地址	名称	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	上电复位值	
FFCA _H	ACPC	IB_CFG<1:0>		CNM<1:0>		ACPO	CINV	CM<1:0>		0100 x000	
FFCB _H	CMFT	CMFT<7:0>								0000 0000	
FFCC _H	—	—	—	—	—	—	—	—	—	—	
FFCD _H	—	—	—	—	—	—	—	—	—	—	
FFCE _H	T8P2	T8P2<7:0>								0000 0000	
FFCF _H	T8P2C	T8P2M	T8P2POS<3:0>				T8P2E	T8P2PRS<1:0>		0000 0000	
FFD0 _H	T8P2P	T8P2P<7:0>								1111 1111	
FFD1 _H	T8P2RL	T8P2RL<7:0>								0000 0000	
FFD2 _H	T8P2RH	T8P2RH<7:0>								0000 0000	
FFD3 _H	T8P2OC	—	—	—	—	—	—	PWM21EN	PWM20EN	0000 0000	
FFD4 _H	EPWM2C	T8P2PMS	P1M2	—	PWM2CKS	—	—	EPWM2M<1:0>		0000 0000	
FFD5 _H	PDD2C	PRSEN2	PDD2C<6:0>								0000 0000
FFD6 _H	TE2AS	EPWM2ASF	—	EPWM2AS1	EPWM2AS0	—	—	PSS2BD<1:0>		0000 0000	
FFD7 _H	T8P3	T8P3<7:0>								0000 0000	
FFD8 _H	T8P3C	T8P3M	T8P3POS<3:0>				T8P3E	T8P3PRS<1:0>		0000 0000	
FFD9 _H	T8P3P	T8P3P<7:0>								1111 1111	
FFDA _H	T8P3RL	T8P3RL<7:0>								0000 0000	
FFDB _H	T8P3RH	T8P3RH<7:0>								0000 0000	
FFDC _H	T8P3OC	—	—	—	—	—	—	PWM31EN	PWM30EN	0000 0000	
FFDD _H	EPWM3C	T8P3PMS	P1M3	—	PWM3CKS	—	—	EPWM3M<1:0>		0000 0000	
FFDE _H	PDD3C	PRSEN3	PDD3C<6:0>								0000 0000
FFDF _H	TE3AS	EPWM3ASF	—	EPWM3AS1	EPWM3AS0	—	—	PSS3BD<1:0>		0000 0000	
FFE0 _H	CALPROT	CALPROT<7:0>								0000 0001	
FFE1 _H	OSCCAL	OSCCAL<7:0>								1010 1001	
FFE2 _H	WDTCAL	WDTCAL<7:0>								1111 0000	

地址	名称	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	上电复位值
FFE3 _H ~FFF _H	—	—	—	—	—	—	—	—	—	—

附录3 电气特性

附录3.1 参数特性表

◆ 最大标称值

参数	符号	条件	标称值	单位
电源电压	VDD	-	-0.3 ~ 7.5	V
输入电压	V _{IN}	-	-0.3 ~ VDD + 0.3	V
输出电压	V _{OUT}	-	-0.3 ~ VDD + 0.3	V
存储温度	T _{STG}	-	-55 ~ 125	°C
操作温度	T _{OPR}	VDD: 2.1 ~ 5.5V	-40 ~ 85	°C

◆ 芯片功耗特性参数表

参数	符号	最小值	典型值	最大值	单位	工作条件
芯片供电电压	VDD	2.1		5.5	V	F _{osc} ≤ 2MHz -40°C ~ 85°C
		2.7	-	5.5	V	F _{osc} ≤ 8MHz -40°C ~ 85°C
		3.0	-	5.5	V	F _{osc} ≤ 16MHz -40°C ~ 85°C
IDLE0 休眠模式 下芯片电流	I _{PD1}	-	3	-	μA	25°C, VDD = 5V, BOR 和 WDT 使能, LVD 不使能。
		-	4.4	-	μA	25°C, VDD = 5V, BOR、WDT、LVD 使能。
		-	9.4	-	μA	25°C, VDD = 5V, BOR 使能, LVD 不使能, WDT 不使能, T16G1 使用外部 32K 晶振计数。
IDLE1 休眠模式 下芯片电流 (高速 时钟模式)	I _{PD2}	-	587	-	μA	25°C, VDD = 5V, BOR 使能, WDT 使能。
IDLE1 休眠模式 下芯片电流 (低速 时钟模式)	I _{PD3}	-	34	-	μA	25°C, VDD = 5V, BOR 使能, WDT 使能
正常运行模式 芯片电流 (高速时 钟模式)	I _{OP1}	-	2.5	-	mA	25°C, VDD = 5V, 正常运行模式, 内部 16MHz RC 时钟, I/O 端口输出固定电平, 无负载, ADC 关闭。
正常运行模式 芯片电流 (高速时	I _{OP2}	-	478	-	μA	25°C, VDD = 5V, 正常运行模式, 内部 2MHz RC 时钟(内

参数	符号	最小值	典型值	最大值	单位	工作条件
钟模式)						部 16MHz RC 时钟的 8 分频), I/O 端口输出固定电平, 无负载, ADC 关闭。
正常运行模式 芯片电流 (低速时 钟模式)	I_{OP3}	-	13	-	μA	25°C, VDD = 5V, 正常运行模式, 内部 32KHz RC//外部 LP 模式时钟, BOR 和 LVD 使能, I/O 端口输出固定电平, 无负载, ADC、ACP 关闭。
VDD 管脚的 最大输入电流	I_{MAXVDD}	-	-	55	mA	25°C, VDD = 5V
VSS 管脚的 最大输出电流	I_{MAXVSS}	-	-	120	mA	25°C, VDD = 5V
I/O 端口灌电流	I_{OL}	-	10	-	mA	25°C, VDD = 5V $V_{OL} = 0.6V$
I/O 端口拉电流	I_{OH}	-	7	-	μA	25°C, VDD = 5V $V_{OH} = 4.4V$
大电流 I/O 端口灌 电流	I_{OL}	-	29	-	mA	25°C, VDD = 5V $V_{OL} = 0.6V$
大电流 I/O 端口拉 电流	I_{OH}	-	17	-	mA	25°C, VDD = 5V $V_{OH} = 4.4V$

◆ 芯片输入端口特性表

芯片工作温度范围: -40°C ~ 85°C						
参数	符号	最小值	典型值	最大值	单位	测试条件
PA0~PA2、PA4~PA7、 PB 端口输入高电平 (有 施密特输入特性)	V_{IH}	0.8VDD	-	VDD	V	2.1V ≤ VDD ≤ 5.5V
PA3 端口输入高电平 (无 施密特输入特性)		0.8VDD	-	VDD	V	
PA0~PA2、PA4~PA7、 PB 端口输入低电平	V_{IL}	VSS	-	0.18VDD	V	
PA3 端口输入低电平		VSS	-	0.20VDD	V	
PA0~PA2、PA4~PA7、 PB 端口输入漏电流	I_{IL}	-	-	±1	μA	2.1V ≤ VDD ≤ 5.5V VSS ≤ Vpin ≤ VDD (端口处于高阻状 态)
PA3 端口漏电流		-	-	5	μA	VSS ≤ Vpin ≤ VDD
PA0~PA2、PA4~PA7、 PB 端口输入弱上拉电 流	I_{WPU1}	-	50	-	μA	2.1V ≤ VDD ≤ 5.5V Vpin = VSS

芯片工作温度范围: -40°C ~ 85°C						
参数	符号	最小值	典型值	最大值	单位	测试条件
PA0~PA2、PA4~PA7、PB 端口输入弱下拉电流	I_{WPD1}	-	50	-	μA	$2.1V \leq VDD \leq 5.5V$ $V_{pin} = VSS$
PA3 端口输入弱上拉电流	I_{WPU2}	-	50	-	μA	$2.1V \leq VDD \leq 5.5V$ $V_{pin} = VSS$

◆ 芯片输出端口特性表

芯片工作温度范围: -40°C ~ 85°C						
参数	符号	最小值	典型值	最大值	单位	测试条件
I/O 端口输出高电平	V_{OH}	$VDD-0.7$	-	-	V	$2.1V \leq VDD \leq 5.5V$ $I_{OH} = 2mA$
I/O 端口输出低电平	V_{OL}	-	-	0.6	V	$2.1V \leq VDD \leq 5.5V$ $I_{OL} = 3mA$

◆ 系统时钟要求表

参数	符号	最小值	典型值	最大值	单位	测试条件
系统时钟频率	F_{osc}	-	-	2M	Hz	$2.1V \leq VDD \leq 5.5V$
		-	-	8M	Hz	$2.7V \leq VDD \leq 5.5V$
		-	-	16M	Hz	$3.0V \leq VDD \leq 5.5V$
系统时钟周期	T_{OSC1}	500	-	-	ns	$2.1V \leq VDD \leq 5.5V$
		125	-	-	ns	$2.7V \leq VDD \leq 5.5V$
		62.5	-	-	ns	$3.0V \leq VDD \leq 5.5V$
外部时钟高电平和低电平时间	T_{OSL}, T_{OSH}	15	-	-	ns	-
外部时钟上升和下降时间	T_{OSR}, T_{OSF}	-	-	15	ns	-

◆ 内部 16MHz 时钟校准特性表

校准条件	工作条件	最小值	典型值	最大值	单位
5V, 25°C 将频率校准至 16MHz	25°C, $VDD = 2.1V \sim 5.5V$	15.92	16	16.08	MHz
	-40°C ~ 85°C, $VDD = 2.1V \sim 5.5V$	15.68	16	16.32	MHz

◆ 内部 32KHz 时钟校准特性表

校准条件	工作条件	最小值	典型值	最大值	单位
5V, 25°C 将频率校准至 32KHz	-40°C ~ 85°C, $VDD = 2.1V \sim 5.5V$	29	32	35	KHz

◆ ADC 交流特性表

参数名	符号	说明	最小值	典型值	最大值	单位
分辨率	RR	25°C, VDD=5V, 内部 VDD 参考, f _{ADCCLK} =2MHz, 采样时间为 8 个 ADCCLK	-	12	-	bit
差分线性度	DNL		-	±1.5	-	LSB
积分线性度	INL		-	±2	-	LSB
失调误差	Voffset	25°C, VDD=5V, f _{ADCCLK} =1MHz, 采样时间为 8 个 ADCCLK	-	±2	-	mV
参考电压范围	Vref1	25°C, VDD=5V, 外部参考 VREFP	2 ^{*1}	-	VDD ^{*1}	V
	Vref2	25°C, VDD=5V, 内部 VDD 参考	-	VDD ^{*1}	-	V
	Vref3	25°C, VDD=5V, 内部 4.0V 参考	3.92 ^{*1}	4.0 ^{*1}	4.08 ^{*1}	V
	Vref4	25°C, VDD=5V, 内部 3.0V 参考	2.94 ^{*1}	3.0 ^{*1}	3.06 ^{*1}	V
	Vref5	25°C, VDD=5V, 内部 2.0V 参考	1.96 ^{*1}	2.0 ^{*1}	2.04 ^{*1}	V
	Vref6	25°C, VDD=5V, 内部 1.6V 参考	1.57 ^{*1}	1.60 ^{*1}	1.63 ^{*1}	V
ADC 工作时芯片供电电压	Vpow	内部 VDD 参考或 外部 VREFP 参考	2.5 ^{*1}	-	-	V
		内部参考 1.6V	3 ^{*1}	-	-	V
		内部参考 2.0V	3 ^{*1}	-	-	V
		内部参考 3.0V	3.5 ^{*1}	-	-	V
		内部参考 4.0V	4.5 ^{*1}	-	-	V
模拟电压输入范围	VIN	-	0	-	Vref	V
输入电容	CIN	-	-	40	-	Pf
模拟输入推荐输入电阻	RIN	-	-	10	-	KΩ

注*1: 此处参数为设计理论值;

◆ ADC 转换时间对照表 (VDD 作为参考电压源)

A/D 时钟源选择	工作频率			
	16M	8M	4M	1M
Fosc	不推荐使用 ^{*2}	不推荐使用 ^{*2}	不推荐使用 ^{*2}	T _{ADCCLK} = 1us
Fosc/2	不推荐使用 ^{*2}	不推荐使用 ^{*2}	T _{ADCCLK} = 0.5us	T _{ADCCLK} = 2us
Fosc/4	不推荐使用 ^{*2}	T _{ADCCLK} = 0.5us	T _{ADCCLK} = 1us	T _{ADCCLK} = 4us
Fosc/8	T _{ADCCLK} = 0.5us	T _{ADCCLK} = 1us	T _{ADCCLK} = 2us	T _{ADCCLK} = 8us
Fosc/16	T _{ADCCLK} = 1us	T _{ADCCLK} = 2us	T _{ADCCLK} = 4us	T _{ADCCLK} = 16us
Fosc/32	T _{ADCCLK} = 2us	T _{ADCCLK} = 4us	T _{ADCCLK} = 8us	T _{ADCCLK} = 32us
Fosc/64	T _{ADCCLK} = 4us	T _{ADCCLK} = 8us	T _{ADCCLK} = 16us	T _{ADCCLK} = 64us

注*2: Tad 值不满足设计要求不推荐使用。

◆ ADC 转换时间对照表 (内部电压 4.0/3.0/2.0/1.6V 作为参考电压源)

A/D 时钟源选择	工作频率			
	16M	8M	4M	1M
Fosc	不推荐使用*3	不推荐使用*3	不推荐使用*3	T _{ADCCLK} = 1us
Fosc/2	不推荐使用*3	不推荐使用*3	不推荐使用*3	T _{ADCCLK} = 2us
Fosc/4	不推荐使用*3	不推荐使用*3	T _{ADCCLK} = 1us	T _{ADCCLK} = 4us
Fosc/8	不推荐使用*3	T _{ADCCLK} = 1us	T _{ADCCLK} = 2us	T _{ADCCLK} = 8us
Fosc/16	T _{ADCCLK} = 1us	T _{ADCCLK} = 2us	T _{ADCCLK} = 4us	T _{ADCCLK} = 16us
Fosc/32	T _{ADCCLK} = 2us	T _{ADCCLK} = 4us	T _{ADCCLK} = 8us	T _{ADCCLK} = 32us
Fosc/64	T _{ADCCLK} = 4us	T _{ADCCLK} = 8us	T _{ADCCLK} = 16us	T _{ADCCLK} = 64us

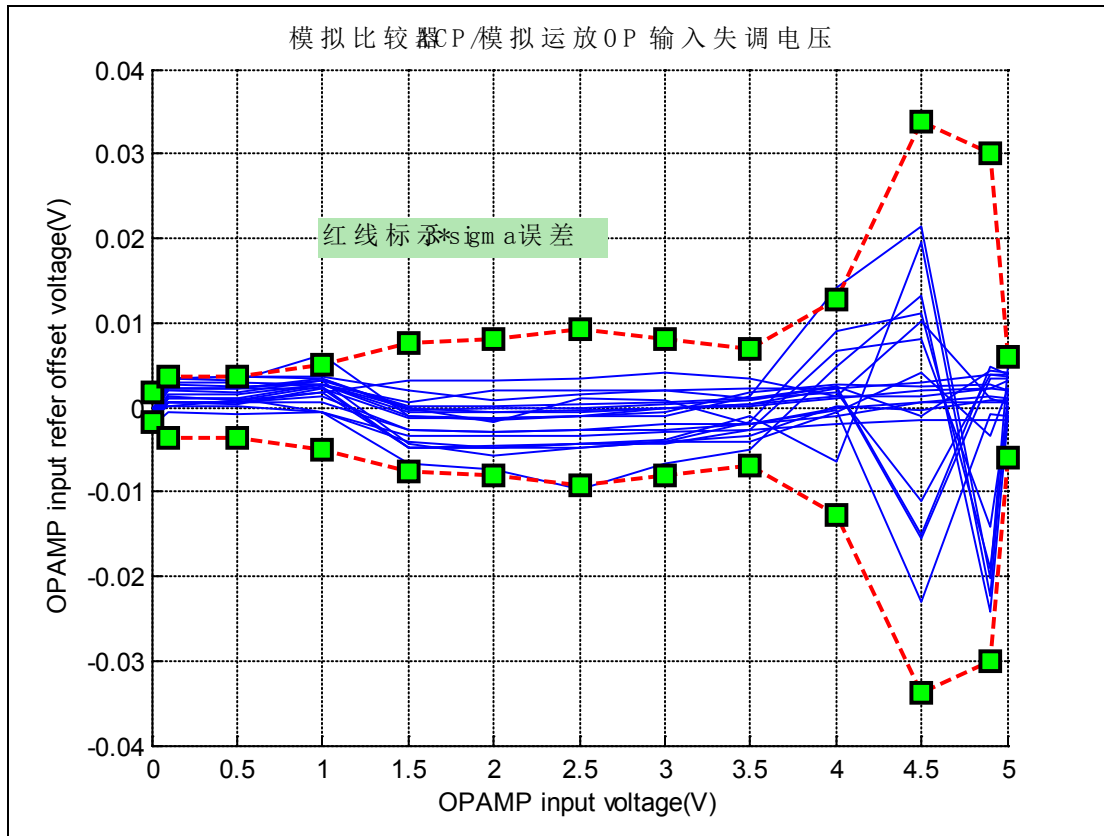
注*2: Tad 值不满足设计要求不推荐使用。

◆ 模拟比较器 ACP 交流特性表

特性	最小值	典型值	最大值	单位
输入失调电压	-	±2	±10	mV
输入共模电压	0	-	VDD-1.5	V
响应时间	-	-	0.8	us

◆ 模拟运放 OP 交流特性表

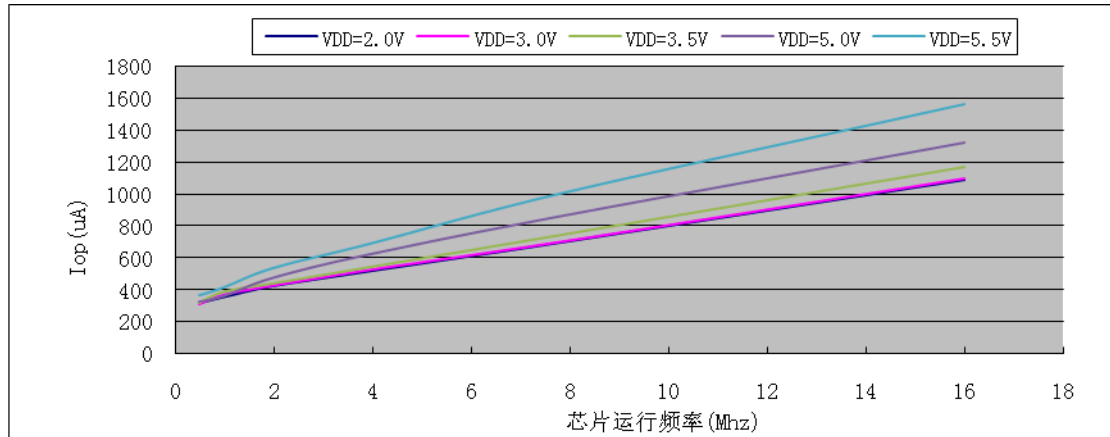
特性	最小值	典型值	最大值	单位
输入失调电压	-	±2	±10	mV
输入共模电压	0	-	VDD-1.5	V
直流增益	-	80	-	dB
单位增益带宽(负载: 100nF)	-	300	-	kHz
输入噪声(>10kHz)	-	100	-	nV / \sqrt{Hz}
Slew rate (负载: 100nF)	-	100	-	V/ms
PSRR@DC	-	70	-	dB



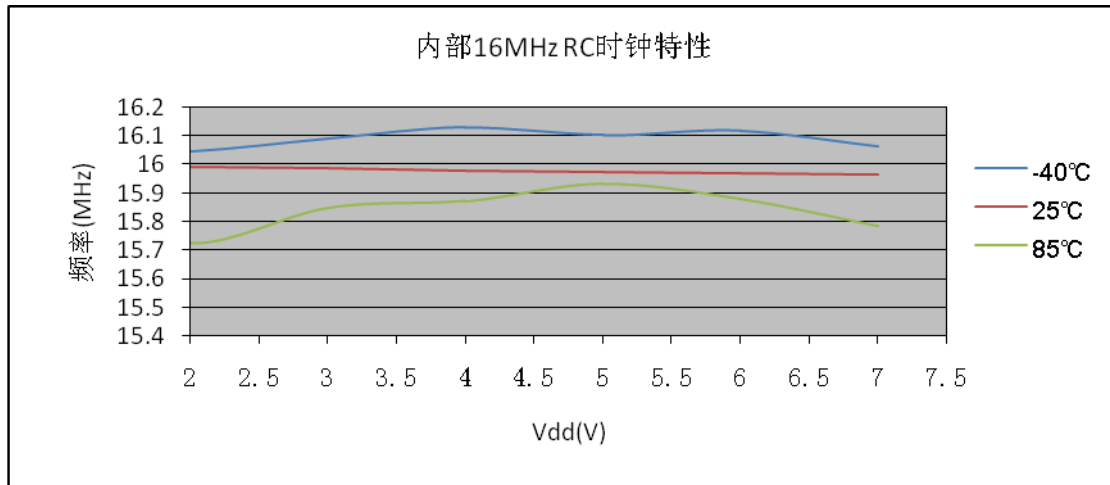
附录3.2 参数特性图

本节中所列图示均为抽样测试，仅作为设计参考之用。其中部分图示中所列的数据已超出指定的操作范围，此类信息也仅供参考，芯片只保证在指定的范围内正常工作。

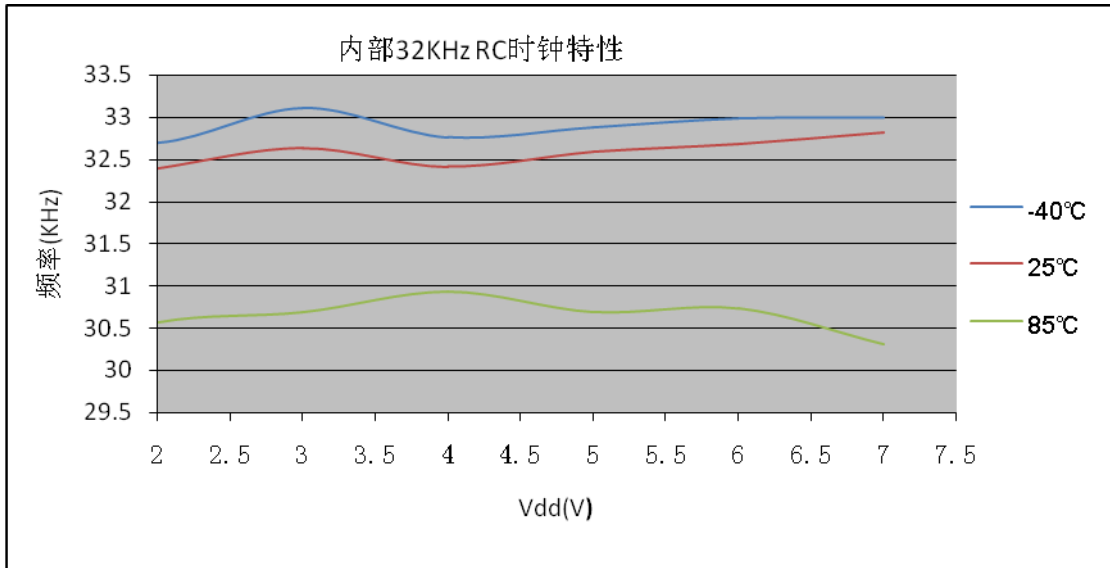
- ◆ 正常运行模式下芯片电流随时钟频率变化图（Fosc 时钟源为内部 16MHz RC 时钟的不同分频，室温 25°C）



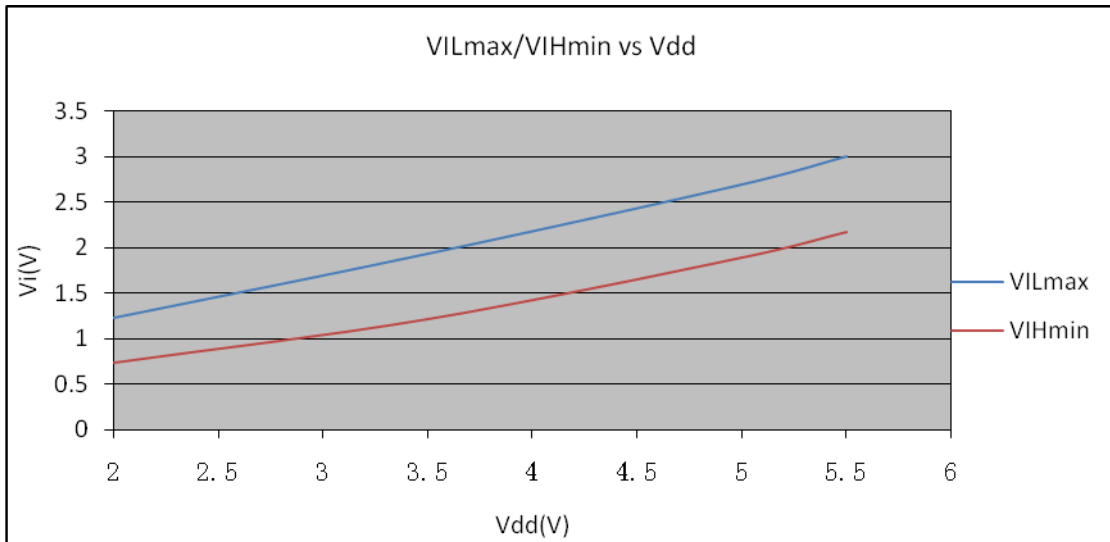
- ◆ 内部 16MHz RC 时钟频率随电源电压的变化图



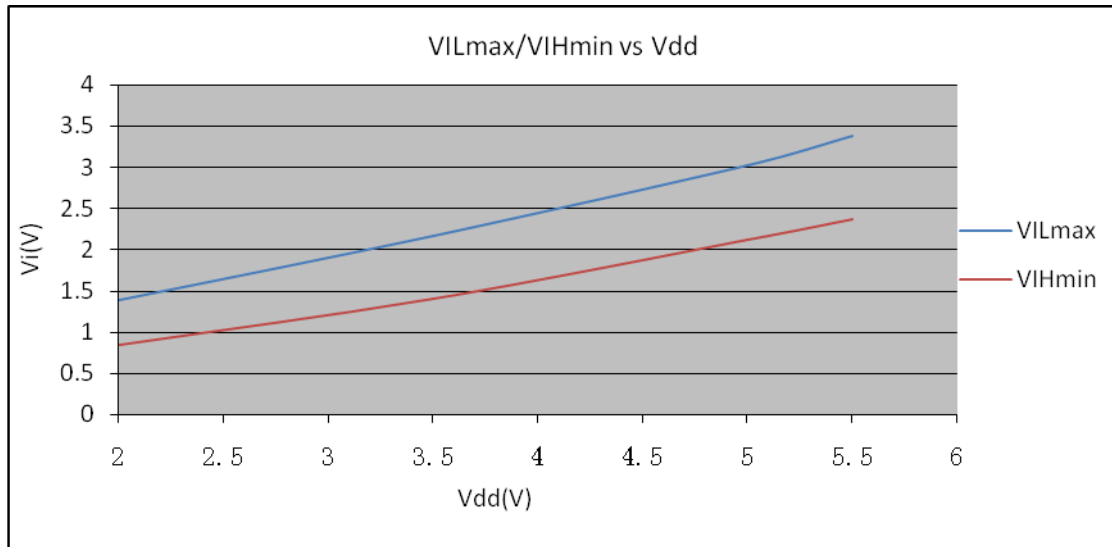
◆ 内部 32KHz RC 时钟频率随电源电压的变化图



◆ PA3 输入特性图 (室温 25°C)

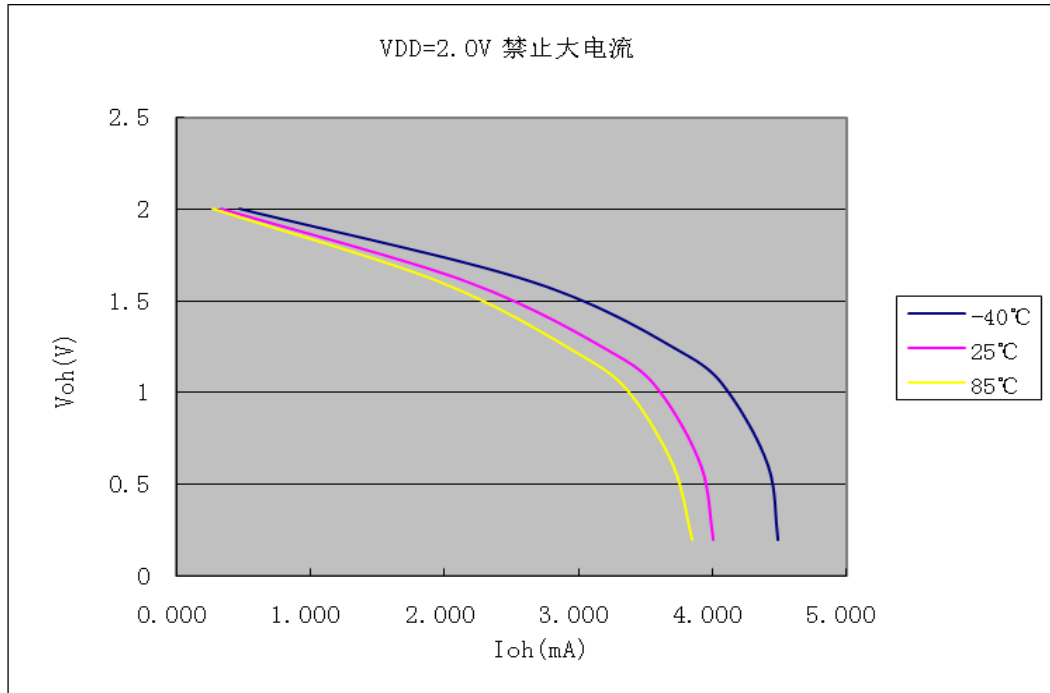


◆ I/O 端口（非 PA3 端口）信号输入特性图（室温 25°C）

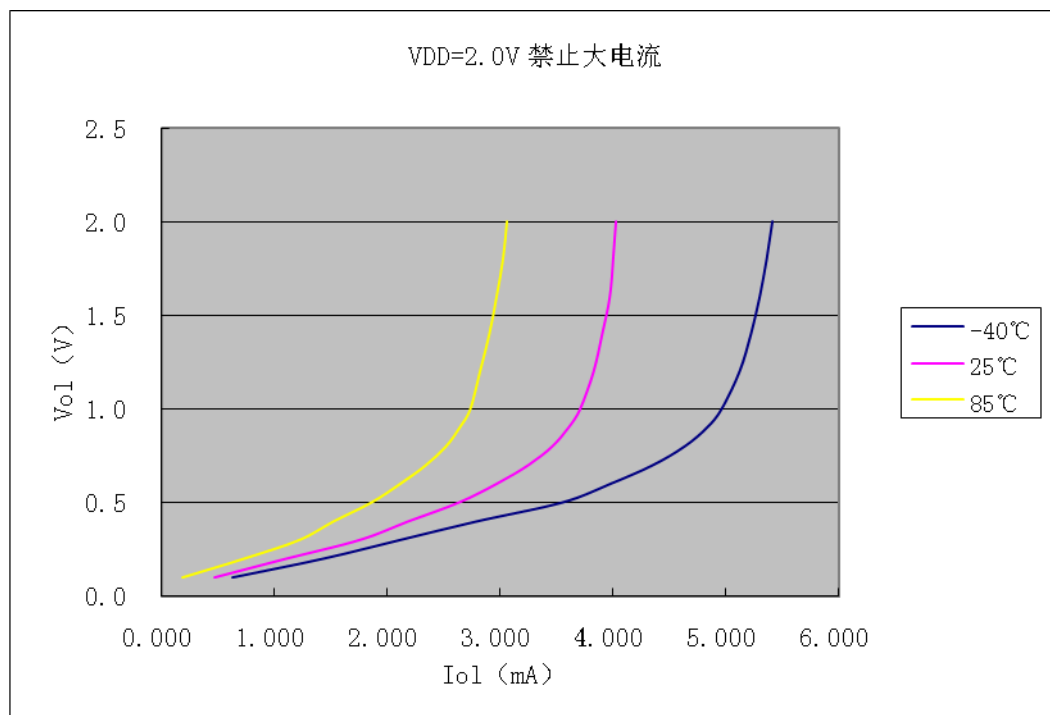


◆ I/O 端口信号输出特性图（非大电流端口）

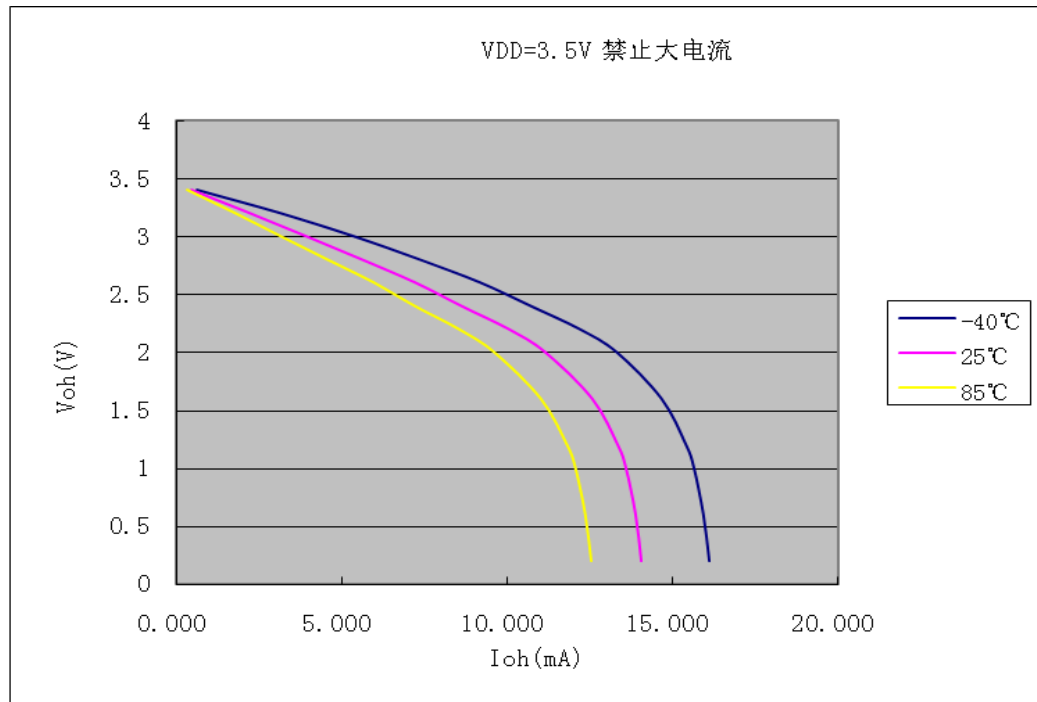
A: V_{OH} vs I_{OH} @VDD=2.0V



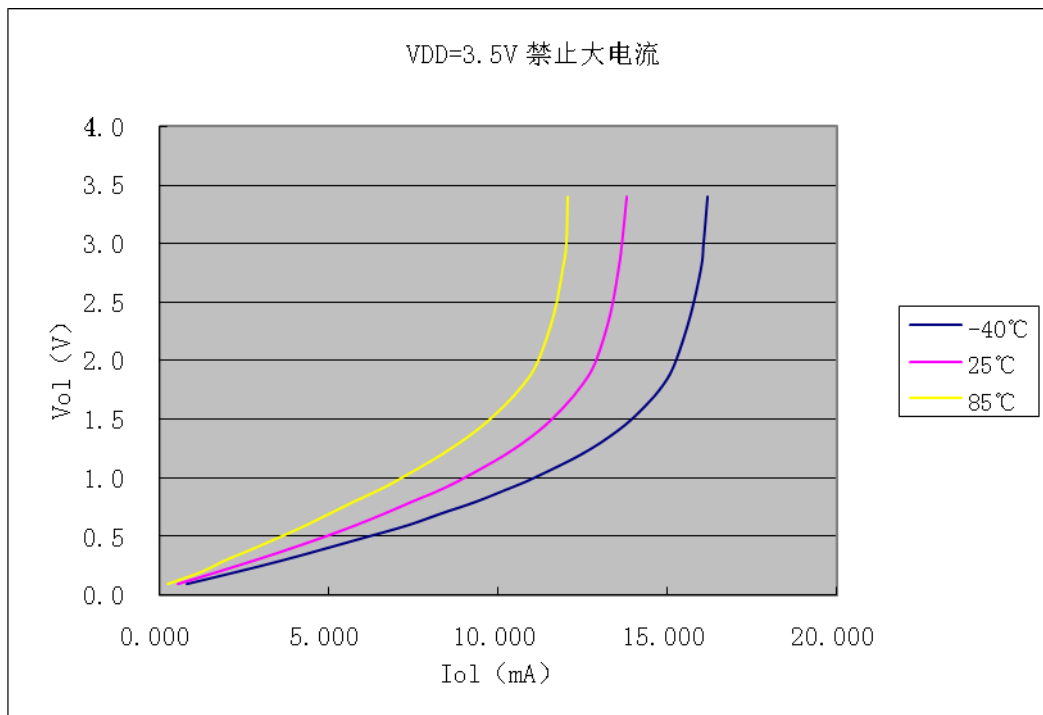
B: V_{OL} vs I_{OL} @VDD=2.0V



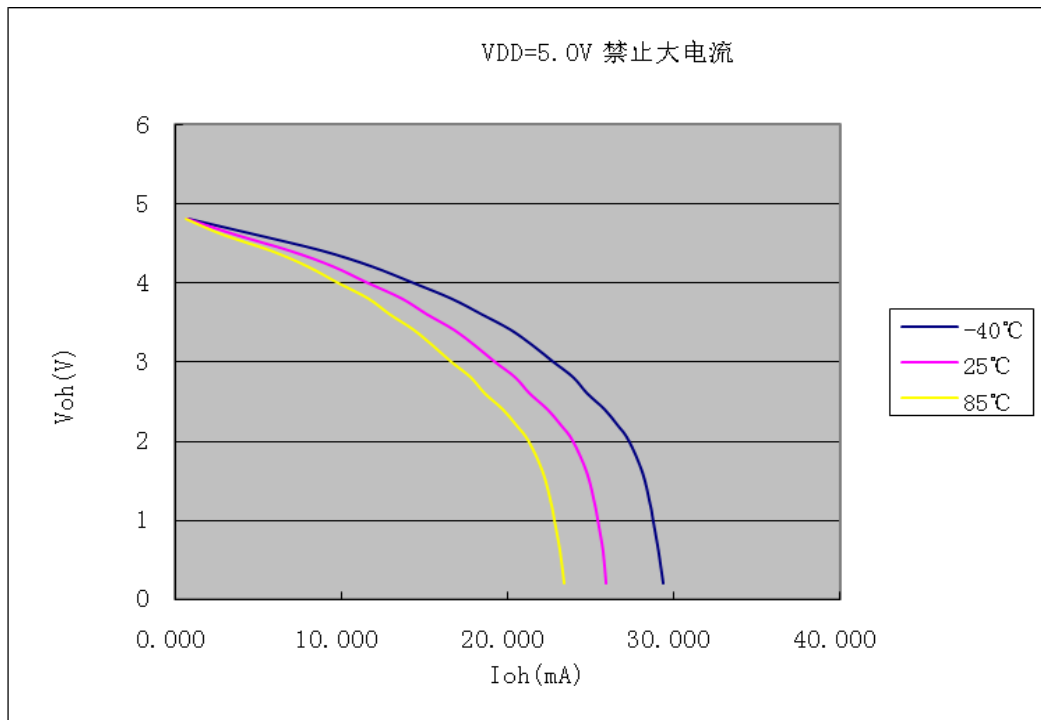
C: V_{OH} vs I_{OH} @VDD=3.5V



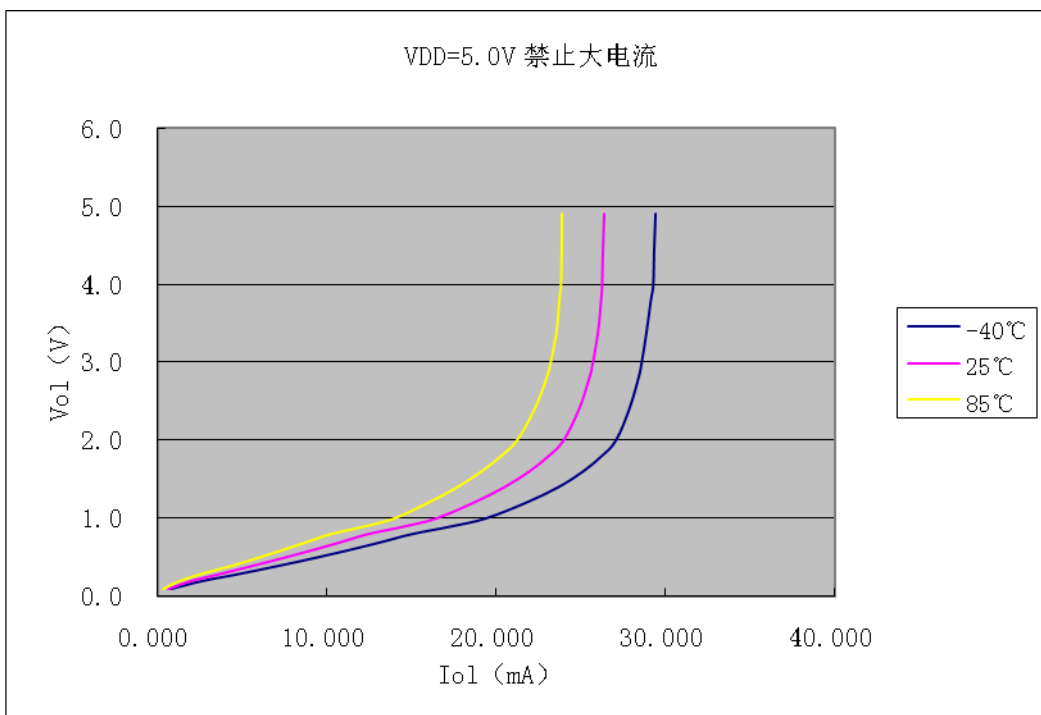
D: V_{OL} vs I_{OL} @VDD=3.5V



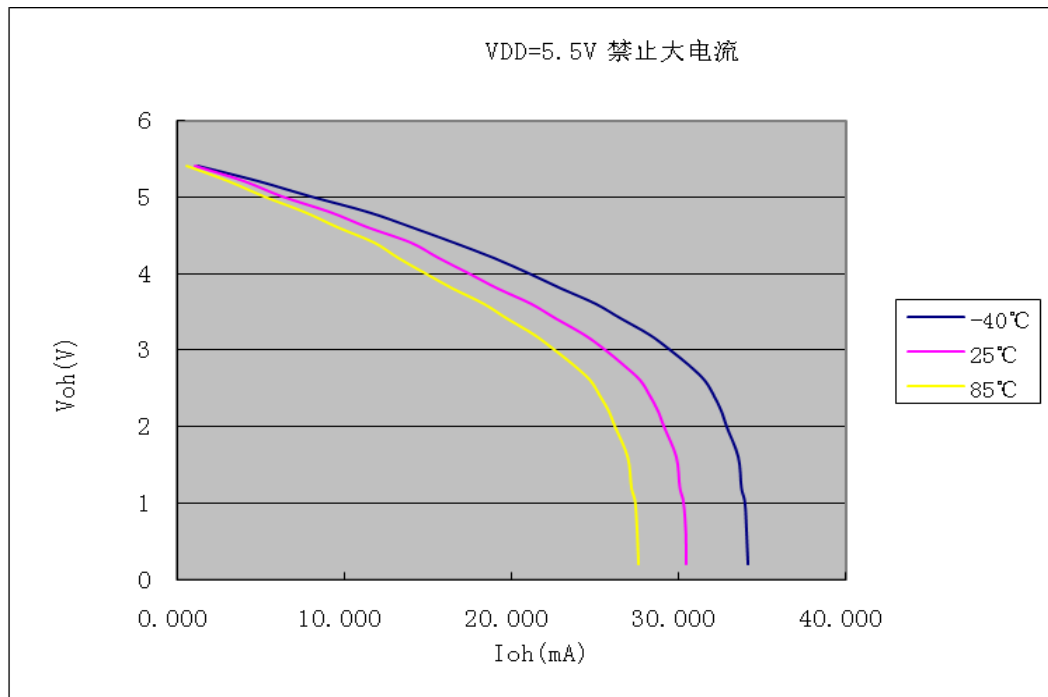
E: V_{OH} vs I_{OH} @VDD=5.0V



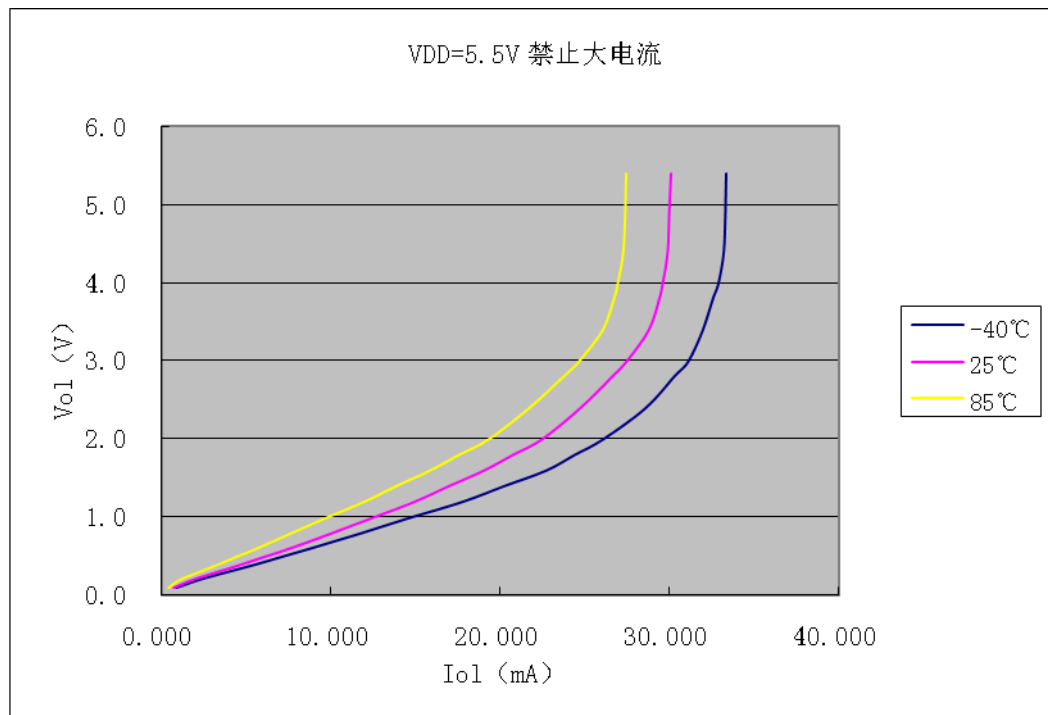
F: V_{OL} vs I_{OL} @VDD=5.0V



G: V_{OH} vs I_{OH} @VDD=5.5V

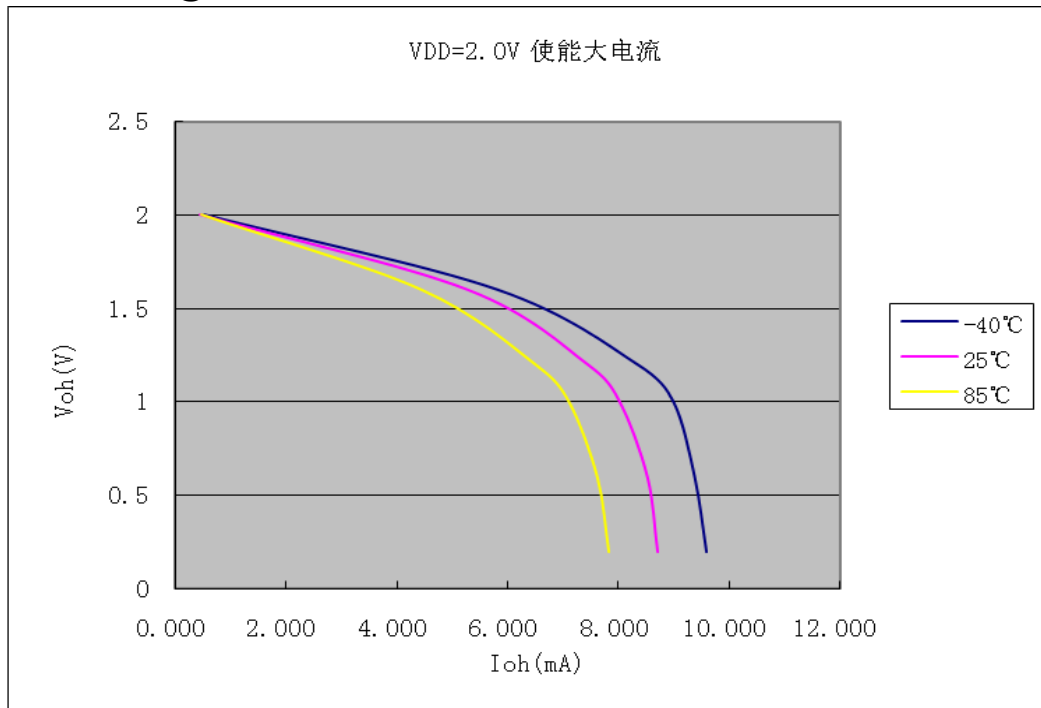


H: V_{OL} vs I_{OL} @VDD=5.5V

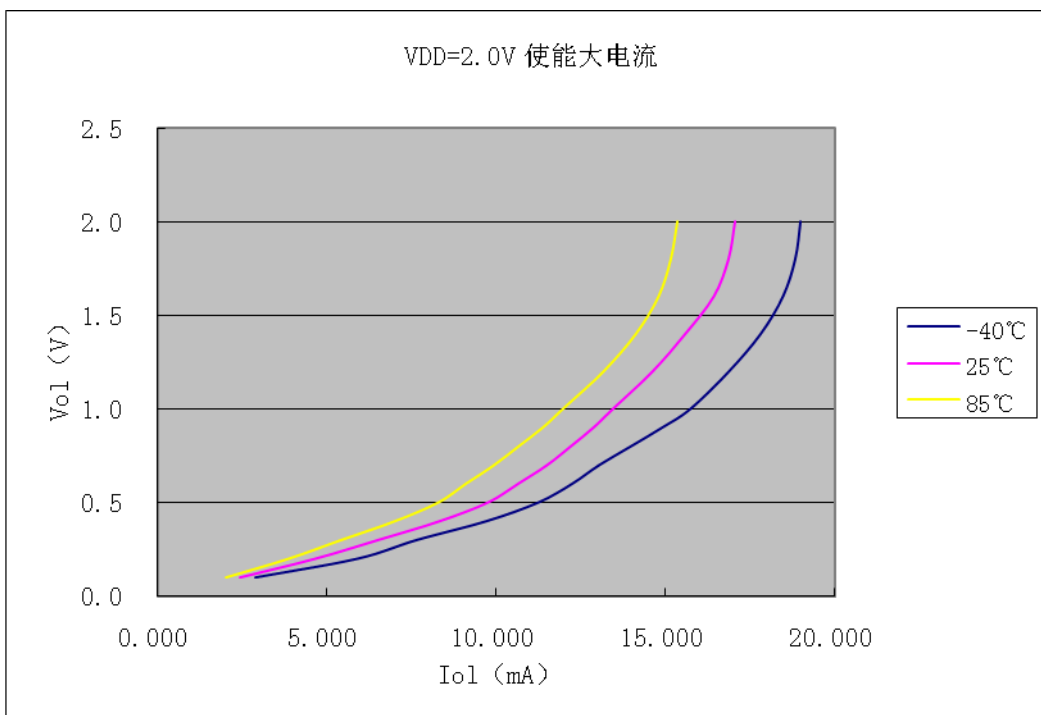


◆ I/O 端口信号输出特性图（大电流端口）

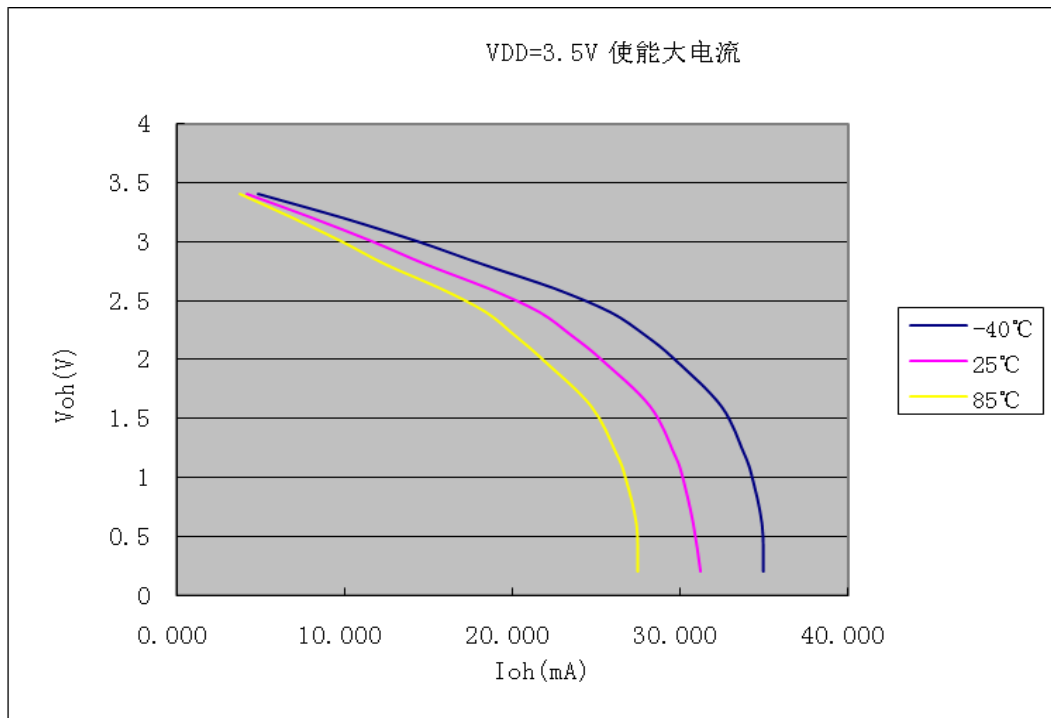
A: V_{OH} vs I_{OH} @VDD=2.0V



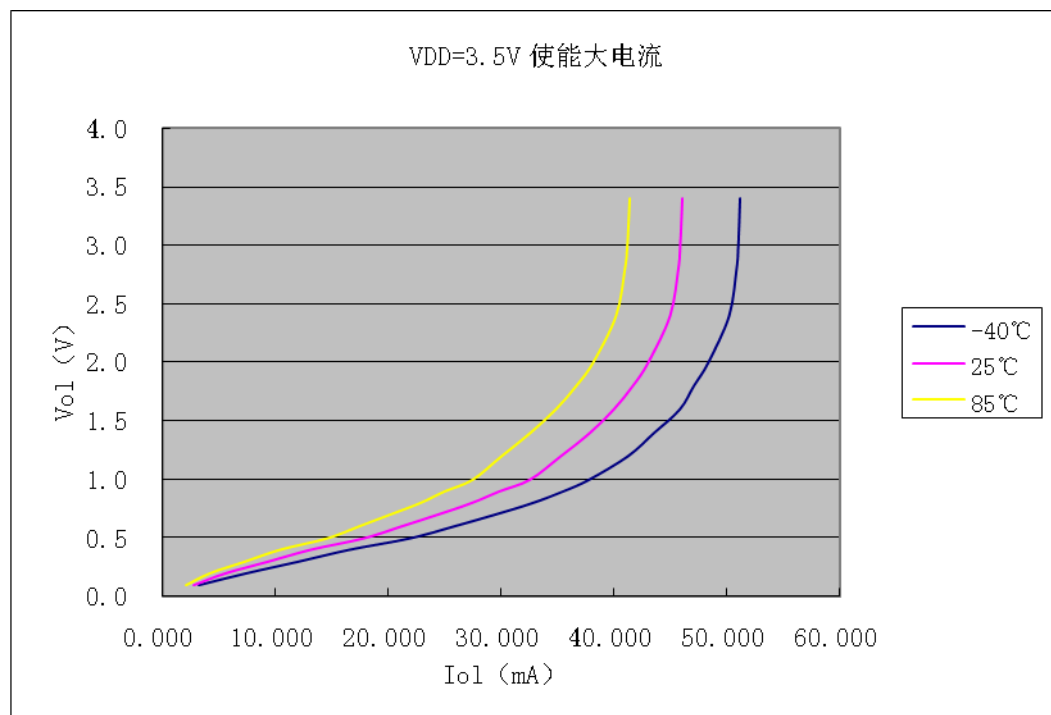
B: V_{OL} vs I_{OL} @VDD=2.0V



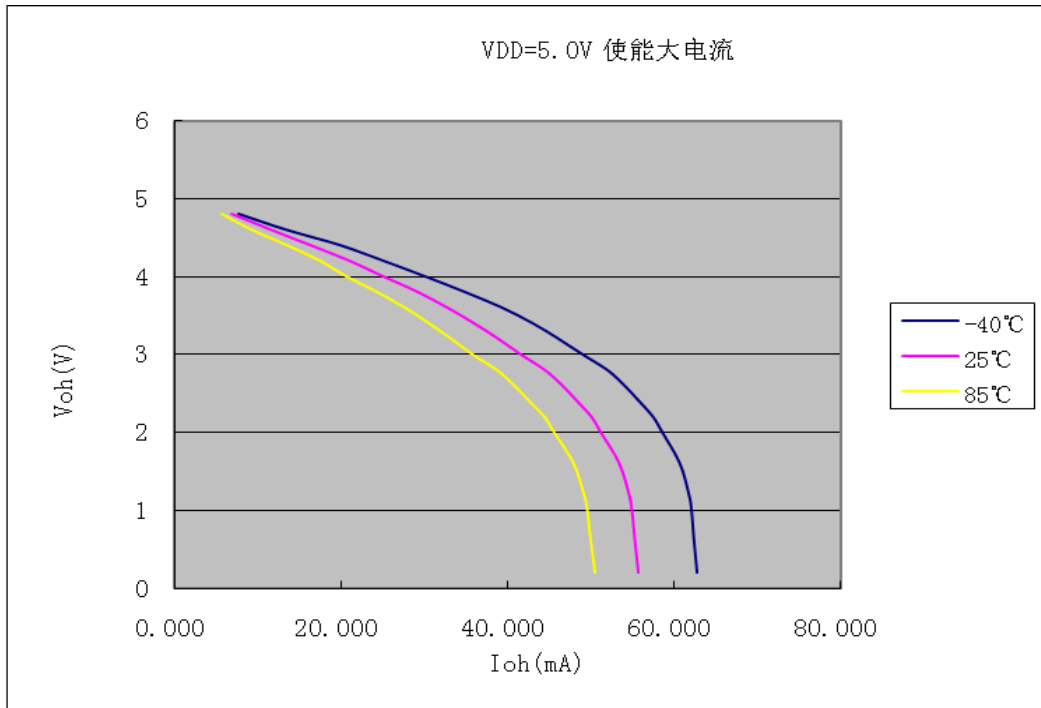
C: V_{OH} vs I_{OH} @VDD=3.5V



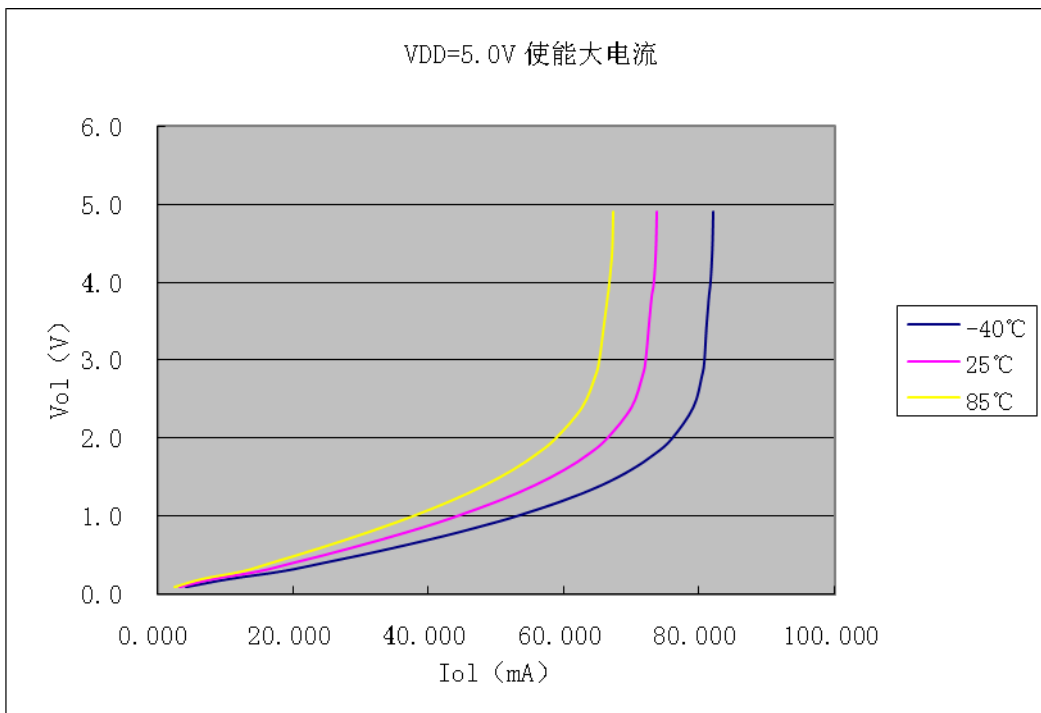
D: V_{OL} vs I_{OL} @VDD=3.5V



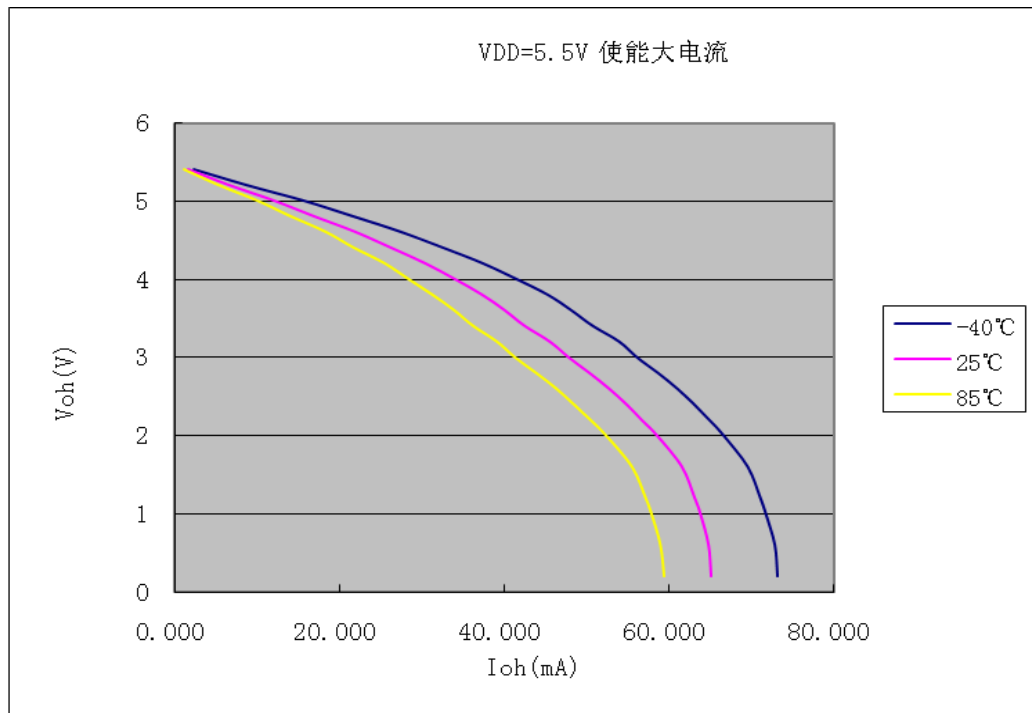
E: V_{OH} vs I_{OH} @VDD=5.0V



F: V_{OL} vs I_{OL} @VDD=5.0V



G: V_{OH} vs I_{OH} @VDD=5.5V



H: V_{OL} vs I_{OL} @VDD=5.5V

