

8 位 MCU
ES7P1751

数 据 手 册

- 产品简介
- 数据手册
- 产品规格

上海东软载波微电子有限公司

2020-12-22

东软载波 MCU 芯片使用注意事项

关于芯片的上/下电

东软载波 MCU 芯片具有独立电源管脚。当 MCU 芯片应用在多电源供电系统时，应先对 MCU 芯片上电，再对系统其它部件上电；反之，下电时，先对系统其它部件下电，再对 MCU 芯片下电。若操作顺序相反则可能导致芯片内部元件过压或过流，从而导致芯片故障或元件退化。具体可参照芯片的数据手册说明。

关于芯片的复位

东软载波 MCU 芯片具有内部上电复位。对于不同的快速上/下电或慢速上/下电系统，内部上电复位电路可能失效，建议用户使用外部复位、下电复位、看门狗复位等，确保复位电路正常工作。在系统设计时，若使用外部复位电路，建议采用三极管复位电路、RC 复位电路。若不使用外部复位电路，建议采用复位管脚接电阻到电源，或采取必要的电源抖动处理电路或其它保护电路。具体可参照芯片的数据手册说明。

关于芯片的时钟

东软载波 MCU 芯片具有内部和外部时钟源。内部时钟源会随着温度、电压变化而偏移，可能会影响时钟源精度；外部时钟源采用陶瓷、晶体振荡器电路时，建议使能起振延时；使用 RC 振荡电路时，需考虑电容、电阻匹配；采用外部有源晶振或时钟输入时，需考虑输入高/低电平电压。具体可参照芯片的数据手册说明。

关于芯片的初始化

东软载波 MCU 芯片具有各种内部和外部复位。对于不同的应用系统，有必要对芯片寄存器、内存、功能模块等进行初始化，尤其是 I/O 管脚复用功能进行初始化，避免由于芯片上电以后，I/O 管脚状态的不确定情况发生。

关于芯片的管脚

东软载波 MCU 芯片具有宽范围的输入管脚电平，建议用户输入高电平应在 V_{IHMIN} 之上，低电平应在 V_{ILMAX} 之下。避免输入电压介于 V_{IHMIN} 和 V_{ILMAX} 之间，以免波动噪声进入芯片。对于未使用的输入/输出管脚，建议设置为输入状态，并通过电阻接至电源或地，或设置为输出状态，输出固定电平。对未使用的管脚处理因应用系统而异，具体遵循应用系统的相关规定和说明。

关于芯片的 ESD 防护措施

东软载波 MCU 芯片具有满足工业级 ESD 标准保护电路。建议用户根据芯片存储/应用的环境采取适当静电防护措施。应注意应用环境的湿度；建议避免使用容易产生静电的绝缘体；存放和运输应在抗静电容器、抗静电屏蔽袋或导电材料容器中；包括工作台在内的所有测试和测量工具必须保证接地；操作者应该佩戴静电消除手腕环手套，不能用手直接接触芯片等。

关于芯片的 EFT 防护措施

东软载波 MCU 芯片具有满足工业级 EFT 标准的保护电路。当 MCU 芯片应用在 PCB 系统时，需要遵守 PCB 相关设计要求，包括电源、地走线（包括数字/模拟电源分离，单/多点接地等等）、复位管脚保护电路、电源和地之间的去耦电容、高低频电路单独分别处理以及单/多层板选择等。

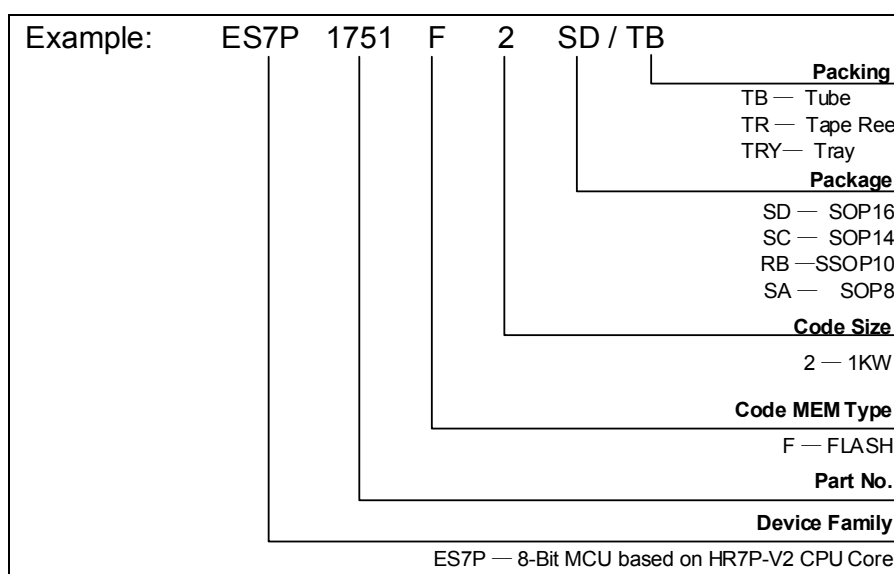
关于芯片的开发环境

东软载波 MCU 芯片具有完整的软/硬件开发环境，并受知识产权保护。选择上海东软载波微电子有限公司或其指定的第三方公司的汇编器、编译器、编程器、硬件仿真器开发环境，必须遵循与芯片相关的规定和说明。

注：在产品开发时，如遇到不清楚的地方，请通过销售或其它方式与上海东软载波微电子有限公司联系。

产品订购信息

Part NO.	工作电压	ROM	SRAM	I/O	ACP	Timer	封装类型
ES7P1751F2SD	2.3V~5.5V	1K Word	128 Byte	14	1	8-bit×3 16-bit×1	SOP16
ES7P1751F2SC				12	1	8-bit×3 16-bit×1	SOP14
ES7P1751F2RB				8	1	8-bit×3 16-bit×1	SSOP10
ES7P1751F2SA				6	0	8-bit×3 16-bit×1	SOP8



地 址：中国上海市龙漕路 299 号天华信息科技园 2A 楼 5 层

邮 编：200235

E-mail: support@essemi.com

电 话：+86-21-60910333

传 真：+86-21-60914991

网 址：http://www.essemi.com

版权所有©

上海东软载波微电子有限公司

本数据手册的信息在发行时是经过核实并且尽最大努力使之精确的。上海东软载波微电子有限公司不为由于使用本数据手册而可能带来的风险或后果负责。手册中的实例仅作为说明用途，上海东软载波微电子有限公司不担保或确认这些实例是合适的、不需进一步修改的、或推荐使用的。上海东软载波微电子有限公司保留不需要通知本数据手册读者而修改本数据手册的权利。如需得到最新的产品信息，请随时用上述联系方式与上海东软载波微电子有限公司联系。

修订历史

版本	修改日期	更改概要
V1.0	2020-4-20	初版发布
V1.1	2020-12-22	1.更新概述工作电压范围、模拟比较器等 等相关描述内容； 2.更新附录'参数特性表'描述内容； 3. 更新各封装 POD 尺寸参数。

目 录

第 1 章	芯片简介	11
1.1	概述	11
1.2	应用领域	13
1.3	结构框图	13
1.4	管脚分配图	14
1.4.1	SOP16 封装图	14
1.4.2	SOP14 封装图	14
1.4.3	SSOP10 封装图	14
1.4.4	SOP8 封装图	15
1.5	管脚说明	16
1.5.1	管脚封装对照表.....	16
1.5.2	管脚复用说明	17
第 2 章	内核特性	19
2.1	CPU 内核概述	19
2.2	系统时钟和机器周期.....	19
2.3	指令集概述	19
2.4	特殊功能寄存器	20
第 3 章	存储资源	23
3.1	程序存储器	23
3.2	程序计数器 (PC) 和硬件堆栈.....	23
3.2.1	程序计数器 (PC)	23
3.2.2	硬件堆栈	24
3.2.3	FLASH 存储器的查表读和 IAP 操作.....	24
3.2.3.1	概述	24
3.2.3.2	FLASH 存储器的查表读.....	24
3.2.3.3	FLASH 存储器的 IAP 擦除.....	25
3.2.3.4	FLASH 存储器的 IAP 编程.....	27
3.2.3.5	特殊寄存器.....	30
3.3	在线编程 ISP 和在线调试 ICD.....	33
3.3.1	特殊功能寄存器.....	33
3.4	数据存储器	35
3.4.1	概述.....	35
3.4.2	寻址方式	36
3.4.2.1	直接寻址	36
3.4.2.2	GPR 特殊寻址	36
3.4.2.3	间接寻址	37
3.4.3	特殊功能寄存器空间	38
3.4.4	特殊功能寄存器.....	41
第 4 章	输入/输出端口	42
4.1	概述	42
4.2	结构框图	43
4.3	I/O 端口弱上拉.....	43

4.4	I/O 端口弱下拉.....	43
4.5	I/O 端口大电流驱动.....	43
4.6	外部按键中断 (KINT).....	44
4.7	外部端口中断 (PINT).....	44
4.8	特殊功能寄存器.....	45
第 5 章	系统控制及操作特性.....	50
5.1	系统时钟和振荡器.....	50
5.1.1	概述.....	50
5.1.2	结构框图.....	50
5.1.3	时钟源.....	50
5.1.3.1	内部高速 16MHz RC 振荡器 HRC.....	50
5.1.3.2	内部低速 32KHz RC 振荡器 LRC.....	50
5.1.4	系统时钟源切换.....	51
5.1.4.1	系统上电时序.....	51
5.1.5	系统时钟分频.....	52
5.1.6	时钟切换等待.....	52
5.1.7	特殊功能寄存器.....	52
5.2	看门狗定时器.....	54
5.2.1	概述.....	54
5.2.2	WDT 操作.....	55
5.2.3	特殊功能寄存器.....	56
5.3	复位模块.....	57
5.3.1	概述.....	57
5.3.2	上电复位 POR.....	57
5.3.3	掉电复位 BOR.....	58
5.3.4	外部 MRSTN 管脚复位.....	58
5.3.4.1	RC 复位电路.....	59
5.3.4.2	PNP 三极管复位电路.....	59
5.3.5	看门狗定时器溢出复位.....	60
5.3.6	RST 指令复位.....	60
5.3.7	特殊功能寄存器.....	61
5.4	低功耗操作.....	62
5.4.1	概述.....	62
5.4.2	IDLE 状态.....	62
5.4.3	唤醒方式配置.....	62
5.4.4	低功耗下的功能模块.....	62
5.4.5	时钟源的关闭和唤醒.....	63
5.4.6	特殊功能寄存器.....	63
第 6 章	外设.....	64
6.1	定时器/计数器模块 (Timer/Counter).....	64
6.1.1	8 位定时器/计数器 (T8N).....	64
6.1.1.1	概述.....	64
6.1.1.2	内部结构图.....	64
6.1.1.3	工作模式.....	64

6.1.1.4	预分频器	65
6.1.1.5	中断标志	65
6.1.1.6	特殊功能寄存器	65
6.1.2	8 位 PWM 时基定时器 (T8P1/T8P2)	67
6.1.2.1	概述	67
6.1.2.2	内部结构图	67
6.1.2.3	预分频器和后分频器	67
6.1.2.4	定时器模式	68
6.1.2.5	标准 PWM 输出模式	68
6.1.2.6	增强型 PWM 输出模式	70
6.1.2.7	EPWM 自动关断和重启	73
6.1.2.8	特殊功能寄存器	75
6.1.3	16 位门控型定时器 T16G1	79
6.1.3.1	概述	79
6.1.3.2	时钟源配置	79
6.1.3.3	预分频器配置	80
6.1.3.4	定时器/计数器模式	80
6.1.3.5	捕捉器模式	80
6.1.3.6	比较器模式	81
6.1.3.7	单边 PWM 模式	81
6.1.3.8	双边 PWM 模式	82
6.1.3.9	T16G1 复用功能输出端口	83
6.1.3.10	过零检测功能	84
6.1.3.11	特殊功能寄存器	85
6.2	模拟比较器 (ACP)	89
6.2.1	概述	89
6.2.2	操作说明	89
6.2.3	控制寄存器	90
6.3	低电压检测模块 (LVD)	91
6.3.1	概述	91
6.3.2	LVD 操作	91
6.3.3	特殊功能寄存器	92
第 7 章	中断处理	93
7.1	概述	93
7.2	中断控制结构框图	93
7.3	中断模式选择	94
7.3.1	默认中断模式	95
7.3.2	向量中断模式	95
7.4	中断现场保护	96
7.5	中断操作	96
7.5.1	外部中断	96
7.5.2	外部按键中断	96
7.5.3	T8N 溢出中断	97
7.5.4	T8Px 匹配中断	97

7.5.5	T16G1 扩展功能中断	97
7.5.6	T16G1 中断	98
7.5.7	LVD 中断	98
7.5.8	ACP 中断	98
7.5.9	中断操作注意事项	98
7.5.10	特殊功能寄存器	99
第 8 章	芯片配置字	103
第 9 章	芯片封装图	105
9.1	SOP16 封装尺寸图	105
9.2	SOP14 封装尺寸图	106
9.3	SSOP10 封装尺寸图	107
9.4	SOP8 封装尺寸图	108
附录 1	指令集	109
附录 1.1	概述	109
附录 1.2	寄存器操作指令	109
附录 1.3	程序控制指令	109
附录 1.4	算术/逻辑运算指令	111
附录 2	特殊功能寄存器总表	113
附录 3	电气特性	118
附录 3.1	参数特性表	118
附录 3.2	参数特性图	121

图目录

图 1-1	ES7P1751 结构框图	13
图 1-2	SOP16 封装图.....	14
图 1-3	SOP14 封装图.....	14
图 1-4	SSOP10 封装图	14
图 1-5	SOP8 封装图.....	15
图 3-1	程序区地址映射和堆栈示意图.....	23
图 3-2	页擦流程图	25
图 3-3	编程流程图.....	28
图 3-4	数据区地址映射示意图.....	35
图 3-5	直接寻址示意图.....	36
图 3-6	GPR 特殊寻址示意图.....	36
图 3-7	间接寻址示意图.....	37
图 4-1	输入/输出端口结构图	43
图 5-1	系统时钟内部结构图	50
图 5-2	系统上电时序图 1 (MRSTN/PA3 配置为 MRSTN 且在最后释放)	51
图 5-3	系统上电时序图 2 (MRSTN/PA3 配置为 GPIO)	52
图 5-4	看门狗定时器内部结构图	55
图 5-5	系统复位内部结构图	57
图 5-6	上电复位时序示意图	57
图 5-7	低电压复位时序示意图.....	58
图 5-8	外部 MRSTN 管脚复位	58
图 5-9	MRSTN 复位参考电路图 1.....	59
图 5-10	MRSTN 复位参考电路图 2.....	59
图 5-11	看门狗溢出复位.....	60
图 5-12	RST 指令复位	60
图 6-1	T8N 内部结构图	64
图 6-2	T8Px 内部结构图	67
图 6-3	标准 PWM 输出示意图.....	69
图 6-4	标准 PWM 输出示意图.....	70
图 6-5	EPWM 单桥输出示意图	71
图 6-6	EPWM 半桥输出示意图	72
图 6-7	EPWM 关断与自动重启 (PRESN=1)	73
图 6-8	EPWM 关断与重启 (PRESN=0)	74
图 6-9	T16G1 内部结构图.....	79
图 6-10	T16G1 单边 PWM 模式示意图.....	82
图 6-11	T16G1 双边 PWM 模式示意图.....	83
图 6-12	模拟比较器示意图	89
图 6-13	LVD 工作时序图	91
图 7-1	默认中断模式中断控制逻辑	93
图 7-2	向量中断模式中断控制逻辑	94

表目录

表 1-1	管脚封装对照表.....	16
表 1-2	管脚说明.....	18
表 3-1	在线编程/调试管脚说明.....	33
表 4-1	I/O 端口弱上拉.....	43
表 4-2	I/O 端口弱下拉.....	43
表 4-3	I/O 端口大电流驱动.....	43
表 4-4	外部按键中断.....	44
表 4-5	外部端口中断.....	44
表 5-1	功能模块低功耗配置分类表.....	62
表 6-1	T8N 工作模式配置表.....	64
表 6-2	T8N 预分频器配置表.....	65
表 6-3	T8Px 后分频器配置表.....	68
表 6-4	T8Px 预分频器配置表.....	68
表 6-5	T8Px 工作模式配置表.....	68
表 6-6	捕捉条件配置表.....	80
表 6-7	匹配触发事件配置表.....	81
表 7-1	中断模式选择表.....	94
表 7-2	默认中断模式使能配置表.....	95
表 7-3	向量中断模式中断分组配置表.....	95
表 8-1	芯片配置字 CFG_WORD0.....	104
表 8-2	芯片配置字 CFG_WORD1.....	104
附录表 9-1	寄存器操作指令表.....	109
附录表 9-2	程序控制指令表.....	110
附录表 9-3	算术/逻辑运算指令表.....	112

第1章 芯片简介

1.1 概述

- ◆ 内核
 - ◇ 高性能哈佛型 RISC CPU 内核
 - ◇ 79 条精简指令
 - ◇ 工作频率最高为 16MHz
 - ◇ 指令周期为 2 个系统时钟周期
 - ◇ 8 级 PC 硬件堆栈
 - ◇ 复位向量位于 000_H，默认中断向量位于 004_H，支持中断向量表
 - ◇ 支持中断处理，共 12 个中断源
- ◆ 存储资源
 - ◇ 程序存储器及配置区
 - 1K Words FLASH 程序存储器（包括 16 Words 配置信息区）
 - ◇ 128 Bytes SRAM 数据存储器
 - ◇ 程序存储器支持直接寻址、查表读操作和相对寻址
 - ◇ 数据存储器支持直接寻址、GPR 特殊寻址和间接寻址
- ◆ I/O 端口
 - ◇ PA 端口（PA0~PA7）
 - ◇ PB 端口（PB0~PB5）
- ◆ 复位及时钟
 - ◇ 内嵌上电复位电路 POR
 - ◇ 内嵌掉电复位电路 BOR
 - ◇ 内嵌低电压检测中断电路
 - ◇ 支持外部复位
 - ◇ 支持独立硬件看门狗定时器
 - ◇ 支持内部高频 16MHz RC 振荡时钟源
 - 可分频，最低可分频至 32KHz
 - 出厂前，芯片已经在常温 25℃条件下校准，在 25℃条件下芯片工作电压范围内，校准精度为±1%
 - ◇ 支持内部低频 32KHz RC 振荡器时钟源（作为 WDT 的时钟源，且可配置为系统时钟源）
 - ◇ 支持高低速系统时钟切换
- ◆ 外设
 - ◇ 一路 8 位定时器 T8N
 - 定时器模式（时钟源为系统时钟二分频（Fosc/2））

- 计数器模式（时钟源为 T8NCKI 输入）
- 支持可配置预分频器
- 支持中断产生
- ◇ 2 组增强型 EPWM 时基定时器 T8P1/T8P2
 - 支持定时器模式（时钟源为系统时钟二分频（Fosc/2））
 - 支持可配置预分频器及可配置后分频器
 - T8Px 包括 8 位计数器(T8Px), 精度寄存器(T8PxRL), 精度缓冲寄存器(T8PxRH) 和周期寄存器（T8PxP）
 - T8Px 计数器的初值可任意配置
 - 支持 2 组带互补输出的增强型脉宽调制（EPWM）输出扩展功能
 - 支持 4 路脉宽调制（PWM）输出扩展功能
 - 支持外部端口关断 EPWM 输出
 - 支持模拟比较器输出关断 EPWM 输出
 - 支持 EPWM 自动重启
 - T8Px 支持中断产生 T8PxIF（不同工作模式作用不同，必须软件清零）
 - T8Px 在低功耗模式下不工作
- ◇ 1 路 16 位门控型定时器 T16G1
 - 定时器模式（时钟源为系统时钟二分频（Fosc/2））
 - 计数器模式（时钟源为外部输入 T16G1CKI）
 - 支持比较器模式
 - 支持捕捉器模式
 - 支持单边 PWM 模式
 - 支持双边 PWM 模式
 - 支持过零检测功能
 - 支持外部门控使能
 - 支持中断产生
- ◇ 模拟比较器 ACP
 - 支持模拟比较器模式，支持中断产生
 - 支持运算放大器模式，放大倍数由外接电阻决定
 - 支持模拟输入通道可配置
 - 支持内部 1.2v 电压可选为模拟输入源
- ◆ 功耗特性
 - ◇ IDLE 电流
 - 6uA@5.0V, 25°C, BOR 不使能、WDT 不使能
 - ◇ 动态电流
 - 1.6mA@16MHz, 5.0V, 25°C, 典型值
- ◆ 编程及调试接口
 - ◇ 支持在线调试（ICD）接口
 - ◇ 支持在线编程（ISP）接口
 - ◇ 支持编程代码加密保护
- ◆ 设计及工艺

- ◇ 低功耗、高速 FLASH CMOS 工艺
- ◇ 封装形式：SOP16/14/8，SSOP10 封装
- ◆ 工作条件
 - ◇ 工作电压范围：
 - 正常运行电压：2.3V ~ 5.5V
 - Flash 编程电压：2.8V ~ 5.5V
 - Flash 耐久性：10K
 - ◇ 工作温度范围：-40℃ ~ 85℃

1.2 应用领域

本芯片可用于遥控小车、电动工具 BMS、小家电、灯控等领域。

1.3 结构框图

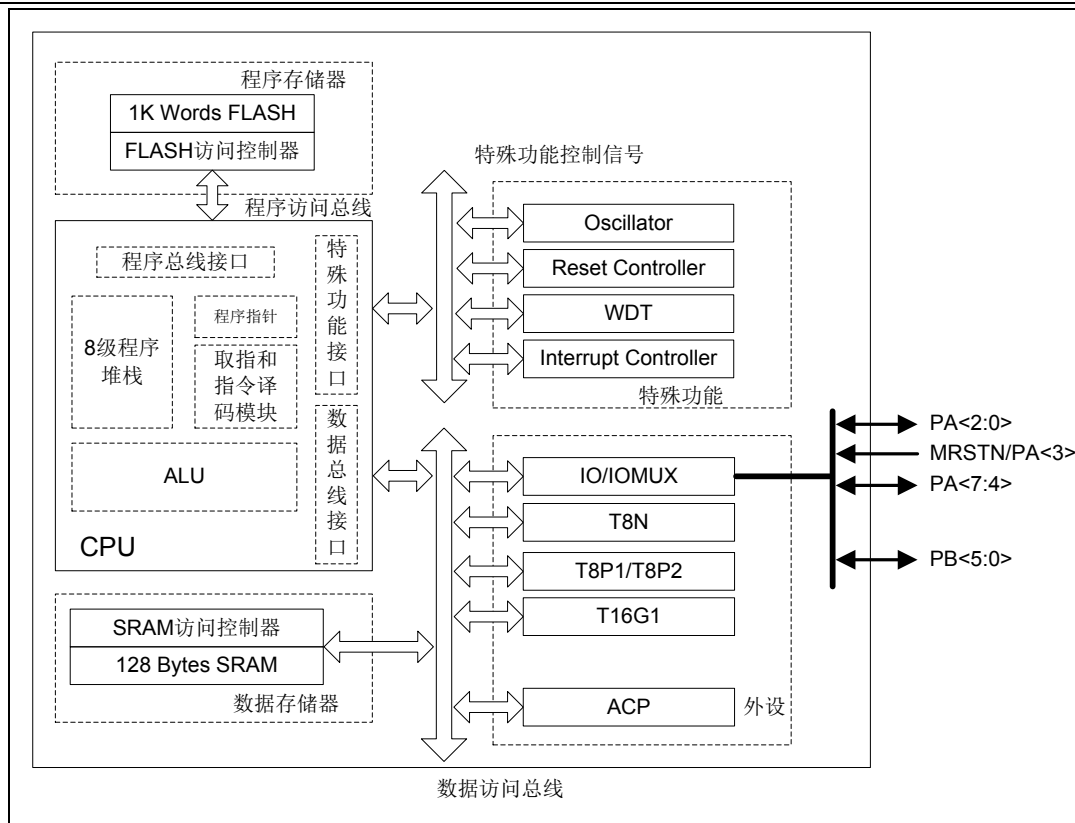


图 1-1 ES7P1751 结构框图

注：MRSTN 表示低电平有效。

1.4 管脚分配图

1.4.1 SOP16 封装图

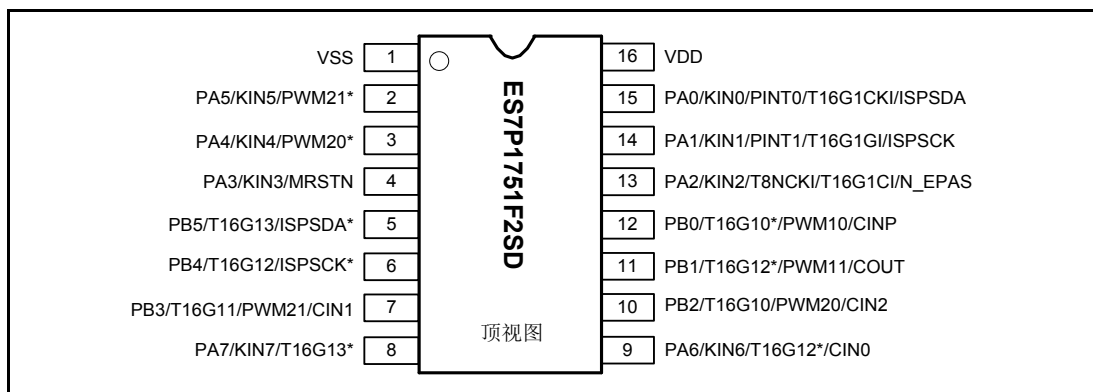


图 1-2 SOP16 封装图

1.4.2 SOP14 封装图

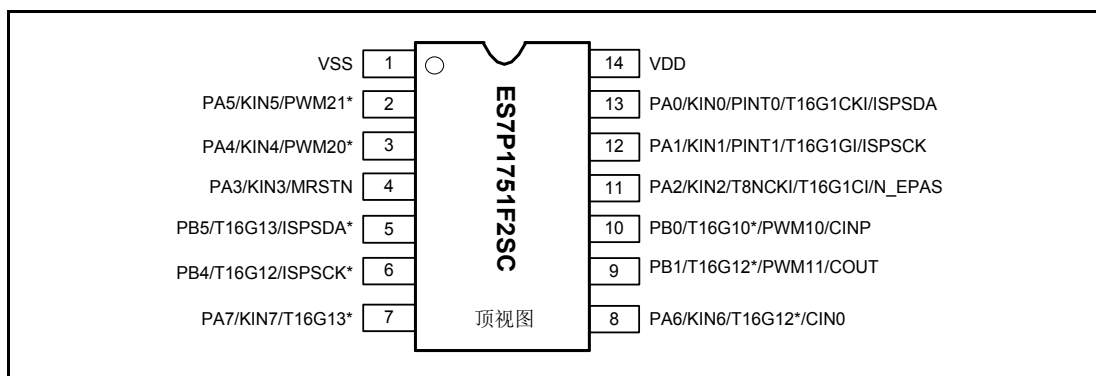


图 1-3 SOP14 封装图

1.4.3 SSOP10 封装图

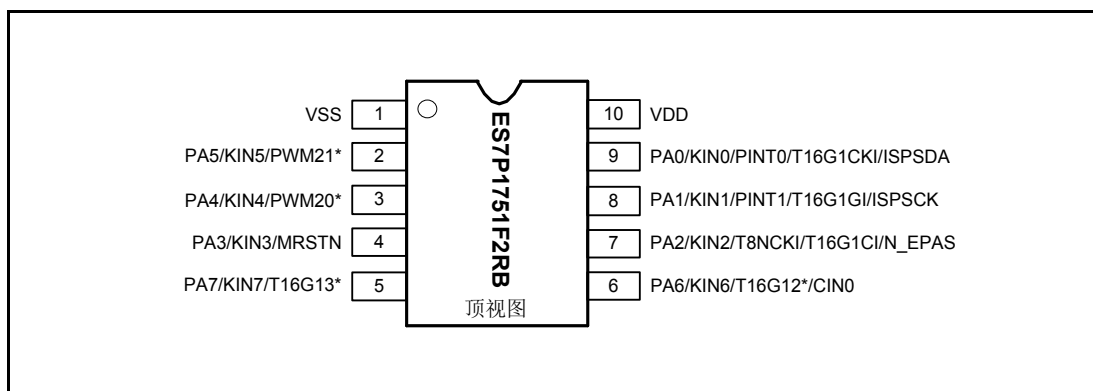


图 1-4 SSOP10 封装图

1.4.4 SOP8 封装图

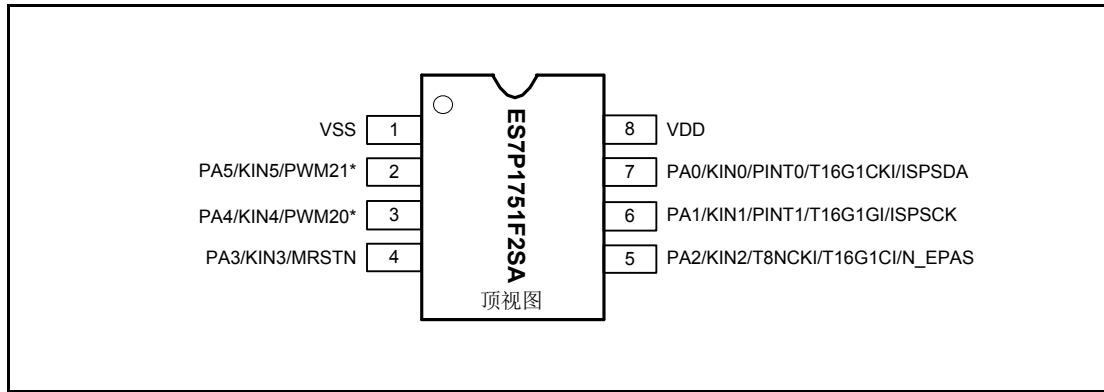


图 1-5 SOP8 封装图

1.5 管脚说明

1.5.1 管脚封装对照表

管脚名	ES7P1751			
	SOP16	SOP14	SSOP10	SOP8
PA0/KIN0/PINT0/T16G1CKI/ISPSDA	15	13	9	7
PA1/KIN1/PINT1/T16G1GI/ISPSCK	14	12	8	6
PA2/KIN2/T8NCKI/T16G1CI/N_EPAS	13	11	7	5
PA3/KIN3/MRSTN	4	4	4	4
PA4/KIN4/PWM20*	3	3	3	3
PA5/KIN5/PWM21*	2	2	2	2
PA6/KIN6/T16G12*/CIN0	9	8	6	—
PA7/KIN7/T16G13*	8	7	5	—
PB0/T16G10*/PWM10/CINP	12	10	—	—
PB1/T16G12*/PWM11/COU	11	9	—	—
PB2/T16G10/PWM20/CIN2	10	—	—	—
PB3/T16G11/PWM21/CIN1	7	—	—	—
PB4/T16G12/ISPSCK*	6	6	—	—
PB5/T16G13/ISPSDA*	5	5	—	—
VSS	1	1	1	1
VDD	16	12	10	8

表 1-1 管脚封装对照表

注 1: 带*的 ISP 功能管脚定义是相应 ISP 功能的备用管脚, 均可以在上电后进行通信连接, 当前通信端口即为有效端口, 而另一组端口可用作其他功能;

注 2: 带*的其他功能管脚定义是相应 func 功能的映射管脚, 每个 func 管脚均可独立进行映射, 映射后, 映射管脚具备 func 功能, 原 func 管脚位置失去 func 功能。

1.5.2 管脚复用说明

管脚名	管脚复用	A/D	端口说明	备注
PA0/KIN0/PINT0/T16G1CKI/ ISPSDA	PA0	D	通用 I/O	可单独使能弱上拉 或弱下拉
	KIN0	D	外部按键唤醒输入 0	
	PINT0	D	外部端口中断输入 0	
	ISPSDA	D	串行编程 0 数据输入输出	
	T16G1CKI	D	T16G1 时钟输入	
PA1/KIN1/PINT1/T16G1GI/ SPSCK	PA1	D	通用 I/O	可单独使能弱上拉 或弱下拉
	KIN1	D	外部按键唤醒输入 1	
	PINT1	D	外部端口中断输入 1	
	SPSCK	D	串行编程 0 时钟输入	
	T16G1GI	D	T16G1 门控输入	
PA2/KIN2/T8NCKI/T16G1CI/ N_EPAS	PA2	D	通用 I/O	可单独使能弱上拉 或弱下拉
	KIN2	D	外部按键唤醒输入 2	
	T8NCKI	D	T8N 时钟输入	
	T16G1CI	D	T16G1 捕捉输入	
	N_EPAS	D	EPWM 外部关断输入	
PA3/KIN3/MRSTN	PA3	D	通用 I/O	可单独使能弱上拉 或弱下拉
	KIN3	D	外部按键唤醒输入 3	
	MRSTN	D	主复位输入	
PA4/KIN4/PWM20*/CINP/ CLKO	PA4	D	通用 I/O	可单独使能弱上拉 或弱下拉
	KIN4	D	外部按键唤醒输入 4	
	PWM20*	D	T8P2 PWM 输出	
	CINP	A	模拟比较器正端输入	
	CLKO	D	参考时钟输出	
PA5/KIN5/PWM21*	PA5	D	通用 I/O	可单独使能弱上拉 或弱下拉
	KIN5	D	外部按键唤醒输入 5	
	PWM21*	D	T8P2 PWM 输出	
PA6/KIN6/T16G12*/CIN0	PA6	D	通用 I/O	可单独使能弱上拉 或弱下拉
	KIN6	D	外部按键唤醒输入 6	
	T16G12*	D	T16G1 比较或 PWM 输出 2	
	CIN0	A	模拟比较器负端输入 0	
PA7/KIN7/T16G13*	PA7	D	通用 I/O	可单独使能弱上拉 或弱下拉
	KIN7	D	外部按键唤醒输入 7	
	T16G13*	D	T16G1 比较或 PWM 输出 3	
PB0/T16G10*/PWM10	PB0	D	通用 I/O	可单独使能弱上拉 或弱下拉
	T16G10*	D	T16G1 比较或 PWM 输出 0	
	PWM10	D	T8P1 PWM 输出	
PB1/T16G12*/PWM11/COU T	PB1	D	通用 I/O	可单独使能弱上拉 或弱下拉
	T16G12*	D	T16G1 比较或 PWM 输出 2	
	PWM11	D	T8P1 PWM 输出	
	COUT	A/D	比较器/放大器输出端	

管脚名	管脚复用	A/D	端口说明	备注
PB2/T16G10/PWM20/CIN2	PB2	D	通用 I/O	
	T16G10	D	T16G1 比较或 PWM 输出 0	
	PWM20	D	T8P2 PWM 输出	
	CIN2	A	模拟比较器负端输入 2	
PB3/T16G11/PWM21/CIN1	PB3	D	通用 I/O	
	T16G11	D	T16G1 比较或 PWM 输出 1	
	PWM21	D	T8P2 PWM 输出	
	CIN1	A	模拟比较器负端输入 1	
PB4/T16G12/ISPSCK*	PB4	D	通用 I/O	
	T16G12	D	T16G1 比较或 PWM 输出 2	
	ISPSCK*	D	串行编程 1 时钟输入	
PB5/T16G13/ISPSDA*	PB5	D	通用 I/O	
	T16G13	D	T16G1 比较或 PWM 输出 3	
	ISPSDA*	D	串行编程 1 数据输入输出	
VDD	VDD	-	电源	-
VSS	VSS	-	地, 0V 参考点	-

表 1-2 管脚说明

注 1: A = 模拟, D = 数字; MRSTN 表示低电平有效;

注 2: 所有通用数据 I/O 均为 TTL 施密特输入和 CMOS 输出驱动 (除 PA3 配为 MRSTN 功能外)。

注 3: 带*的 ISP 功能管脚定义是相应 ISP 功能的备用管脚, 均可以在上电后进行通信连接, 当前通信端口即为有效端口, 而另一组端口可用作其他功能;

注 4: 带*的其他功能管脚定义是相应 func 功能的映射管脚, 每个 func 管脚均可独立进行映射, 映射后, 映射管脚具备 func 功能, 原 func 管脚位置失去 func 功能。

第2章 内核特性

2.1 CPU内核概述

- ◆ 内核特性
 - ◇ 高性能哈佛型 RISC CPU 内核
 - ◇ 79 条精简指令
 - ◇ 工作频率最高为 16MHz
 - ◇ 指令周期为 2 个系统时钟周期
 - ◇ 8 级 PC 硬件堆栈
 - ◇ 复位向量位于 000_H，默认中断向量位于 004_H，支持中断向量表
 - ◇ 支持中断处理，共 12 个中断源

2.2 系统时钟和机器周期

本芯片系统时钟频率最高支持 16MHz。通过片内时钟生成器产生两个不重叠的正交时钟 phase1 (p1)，phase2 (p2)。两个不重叠的正交时钟组成一个机器周期。

2.3 指令集概述

本芯片采用 ES7P 系列 79 条精简指令集系统。

除了部分条件跳转与控制程序流程的指令需要两个机器周期来完成，其它指令的执行都是在一个机器周期中完成。2 个系统时钟周期为一个机器周期，若芯片系统时钟频率为 4MHz，一个机器周期的时间为 500ns。

具体指令集请参考《附录 1 指令集》。

2.4 特殊功能寄存器

PSW: 程序状态字寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	UF	OF	N	OV	Z	DC	C
R/W	—	R	R	R/W	R/W	R/W	R/W	R/W
POR	x	0	0	x	x	x	x	x

Bit 7	保留
Bit 6	UF: 程序出栈溢出标志位 0: 程序出栈未溢出 1: 程序出栈溢出
Bit 5	OF: 程序压栈溢出标志位 0: 程序压栈未溢出 1: 程序压栈溢出
Bit 4	N: 负数标志位 0: 正数 1: 负数
Bit 3	OV: 溢出标志位 0: 无溢出 1: 溢出
Bit 2	Z: 零标志位 0: 算术或逻辑运算的结果不为零 1: 算术或逻辑运算的结果为零
Bit 1	DC: 半进位或半借位标志位 0: 低四位无进位或低四位有借位 1: 低四位有进位或低四位无借位
Bit 0	C: 全进位或全借位标志位 0: 无进位或有借位 1: 有进位或无借位

注 1: 仅部分指令可对 PSW 寄存器进行写操作, 包括 JDEC、JINC、SWAP、BCC、BSS、BTT、MOVA 和 SETR。

其它指令对 PSW 寄存器的写操作, 只根据运行结果影响相应状态标志位。

注 2: OF 和 UF 位为只读标志位, 仅上电复位、复位指令和 MRST 复位会将其清零, 其他复位不影响该两位标志位。

AREG: A 寄存器								
Bit	7	6	5	4	3	2	1	0
Name	A<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

Bit 7-0 A<7:0>: A 寄存器<7:0>

PCRL: 程序计数器<7:0>								
Bit	7	6	5	4	3	2	1	0
Name	PCRL<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7-0 PCRL<7:0>: 程序计数器低 8 位

PCRH: 程序计数器<15:8>								
Bit	7	6	5	4	3	2	1	0
Name	—				PCRH<2:0>			
R/W	—	—	—	—	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7-3 保留

Bit 2-0 PCRH<2:0>: 程序计数器高 3 位

MULA: 乘数 A 寄存器								
Bit	7	6	5	4	3	2	1	0
Name	MULA<7:0>							
R/W	W	W	W	W	W	W	W	W
POR	x	x	x	x	x	x	x	x

Bit 7-0 MULA<7:0>: 乘数 A

MULL: 乘积低 8 位寄存器								
Bit	7	6	5	4	3	2	1	0
Name	MULL<7:0>							
R/W	R	R	R	R	R	R	R	R
POR	x	x	x	x	x	x	x	x

Bit 7-0 MULL<7:0>: 乘积低 8 位

MULB: 乘数 B 寄存器								
Bit	7	6	5	4	3	2	1	0
Name	MULB<7:0>							
R/W	W	W	W	W	W	W	W	W
POR	x	x	x	x	x	x	x	x

Bit 7-0 MULB<7:0>: 乘数 B

MULH: 乘积高 8 位寄存器								
Bit	7	6	5	4	3	2	1	0
Name	MULH<7:0>							
R/W	R	R	R	R	R	R	R	R
POR	x	x	x	x	x	x	x	x

Bit 7-0 MULH<7:0>: 乘积高 8 位

第3章 存储资源

3.1 程序存储器

ES7P1751 的程序存储器为 1008 Words FLASH。实际地址范围 000_H ~ 3EF_H。复位向量位于 000_H，默认中断向量入口地址位于 004_H。

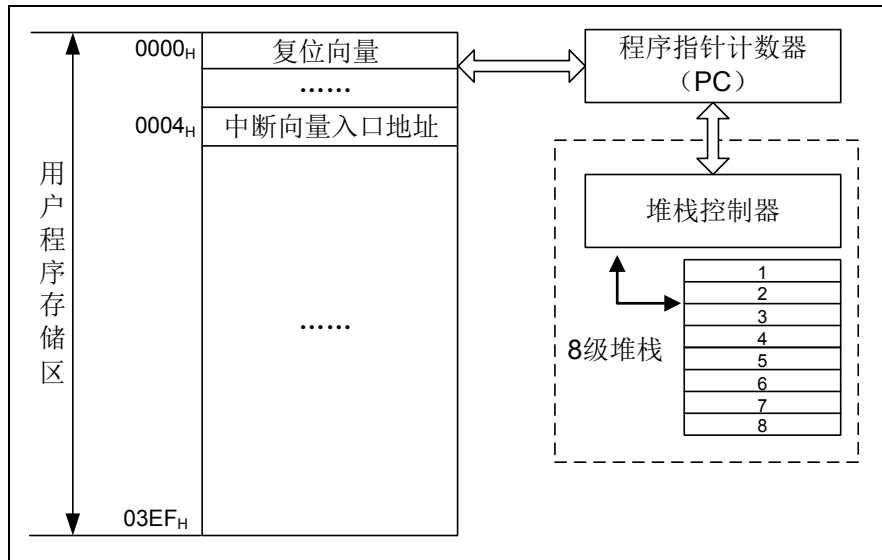


图 3-1 程序区地址映射和堆栈示意图

3.2 程序计数器 (PC) 和硬件堆栈

3.2.1 程序计数器 (PC)

ES7P1751 芯片有 11 位程序计数器 PC<10:0>。本芯片最大可寻址 1008 Words 程序存储空间 000_H ~ 3EF_H。程序计数器 PC 的低 8 位 PC<7:0>可通过 PCRL 直接读写，而 PC 高 3 位不能直接读写，只能通过 PCRH 寄存器来间接赋值。复位时，PCRL、PCRH 和 PC 都会被清零。PC 硬件堆栈操作不会影响 PCRH 的值。

各种指令对 PC 的影响：

注 1：通过指令直接修改 PC 值时，对 PCRL 为目标寄存器的操作可直接修改 PC<7:0>，即 PC<7:0>=PCRL<7:0>；而操作 PC<7:0>的同时也会执行 PC<10:8>=PCRH<2:0>，因此，修改 PC 时，应先修改 PCRH<2:0>，再修改 PCRL<7:0>。

注 2：执行 RCALL 指令时，PC<7:0>为寄存器 R 中的值；而 PC<10:8> = PCRH<2:0>。

注 3：执行 CALL, GOTO 指令时，PC<10:0>为指令中 11 位立即数 I（操作数）。

注 4：执行 LCALL 指令时，该指令为双字指令共有 16 位立即数 I（操作数）。PC<10:0>被修改为该 16 位立即数 I 的值的低 11 位；同时 PCRH<2:0>被修改为 I<10:8>的值。

注 5：执行 AJMP 指令时，该指令为双字指令共有 16 位立即数 I（操作数）。PC<10:0>被修改为该 16 位立即数 I 的值的低 11 位，同时 PCRH 修改为 I<10:8>的值。

注 6：执行 PAGE 指令时，PCRH<7:3>的值将被该指令的立即数替换。（ES7P1751 芯片的程序存储器大小为 1008 Words，这里 PCRH<7:3>被固定为全零，执行 PAGE 指令后 PC 值不受影响）

注 7：执行其他指令时，PC 值自动加 1。

3.2.2 硬件堆栈

芯片内有 8 级硬件堆栈，堆栈位宽与 PC 位宽相等，用于 PC 的压栈和出栈。执行 CALL、LCALL 指令或中断被响应后，PC 自动压栈保护；当执行 RET、RETIA 或 RETIE 指令时，堆栈会将最近一次压栈的值返回至 PC。

硬件堆栈只支持 8 级缓冲操作，即硬件堆栈只保存最近的 8 次压栈值，对于连续超过 8 次的压栈操作，第 9 次的压栈数据使得第 1 次的压栈数据丢失。同样，超过 8 次的连续出栈，第 9 次出栈操作，可能使得程序流程不可控。

3.2.3 FLASH 存储器的查表读和 IAP 操作

3.2.3.1 概述

FLASH 存储器支持查表读和 IAP 页擦除和编程操作。

FLASH 存储器的 IAP 擦除操作是以页（Page）为单位，一页为 32 个地址单元，页地址对应到 {FRAH<7:0>, FRAL<7:5>}，如 {FRAH<7:0>, FRAL<7:5>}=00_H，为第 0 页；{FRAH<7:0>, FRAL<7:5>}=01_H，为第 1 页；…；{FRAH<7:0>, FRAL<7:5>}=1F_H，为第 31 页。FLASH 存储器的读出和 IAP 写入操作以 1 个地址单元为单位，通过 FRA (FRAH, FRAL) 寻址。

必须对 IAPUL 寄存器写入 0xA5 来解锁 IAP 操作，即使能 IAPERSS, IAPPRGS 以及 IAPC 寄存器的写访问。IAP 编程或擦除操作后不会自动上锁，需要用户在其所需要的编程或擦除结束后，向 IAPUL 写入非 0xA5 值来上锁，防止误操作改写 FLASH 内容。

当 FLASH 存储器进行 IAP 擦除或 IAP 写入操作时，CPU 内核暂停执行，外设可按预设状态继续运行，外设的中断请求将置位相应的中断标志。当 IAP 擦除或 IAP 写入操作完成时，CPU 内核恢复执行。

3.2.3.2 FLASH 存储器的查表读

本芯片的程序存储器查表只支持查表读操作，1 次查表读操作访问 1 个地址单元的 16 位数据。当芯片配置字中 IAP 操作使能位 IAPEN (CFG_WORD0<10>) 使能时，通过查表读指令将查表地址寄存器 FRA (FRAH, FRAL) 所指向的程序存储器中的 16 位数据读入 ROMD (ROMDH, ROMDL) 中。

设置了 FLASH 全加密，仍可通过 TBR 指令进行访问。

本芯片查表写指令保留未用（执行时仅影响 FRA 寄存器）。

应用例程：程序存储器查表读。

MOVI 0x05 ; 读取程序存储器 0105_H

MOVA FRAL

MOVI 0X01

MOVA FRAH

TBR


```

MOV    ROMDH, 0
.....
MOV    ROMDL, 0
.....
    
```

3.2.3.3 FLASH存储器的IAP擦除

通过 IAP 进行 FLASH 擦除的最小操作单位为页，一页为 32 个地址单元。页通过寄存器 {FRAH<7:0>, FRAL<7:5>}寻址。对 IAPERSS 寄存器写入 0xAE 来启动擦除。

若芯片配置字的 LVDIAPTEN 设置为 1，在启动 IAP 擦除时，若 LVD 有效则无法启动擦除；在擦除过程中，若 LVD 有效且当芯片配置字的 LVDIAPTEN 设置为 1 时则硬件自动终止当前的页擦操作。为了防止电压低于 LVD 设定门限时，发生误擦除，在 IAP 擦除时，建议设置寄存器位 LVDFLTEN=0，禁止 LVD 滤波。

为保证可靠地访问 FLASH，可启动 T8N 作为页擦超时计数器，通过 IAPC 寄存器的 TOEN 位来使能超时发生时，终止 IAP 擦除操作，使用 T8N 之前必需设定合适的超时时间，对页擦操作需大于 100ms，而且必须清除 T8N 中断标志。

IAP 擦除流程图如下图所示，该流程图假设配置字的 LVDIAPTEN=1。

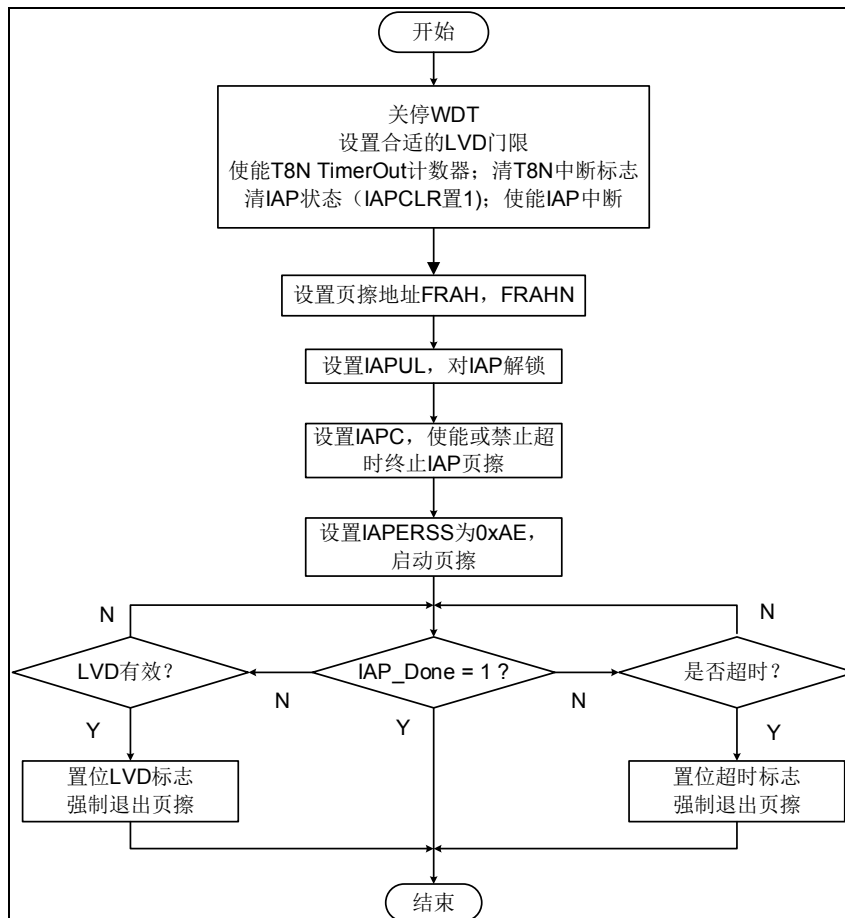


图 3-2 页擦流程图

应用例程：FLASH 页擦除。

```

MOVI    0xA5          ; 解锁 WDTC 寄存器
MOVA    WDTUL
BCC     WDTC, WDTEN ; 关 WDT, 使 WDT 停止计数, 以免溢出复
                    ; 位 IAP 操作

MOVI    0X00          ; 擦除 FLASH 第 6 页 (0C0H~0DFH)
MOVA    FRAH
MOVI    0XC0
MOVA    FRAL
BSS     INTE4, IAPIE ; 使能 IAP 中断
BSS     IAPC, 1      ; 清除 IAP 状态 (必须在执行下一个 IAP 操作
                    ; 之前清除 IAP 状态)
MOVI    0xA5          ; 解锁 IAP
MOVA    IAPUL
MOVI    0XAE
MOVA    IAPERSS      ; 启动 FLASH IAP 擦除操作

```

; CPU 进入暂停状态, 直到擦除完成后 CPU 恢复运行

; 一次页擦除时间约 2ms, 具体时间随操作电压和操作温度有所不同

ERS_WAIT

```
JBS     IAPS, 1      ; 等待擦除结束
```

```
GOTO    ERS_WAIT
```

```
MOVI    0x00          ; 锁定 IAP
```

```
MOVA    IAPUL
```

```
MOVI    0xA5          ; 解锁 WDTC 寄存器
```

```
MOVA    WDTUL
```

```
BSS     WDTC, WDTEN ; WDT 恢复计数 (如果配置字 WDTEN=1)
```

```
BCC     INTE4, IAPIE ; 开中断
```

.....

注 1: 在向 IAPERSS 寄存器写入 0xAE 启动 IAP FLASH 页擦之后, 由于 CPU 会继续执行下一条指令, 建议启动页擦后, 紧接的下一条指令为 NOP 指令或如上例所示, 为 IAP 状态查询指令。

注 2: 在 IAP 中断服务程序中, 可通过查询 IAPS 状态寄存器来判断是否执行其它子程序。

- 如果 ERSS_ERR 置 1, 则: 程序调试阶段, 查阅代码中的启动代码是否写错, 若是则修改错误; 否则再次写 IAPERSS 寄存器, 直至成功。
- 如果 IAP_LVDIF 为 1, 则停止 IAP 操作, 直至该标志为 0。

3.2.3.4 FLASH 存储器的 IAP 编程

FLASH 存储器中已擦除的地址单元支持 IAP 编程操作。IAP 编程操作通过 IAPPRGS 控制寄存器, 将 ROMD (ROMDH, ROMDL) 中的内容写入 FRA (FRAH, FRAL) 指向的 FLASH 地址单元。

对 IAPUL 写入 0xA5 解锁 IAP 后, 可对 IAPPRGS 寄存器写入 0xD5 启动编程。编程结束后需对 IAPC 寄存器的 IAPCLR 置 1 来清编程状态。

数据和地址更新后需重新对 IAPPRGS 写入 0xD5 以启动编程。每次编程结束之后可以对 IAPUL 写入非 0xA5 上锁, 亦可保持解锁状态, 直至所有编程已结束再对 IAP 上锁。

在启动 IAP 编程时, 若 LVD 有效则无法启动编程。在编程操作过程中, 若 LVD 有效, 且当芯片配置字的 LVDIAPTEN 设置为 1 时, 则终止当前的编程操作。为了防止电压低于 LVD 设定门限时, 发生误编程, 在 IAP 编程时, 建议设置寄存器位 LVDFLTEN=0, 禁止 LVD 滤波。

为保证可靠地访问 FLASH, 可设定终止编程后到 FLASH 可访问的延时等待时间, 由 IAPC 寄存器的 PRGTWT 位进行设置。还可启动 T8N 作为编程超时计数器, 通过 IAPC 寄存器的 TOEN 位来使能超时发生时, 终止当前的 IAP 编程操作。使用 T8N 之前必需设定合适的超时时间, 对编程操作需大于 30us, 而且必须清除 T8N 中断标志。

IAP 编程流程如下图所示。

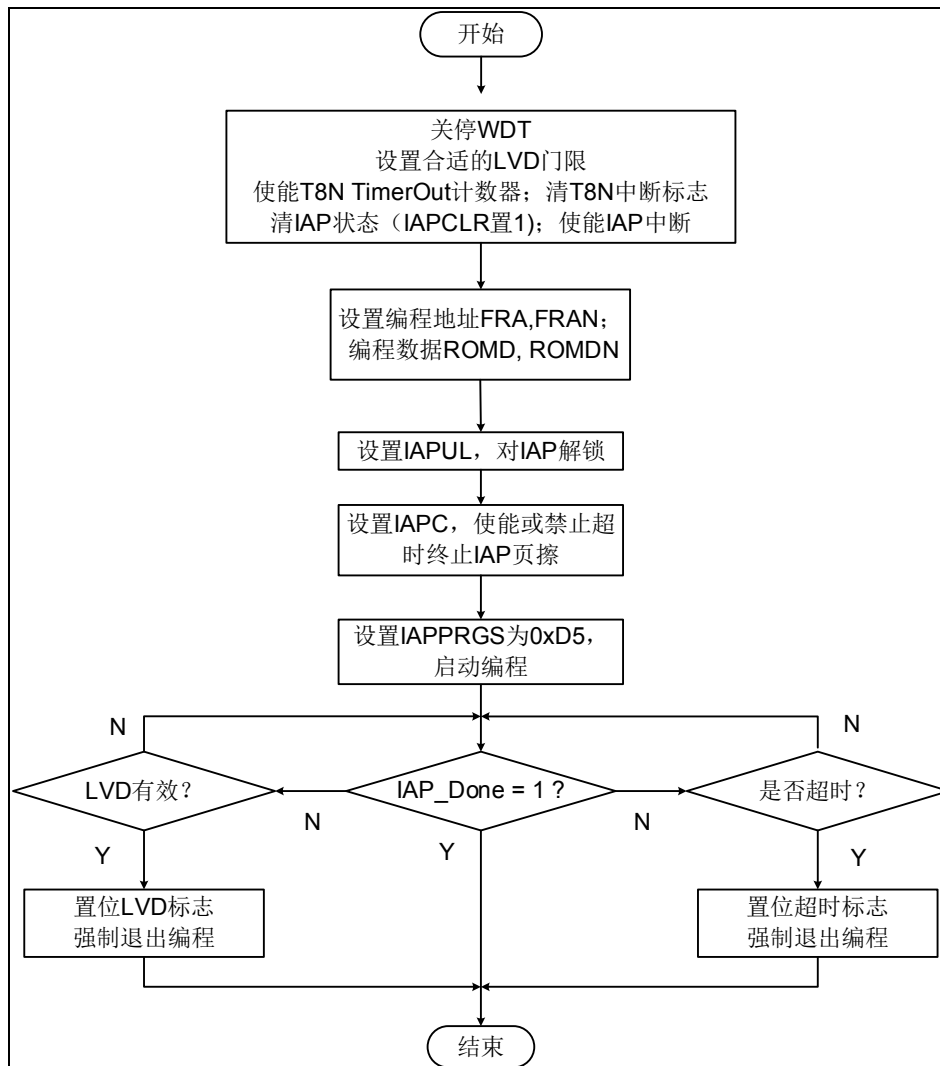


图 3-3 编程流程图

应用例程：FLASH IAP 编程

```

MOVI    0xA5          ; 解锁 WDT 寄存器
MOVA    WDTUL
BCC     WDT, WDTEN   ; 关 WDT, 使 WDT 停止计数,
                    ; 以免溢出复位 IAP 操作
MOVI    0x01          ; 将 55AAH 写入 FLASH 的 0100H 地址单元
MOVA    FRAH
MOVI    0x00
MOVA    FRAL

MOVI    0x55
  
```

MOVA ROMDH
 MOVI 0xAA
 MOVA ROMDL
 BSS INTE4, IAPIE ; 使能 IAP 中断
 BSS IAPC, 1 ; 清 IAP 状态以启动下一个 IAP 操作
 MOVI 0xA5 ; 解锁 IAP
 MOVA IAPUL
 MOVI 0xD5
 MOVA IAPPRGS ; 启动 FLASH IAP 编程操作
 NOP

; CPU 进入暂停状态, 直到编程完成后 CPU 恢复运行

; 一次页编程时间约 20us, 具体时间随操作电压和操作温度有所不同

PRG_WAIT

JBS IAPS, 1 ; 等待 IAP 编程操作结束

GOTO PRG_WAIT

MOVI 0x00 ; 锁定 IAP

MOVA IAPUL

MOVI 0xA5 ; 解锁 WDTC 寄存器

MOVA WDTUL

BSS WDTC, WDTEN ; WDT 恢复计数 (如果配置字 WDTEN=1)

BCC INTE4, IAPIE ; 关 IAP 中断

注 1: 对未进行擦除操作的 FLASH 存储器单元进行编程操作, 会导致该 FLASH 存储器单元的存储数据被破坏。

注 2: 在向 IAPPRGS 寄存器写入 0xD5 启动 IAP FLASH 编程之后, 由于 CPU 会继续执行下一条指令, 该指令不能为 TBR 指令, 以避免 ROMD 数据被 TBR 指令所读取的数据覆盖, 而导致数据写入失败。建议启动编程后, 紧接的下一条指令为 NOP 指令或如上例所示, 为 IAP 状态查询指令。

注 3: 在 IAP 中断服务程序中, 可通过查询 IAPS 状态寄存器来判断是否执行其它子程序:

- 如果 PRGS_ERR 置 1, 则: 程序调试阶段, 查阅代码中的启动代码是否写错, 若是则修改错误; 否则再次写 IAPPRGS 寄存器, 直至成功。

- 如果 IAP_LVDIF 为 1, 则停止 IAP 操作, 直至该标志为 0。

3.2.3.5 特殊寄存器

IAPUL: IAP 解锁寄存器								
Bit	7	6	5	4	3	2	1	0
Name	IAPUL<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7-0 IAPUL<7:0>: IAP 解锁寄存器
写入 0xA5 解锁 IAP。IAP 解锁后, 才可对 IAPERSS, IAPPRGS 寄存器进行写操作, 若解锁成功, 读出值为 0x01, 否则为 0x00。

注: 只需向 IAPUL 写入非 0xA5 值, 即可完成上锁。

IAPERSS: 擦除启动控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	IAPERSS<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7-0 IAPERSS<7:0>: IAP 擦除启动控制寄存器
写入 0xAE 启动页擦; 若页擦启动成功, 则读出值为 0x01, 否则为 0x00。
IAPERSS 可有两种方式清零: IAP 页擦成功后自动清零; 若页擦失败, 可将 IAPC 控制寄存器的 IAPCLR 置 1 来清零。
该寄存器不允许写入除 0xAE 外的任何值, 否则 IAPS 状态寄存器的 ERSS_ERR 标志位将被置 1, 在 IAP 中断使能时将触发中断。

注 1: 写入 0xAE 后, 可读取 IAPERSS 寄存器, 若值为 0x01 则表示成功启动; 否则启动失败。

注 2: 启动页擦失败的情况: 工作电压小于设定的 LVD 阈值电压 (配置位 LVDIAPTEN=1), 或向 IAPERSS 寄存器写入了非 0xAE 值。页擦启动失败可触发 IAP 中断, 可查询 IAPS 状态寄存器来判断中断源: 地址错, 或因产生了有效的 LVD 信号; 若非这两者, 则为写入了非 0xAE 值或待擦除页已被分区加密。

IAPPRGS: 编程启动控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	IAPPRGS<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7-0 IAPPRGS<7:0>: IAP 编程启动控制寄存器
 写入 0xD5 启动编程; 若编程启动成功, 则读出值为 0x01, 否则为 0x00
 IAPPRGS 可有两种方式清零: IAP 编程成功后自动清零; 若编程失败, 可将 IAPC 控制寄存器的 IAPCLR 置 1 来清零。
 该寄存器不允许写入除 0xD5 外的任何值, 否则 IAPS 状态寄存器的 PRGS_ERR 标志位将被置 1, 在 IAP 中断使能时将触发中断。

注 1: 写入 0xD5 后, 可读取 IAPPRGS 寄存器, 若值为 0x01 则表示成功启动; 否则启动失败。
 注 2: 启动编程失败的情况: 工作电压小于设定的 LVD 阈值电压 (配置位 LVDIAPTEN=1); 或 ROMD 和 ROMDN 寄存器的值非反; 写入值非 0xD5。编程启动失败可触发 IAP 中断, 可查询 IAPS 寄存器标志位判断中断源: 地址错, 数据错或产生了有效的 LVD 信号; 若非这三者, 则为写入了非 0xD5 值或待编程地址已被分区加密。

IAPC: IAP 控制寄存器									
Bit	7	6	5	4	3	2	1	0	
Name	保留				PRGTWT<1:0>		IAPCLR	TOEN	
R/W	-	-	-	-	R/W	R/W	R/W	R/W	
POR	0	0	0	0	0	0	0	0	

Bit7-4 保留
Bit3-2 PRGTWT<1:0>: 编程终止等待时间 (program terminated wait time)
 00: 31.25us (1 个 32KHz 时钟周期)
 01: 62.5us (2 个 32KHz 时钟周期)
 10: 93.75us (3 个 32KHz 时钟周期)
 11: 125us (4 个 32KHz 时钟周期)
Bit1 IAPCLR: IAP 状态清除
 0: 禁止
 1: 清除 IAP 状态 (该位置 1 后自动清零)
Bit 0 TOEN: Timeout 超时使能寄存器 (timer-out enable)
 0: 禁止
 1: 使能

注 1: 进入 IAP 模式之前, 可设置 T8N 为 IAP 擦除或编程的 timeout 计数器。
 例如: 页擦除操作, 正常完成擦除约需 100ms, 因此需要将系统时钟降频至 500khz 以内 (选为 2MHz 时钟源且设置系统时钟分频比≥4), 可设置 T8N prescaler 为 256 分频, 定时数值 0xff, timeout 时间长度约 131ms。如果超出该时间仍未完成擦除操作, 则 IAP 操作将被强制退出。
 例如: 编程操作, 正常完成编程约需 30us, 因此将系统时钟选为 16MHz 时钟源, 可设置 T8N prescaler 为 4 分频, 定时数值 0xff, timeout 时间长度约 64us。如果超出该时间仍未完成编程操作, 则 IAP 操作将被强制退出。
 注 2: 每次完成 IAP 操作之后必须将 IAPCLR 置 1 来清除当前状态, 才允许下一次 IAP 页擦除或编程操作。该位置 1 后自动清零。该位可清除擦除启动失败、编程启动失败、擦除/编程超时以及 IAP 编程/擦除终止标志等。
 注 3: 进入 IAP 模式之前, 可设置 T8N 为 IAP 擦除或编程的 timeout 计数器。

IAPS: IAP 状态寄存器								
Bit	7	6	5	4	3	2	1	0
Name	-	-	-	ERSS_ERR	PRGS_ERR	IAP_TIMEOUT	IAP_DONE	IAP_LVDIF
R/W	-	-	-	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit7 保留
- Bit6 保留
- Bit5 保留
- Bit4 ERSS_ERR: 页擦启动出错标志。该位需要 IAPCLR 位置 1 来清零或向 IAPERSS 寄存器写入正确的 0xAE 数据启动页擦来清零。
0: 页擦未启动, 或已启动成功
1: 页擦启动失败。因 LVD 中断、FRAH 和 FRAHN 地址非反、以及 IAPERSS 寄存器写入数据非 0xAE 等而启动失败
- Bit3 PRGS_ERR: 编程启动出错标志。该位需要 IAPCLR 位置 1 来清零或向 IAPPRGS 寄存器写入正确的 0xD5 数据启动编程来清零。
0: 编程未启动, 或已启动成功
1: 编程启动失败。因 LVD 中断、FRA 和 FRAN 地址非反、ROMD 和 ROMDH 数据非反, 以及 IAPPRGS 寄存器写入数据非 0xD5 等而启动失败
- Bit 2 IAP_TIMEOUT: IAP 编程/擦除超时标志。该位需要 IAPCLR 位置 1 来清零。
0: 编程/擦除操作正常
1: 编程/擦除操作超时 (软件清零, 或启动 IAP 编程/擦除操作时自动清零)
- Bit 1 IAP_DONE: IAP 编程/擦除状态位。该位需要 IAPCLR 位置 1 来清零。
0: 编程/擦除操作未完成
1: 编程/擦除操作已完成
- Bit 0 IAP_LVDIF: IAP 因电压低于 LVD 阈值设定而终止标志位。该位在工作电压大于 LVD 阈值电压后自动清零。
0: IAP 操作正常执行
1: IAP 操作因电压低于 LVD 阈值电压而终止

注 1: 如果编程/擦除超时, 自动退出 IAP 操作。可通过查询 IAP_TIMEOUT 位来判断是否发生了 timeout 而导致 IAP 退出。

注 2: 可通过查询 IAPS 的其它标志位来判断 IAP 操作失败的原因。

注 3: FRAH_ERR, FRAL_ERR, ROMD_ERR 等标志位上电后因 FRA 与 ROMD 的正反寄存器不满足正反关系, 初值为 1, 需通过写入正确的 FRA 和 ROMD 正反值清零。

3.3 在线编程ISP和在线调试ICD

FLASH 存储器具有可重复烧写的功能，便于客户代码和数据的更新升级。为了实现开发人员在开发过程中能够更轻松地进行代码的调试、更新、升级，本芯片还支持在线编程 ISP 和在线调试 ICD，用户只需在电路系统板上引出五根连接编程和调试接口线，即可实现程序的重烧录和调试，更加方便高效。

MRSTN 配置为 GPIO 使用时，用户只需在电路系统板上引出四根连接编程和调试接口线，但芯片必须有上电的过程，才能进入 ISP 模式。

芯片管脚	编程器管脚	管脚说明
ISPSDA	ISPSDA	编程/调试串行数据端口
ISPSCK	ISPSCK	编程/调试串行时钟端口
VSS	VSS	地
VDD	VDD	电源
MRSTN	MRSTN	复位脚

表 3-1 在线编程/调试管脚说明

注 1: 对编程/调试接口中的 ISPSCK 和 ISPSDA 管脚，芯片支持两组管脚可选择，其中 PB4 和 PB5 作为一组编程/调试接口，PA0 和 PA1 作为另一组编程/调试接口；

注 2: 上述两组接口，用作编程使用时，无需进行选择设置，芯片自动识别有效使用的编程接口；用作调试使用时，通过配置字 ICDEB 使能，并由配置字 ICDSEL 进行选择设置。

3.3.1 特殊功能寄存器

FRAL: 程序存储器查表地址寄存器<7:0>								
Bit	7	6	5	4	3	2	1	0
Name	FRAL<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

Bit 7-0 FRAL<7:0>: 程序存储器查表地址低 8 位

FRAH: 程序存储器查表地址寄存器<15:8>								
Bit	7	6	5	4	3	2	1	0
Name	FRAH<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

Bit 7-0 FRAH<7:0>: 程序存储器查表地址高 8 位

ROMDL: 程序存储器查表数据寄存器<7:0>

Bit	7	6	5	4	3	2	1	0
Name	ROMDL<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

Bit 7-0 ROMDL<7:0>: 程序存储器查表数据低 8 位

ROMDH: 程序存储器查表数据寄存器<15:8>

Bit	7	6	5	4	3	2	1	0
Name	ROMDH<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

Bit 7-0 ROMDH<7:0>: 程序存储器查表数据高 8 位

3.4 数据存储

3.4.1 概述

数据存储由 2 部分组成，通用存储器 GPR 和特殊功能寄存器 SFR。

GPR 只有 1 个存储体组，地址范围 $00_H \sim 7F_H$ ，(SECTION 指令在本芯片中操作是无效的)。

SFR 支持 128 个特殊寄存器，地址范围 $FF80_H \sim FFFF_H$ 。

数据存储支持 3 种寻址方式：直接寻址、间接寻址和 GPR 特殊寻址。

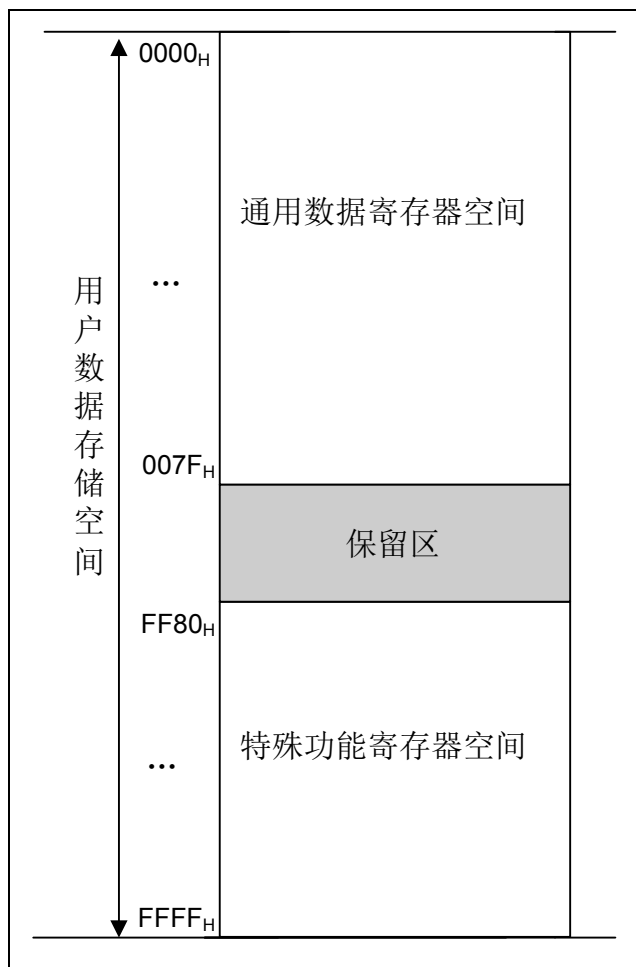


图 3-4 数据区地址映射示意图

3.4.2 寻址方式

3.4.2.1 直接寻址

在直接寻址时，指令中的 8 位地址信息用于 GPR 和 SFR 中寻址。

示意图如下：

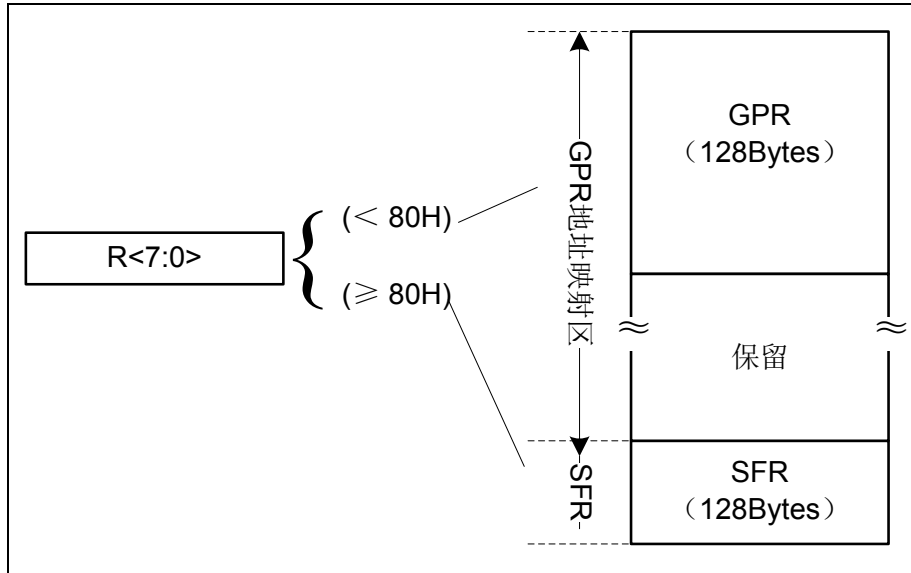


图 3-5 直接寻址示意图

3.4.2.2 GPR特殊寻址

指令 MOVAR 和 MOVRA 用于对 GPR 进行特殊寻址读/写操作，指令中支持 8 位地址信息 (R<7:0>)，可寻址 128 字节地址空间。MOVAR 和 MOVRA 指令无法访问 SFR。

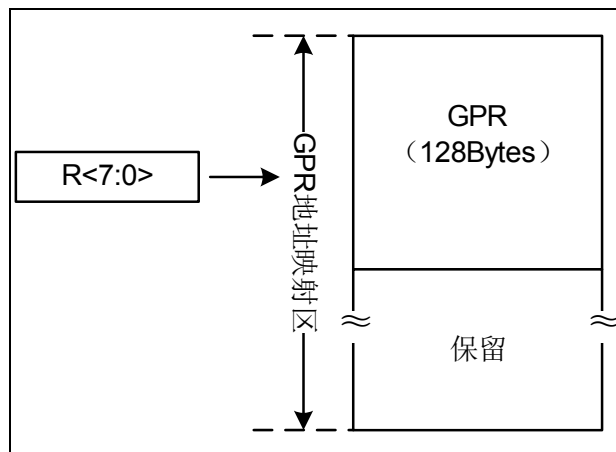


图 3-6 GPR 特殊寻址示意图

3.4.2.3 间接寻址

8 位 IAAH 和 8 位 IAAL 组成 16 位间接寻址索引寄存器，寻址空间 0000_H ~ FFFF_H。通过对间接寻址数据寄存器 IAD 的读写操作，完成间接寻址操作。

由于 IAD 这个寄存器自身也有物理地址 FF80_H。因此，这个寄存器也是可以被间接寻址的。只是，当用间接寻址的方式，读 IAD 这个寄存器的时候，读出的值始终为 00_H，而写入则是一个空操作（可能影响状态位）。

ISTEP 指令，用来对间接寻址索引寄存器 IAAH/IAAL 进行偏移计算。该指令支持 8 位有符号立即数，即偏移范围-128~127。虽然只有 8 位立即数，但是该条指令对整个 IAA(IAAL 和 IAAH) 进行 16 位计算。计算的结果依然存放于 IAAL 和 IAAH 中。

示意图如下：

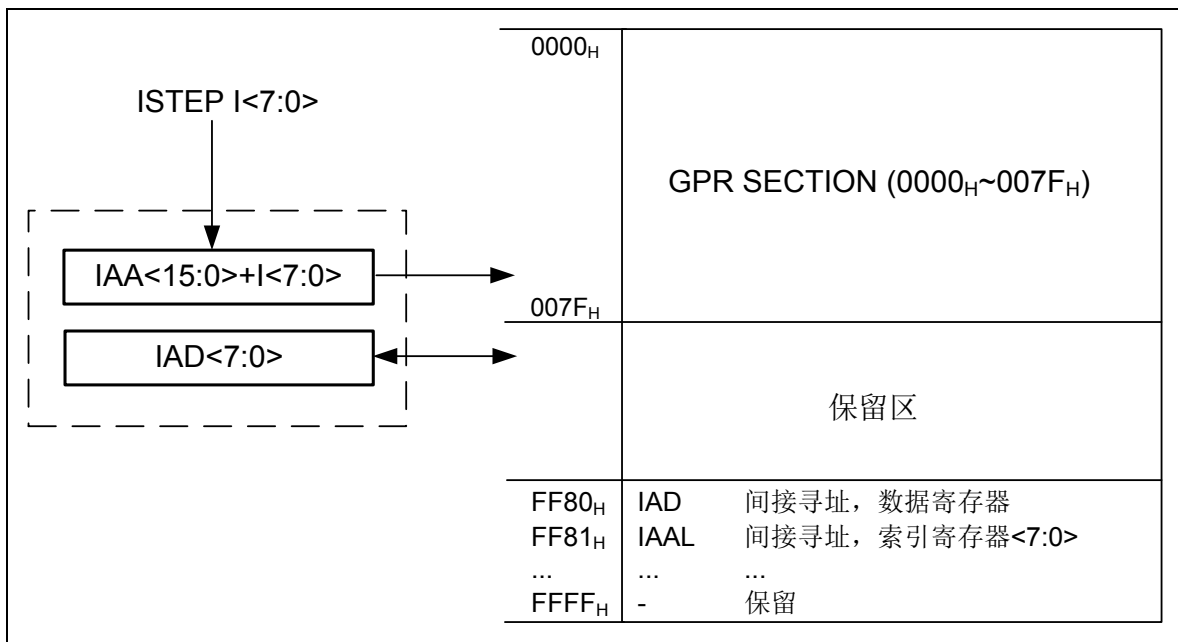


图 3-7 间接寻址示意图

3.4.3 特殊功能寄存器空间

具体特殊功能寄存器地址映射，请参考下面表格：

特殊功能寄存器空间：

地址	寄存器名称	功能说明	备注
FF80 _H	IAD	间接寻址数据寄存器	内核控制区
FF81 _H	IAAL	间接寻址，索引寄存器低<7:0>	
FF82 _H	IAAH	间接寻址，索引寄存器高<15:8>	
FF83 _H	BKSR	存储器组选择寄存器	
FF84 _H	PSW	程序状态字寄存器	
FF85 _H	AREG	A 寄存器	
FF86 _H	PCRL	程序计数器<7:0>	
FF87 _H	PCRH	程序计数器<15:8>	
FF88 _H	MULA/MULL	乘数 A 寄存器/乘积低 8 位寄存器	
FF89 _H	MULB/MULH	乘数 B 寄存器/乘积高 8 位寄存器	
FF8A _H	LVDC	低电压检测寄存器	
FF8B _H	FRAL	查表地址寄存器低 8 位	
FF8C _H	FRAH	查表地址寄存器高 8 位	
FF8D _H	ROMDL	程序存储器查表数据寄存器低 8 位	
FF8E _H	ROMDH	程序存储器查表数据寄存器高 8 位	
FF8F _H - FF90 _H	-	保留未使用	
FF91 _H	INTG	中断全局寄存器	
FF92 _H	INTP	中断优先级寄存器	
FF93 _H	INTC0	中断控制寄存器 0	
FF94 _H	INTE0	中断使能寄存器 0	
FF95 _H	INTF0	中断标志寄存器 0	
FF96 _H	INTC1	中断控制寄存器 1	
FF97 _H	INTE1	中断使能寄存器 1	
FF98 _H	INTF1	中断标志寄存器 1	模式控制区
FF99 _H - FF9C _H	-	保留未使用	
FF9D _H	PWRC	电源状态控制寄存器	I/O 控制区
FF9E _H	PWEN	功耗控制寄存器	
FF9F _H	PA	PA 端口电平状态寄存器	
FFA0 _H	PB	PB 端口电平状态寄存器	
FFA1 _H	PAT	PA 端口输入输出控制寄存器	
FFA2 _H	PBT	PB 端口输入输出控制寄存器	
FFA3 _H	N_PAU	PA 弱上拉控制寄存器	
FFA4 _H	N_PBU	PB 弱上拉控制寄存器	
FFA5 _H	PAEL	PA 输出驱动选择寄存器	
FFA6 _H	PAEH	PA 输出驱动选择寄存器	

地址	寄存器名称	功能说明	备注
FFA7 _H	PBEL	PB 输出驱动选择寄存器	
FFA8 _H	PBEH	PB 输出驱动选择寄存器	
FFA9 _H	PASR	PA 慢开关使能寄存器	
FFAA _H	PBSR	PB 慢开关使能寄存器	
FFAB _H	PASMT	PA 施密特输入使能寄存器	
FFAC _H	PBSMT	PB 施密特输入使能寄存器	
FFAD _H	ANS0	IO 端口数模选择寄存器 0	
FFAE _H	ANS1	IO 端口数模选择寄存器 1	
FFAF _H	N_PAD	PA 弱下拉控制寄存器	
FFB0 _H	N_PBD	PB 弱下拉控制寄存器	
FFB1 _H	PSFT	端口功能转移寄存器	
FFB2 _H	T8N	T8 寄存器	外设控制区
FFB3 _H	T8NC	T8 控制寄存器	
FFB4 _H	T8P1	T8P1 计数器	
FFB5 _H	T8P1C	T8P1 控制寄存器	
FFB6 _H	T8P1P	T8P1 周期寄存器	
FFB7 _H	T8P1RL	T8P1 精度寄存器	
FFB8 _H	T8P1RH	T8P1 精度缓冲寄存器	
FFB9 _H	T8P1OC	T8P1 输出控制寄存器	
FFBA _H	EPWM1C	EPWM 配置寄存器 1	
FFBB _H	PDD1C	死区延时控制寄存器 1	
FFBC _H	TE1AS	自动关断控制寄存器 1	
FFBD _H	T8P2	T8P2 计数器	
FFBE _H	T8P2C	T8P2 控制寄存器	
FFBF _H	T8P2P	T8P2 周期寄存器	
FFC0 _H	T8P2RL	T8P2 精度寄存器	
FFC1 _H	T8P2RH	T8P2 精度缓冲寄存器	
FFC2 _H	T8P2OC	T8P2 输出控制寄存器	
FFC3 _H	EPWM2C	EPWM 配置寄存器 2	
FFC4 _H	PDD2C	死区延时控制寄存器 2	
FFC5 _H	TE2AS	自动关断控制寄存器 2	
FFC6 _H	T16G1L	T16G1 计数器<7:0>	
FFC7 _H	T16G1H	T16G1 计数器<15:8>	
FFC8 _H	T16G1PL	T16G1 周期寄存器<7:0>	
FFC9 _H	T16G1PH	T16G1 周期寄存器<15:8>	
FFCA _H	T16G1RL	T16G1 精度寄存器<7:0>	
FFCB _H	T16G1RH	T16G1 精度寄存器<15:8>	
FFCC _H	T16G1CL	T16G1 控制寄存器<7:0>	
FFCD _H	T16G1CH	T16G1 控制寄存器<15:8>	
FFCE _H	T16GOC	T16G 输出控制寄存器	
FFCF _H - FFDA _H	-	保留未使用	

地址	寄存器名称	功能说明	备注	
FFDB _H	ACPC	模拟比较器控制寄存器<7:0>		
FFDC _H	-	保留未使用		
FFDD _H - FFDF _H	-	保留未使用		
FFE0 _H	WDTC	WDT 控制寄存器		
FFE1 _H	WDTUL	WDT 解锁控制寄存器		
FFE2 _H	OSCC1	时钟控制寄存器 1		
FFE3 _H	OSCC2	时钟控制寄存器 2		
FFE4 _H	OSCWP	时钟控制写保护寄存器		
FFE5 _H	CLKG	模块时钟关停寄存器		
FFE6 _H	PWRCWP	源控制寄存器		
FFE7 _H	LVDCL	LVD 控制寄存器低 8 位		
FFE8 _H	LVDCH	LVD 控制寄存器高 8 位		
FFE9 _H	IAPUL	IAP 解锁寄存器		IAP 控制寄存器
FFEA _H	IAPC	IAP 控制寄存器		
FFEB _H	IAPERSS	擦除启动控制寄存器		
FFEC _H	IAPPRGS	编程启动控制寄存器		
FFED _H	IAPS	IAP 状态寄存器		
FFEE _H	-	保留未使用	保留区	
FFEF _H	-	保留未使用		
FFF0 _H	-	保留未使用		
FFF1 _H	-	保留未使用		
FFF2 _H	-	保留未使用		
FFF3 _H	-	保留未使用		
FFF4 _H - FFFB _H	-	保留未使用		
FFFC _H	-	保留未使用		
FFFD _H	-	保留未使用		
FFFE _H	USRCFG0	用户识别代码		用户专用寄存器区
FFFF _H	USRCFG1	用户识别代码		

3.4.4 特殊功能寄存器

IAD: 间接寻址数据寄存器								
Bit	7	6	5	4	3	2	1	0
Name	IAD<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7-0 IAD<7:0>: 间接寻址数据

IAAL: 间接寻址索引寄存器<7:0>								
Bit	7	6	5	4	3	2	1	0
Name	IAAL<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7-0 IAAL<7:0>: 间接寻址索引低 8 位

IAAH: 间接寻址索引寄存器<15:8>								
Bit	7	6	5	4	3	2	1	0
Name	IAAH<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7-0 IAAH<7:0>: 间接寻址索引高 8 位

第4章 输入/输出端口

4.1 概述

ES7P1751F2SD 最多可支持 14 个双向 I/O 端口；

其中一个端口 PA3 与外部复位 MRSTN 复用，当配置为外部复位时，固定选为输入，不受相应的特殊功能寄存器 PAT[3]控制。

其他所有 I/O 端口都是 TTL/SMT 输入和 CMOS 输出驱动。每个端口都有相应的特殊功能寄存器 PxT，来进行输入/输出控制。若 PxT 置 1，则 I/O 端口为输入状态，若 PxT 置 0，则 I/O 端口为输出状态。

PA 端口电平变化可以产生中断，在端口电平变化中断使能的情况下，输入端口 PA 与锁存器上的最后输入值进行比较，如果不匹配引起中断，中断标志位置 1，此中断能将芯片从睡眠状态唤醒。

用户可在中断服务程序中用软件清除该中断标志，操作过程如下：

- 1) 对 PA 端口进行读或者写操作，结束端口电平与锁存器值的不匹配条件；
- 2) 软件清除中断标志位。

在按键中断使能（KMSKx=1，KIE=1）前，先对 PA 端口进行读或者写的操作，清除中断标志位，以免误产生中断。

当 I/O 管脚处于输出状态时，其电平由 Px 寄存器决定。1 为高电平，0 为低电平。

当 I/O 管脚处于输入状态时，其电平状态可由 Px 寄存器读取。

支持管脚复用。详细介绍和设置可参考《管脚复用说明》章节。

4.2 结构框图

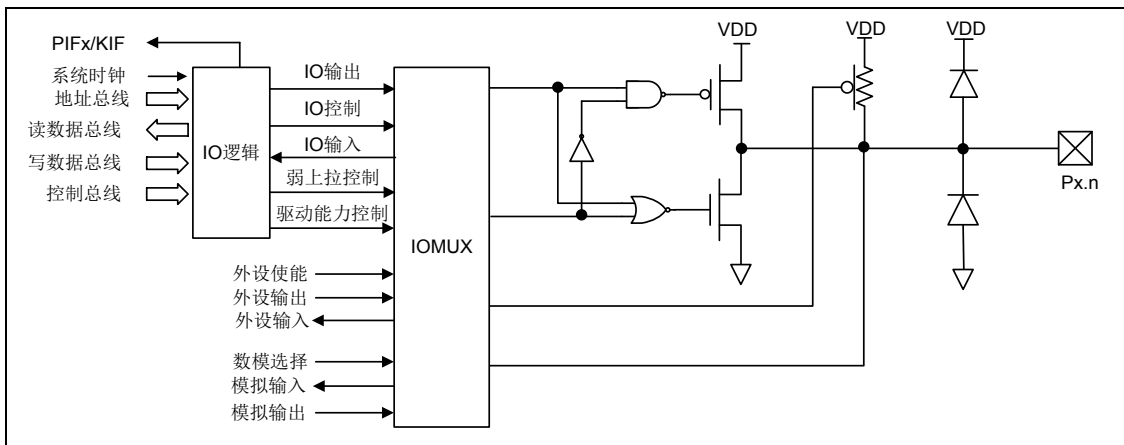


图 4-1 输入/输出端口结构图

4.3 I/O 端口弱上拉

PA、PB 端口可软件独立配置弱上拉，只有 PA3 端口默认弱上拉使能。

管脚	0	1	2	3	4	5	6	7
PA	支持	支持	支持	支持	支持	支持	支持	支持
PB	支持	支持	支持	支持	支持	支持	-	-

表 4-1 I/O 端口弱上拉

4.4 I/O 端口弱下拉

PA 和 PB 端口可软件独立配置弱下拉，只有 PA3 端口默认弱下拉禁能。

管脚	0	1	2	3	4	5	6	7
PA	支持	支持	支持	支持	支持	支持	支持	支持
PB	支持	支持	支持	支持	支持	支持	-	-

表 4-2 I/O 端口弱下拉

4.5 I/O 端口大电流驱动

PA、PB 端口可软件独立配置大电流驱动（除 PA3 作为外部复位外）。

管脚	0	1	2	3	4	5	6	7
PA	支持	支持	支持	支持	支持	支持	支持	支持
PB	支持	支持	支持	支持	支持	支持	-	-

表 4-3 I/O 端口大电流驱动

4.6 外部按键中断 (KINT)

外部端口支持 1 组外部按键中断。按键中断支持最多 8 个按键输入端 KIN<7:0>，每个输入端可以由相应的 INTC0<7:0>屏蔽。任何其中一个按键中断产生将影响中断标志 KIF。

管脚名	端口输入	按键屏蔽	中断名	中断使能	中断标志
PA0	KIN0	KMSK0	KINT	KIE	KIF
PA1	KIN1	KMSK1			
PA2	KIN2	KMSK2			
PA3	KIN3	KMSK3			
PA4	KIN4	KMSK4			
PA5	KIN5	KMSK5			
PA6	KIN6	KMSK6			
PA7	KIN7	KMSK7			

表 4-4 外部按键中断

4.7 外部端口中断 (PINT)

PA 口支持两个外部端口中断。外部端口中断由相应的 PIE_x 使能，通过 PEG_x 选择上升沿触发还是下降沿触发。中断产生将影响相应的中断标志 PIF。

管脚名	中断名	中断使能	端口输入	边沿选择	中断标志
PA0	PINT0	PIE0	PINT0	PEG0	PIF0
PA1	PINT1	PIE1	PINT1	PEG1	PIF1

表 4-5 外部端口中断

4.8 特殊功能寄存器

PA: PA 端口电平状态寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PA<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

Bit 7-0 PA<7:0>: PA 口电平状态
0: 低电平
1: 高电平

PB: PB 端口电平状态寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	PB<5:0>					
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	x	x	x	x	x	x

Bit 7-6 保留
Bit 5-0 PB<5:0>: PB 口电平状态
0: 低电平
1: 高电平

PAT: PA 端口输入输出控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PAT<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

Bit 7-0 PAT<7:0>: PA 口输入输出状态 (PA3 端口只能用作输入)
0: 输出状态
1: 输入状态

PBT: PB 端口输入输出控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	PB<5:0>					
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	1	1	1	1	1	1

Bit 7-6 保留
Bit 5-0 PB<5:0>: PB 口输入输出状态
0: 输出状态
1: 输入状态

N_PAU: PA 弱上拉控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	N_PAU<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	0	1	1	1

Bit 7-0 N_PAU<7:0>: PA 口内部弱上拉控制位
 0: 弱上拉使能
 1: 弱上拉不使能

N_PBU: PB 弱上拉控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	N_PBU<5:0>					
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	1	1	1	1	1	1

Bit 7-6 保留
 Bit 5-0 N_PBU<5:0>: PB 口内部弱上拉控制
 0: 弱上拉使能
 1: 弱上拉不使能

PAEL: PA 端口输出驱动低位控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PAEL<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7-0 PAEL<7:0>: PA7~0 端口输出电流控制器低位

PAEH: PA 端口输出驱动高位控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PAEH<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7-0 PAEH<7:0>: PA7~0 端口输出电流控制器高位
 组合配置 PAEH<x>, PAEL<x>, 控制驱动电流如下:
 2'b00: PA<x>输出驱动电流 4mA
 2'b01: PA<x>输出驱动电流 8mA
 2'b10: PA<x>输出驱动电流 12mA
 2'b11: PA<x>输出驱动电流 16mA

PBEL: PB 端口输出驱动低位控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	PBEL<5:0>					
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7-6 保留

Bit 5-0 PBEL<5:0>: PB5~0 端口输出电流控制器低位

PBEH: PB 端口输出驱动高位控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	PBEH<5:0>					
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7-6 保留

Bit 5-0 PBEH<5:0>: PB5~0 端口输出电流控制器高位
组合配置 PBEH<x>, PBEL<x>, 控制驱动电流如下:
2'b00: PB<x>输出驱动电流 4mA
2'b01: PB<x>输出驱动电流 8mA
2'b10: PB<x>输出驱动电流 12mA
2'b11: PB<x>输出驱动电流 16mA

PASR: PA 慢变化使能寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PASR<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7-0 PASR<7:0>: PA 慢变化使能位

1: 使能慢变化
0: 正常变化

PBSR: PB 慢变化使能寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	PBSR<5:0>					
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7-6 保留

Bit 5-0 PBSR<5:0>: PB 慢变化使能位
1: 使能慢变化
0: 正常变化

PASMT: PA 施密特输入使能寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PASMT<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7-0 PASMT<7:0>: PA 施密特输入使能位
 1: 使能施密特输入
 0: 正常输入

PBSMT: PB 施密特输入使能寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	PBSMT<5:0>					
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7-6 保留
 Bit 5-0 PBSMT<5:0>: PB 施密特输入使能位
 1: 使能施密特输入
 0: 正常输入

ANS0: PA 端口数模选择寄存器								
Bit	7	6	5	4	3	2	1	0
Name	ANS0<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	0	1	0	0

Bit 7-0 ANS0<7:0>: PA 端口数模选择位
 1: 模拟端口
 0: 数字端口

ANS1: PB 端口数模选择寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	ANS1<5:0>					
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	1	1	1	1

Bit 7-6 保留
 Bit 5-0 ANS1<5:0>: PB 端口数模选择位
 1: 模拟端口
 0: 数字端口

N_PAD: PA 端口弱下拉控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	N_PAD<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

Bit 7-0 N_PAD<7:0>: PA7~0 端口内部弱下拉控制位
 0: 使能
 1: 禁能

N_PBD: PB 端口弱下拉控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	N_PBD<5:0>					
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	1	1	1	1	1	1

Bit 7-6 保留
 Bit 5-0 N_PBD<5:0>: PB 端口内部弱下拉控制位
 0: 使能
 1: 禁能

PSFT: 端口映射选择寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	PSFT<2:0>			
R/W	R	R	R	R	R	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~3 保留
 Bit 2 PSFT<2>: T16G1x 端口映射选择位
 0: T16G1x 不映射
 1: T16G1x 映射
 Bit 1 PSFT<1>: PWM2x 端口映射选择位
 0: PWM2x 不映射
 1: PWM2x 映射
 Bit 0 PSFT<0>: PWM1x 端口映射选择位
 0: PWM1x 不映射
 1: PWM1x 映射

第5章 系统控制及操作特性

5.1 系统时钟和振荡器

5.1.1 概述

芯片运行所需要的时钟源由振荡器提供，不同的振荡器选择可以让使用者在不同的应用需求中实现更大范围的功能。本款芯片所提供的振荡器有 2 种：内部高速 RC 振荡器（16MHz）和内部低速 RC 振荡器（32KHz）。灵活选择振荡器，使得产品在速度和功耗方面可以达到最优化。振荡器除了作为系统时钟源外，还可以作为看门狗定时器的时钟源。

◇ HRC

内部 16MHz RC 振荡器

出厂前，振荡器频率在常温下已校准，校准精度在 ±1% 以内

◇ LRC

内部 32KHz RC 振荡器

出厂前，振荡器频率常温下已校准，校准精度在 ±3% 以内

5.1.2 结构框图

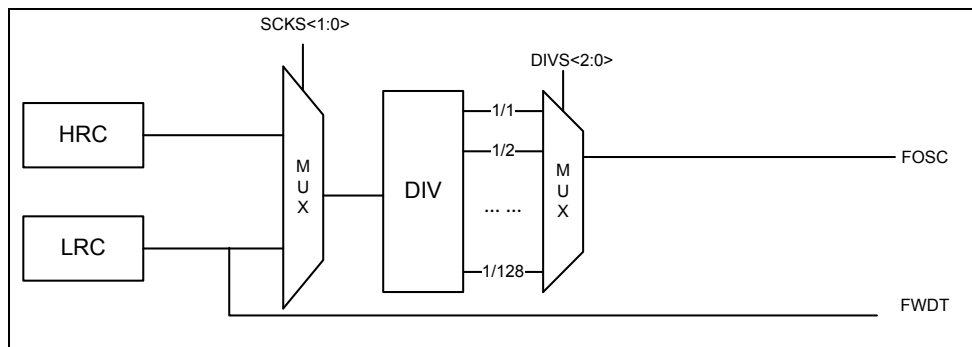


图 5-1 系统时钟内部结构图

5.1.3 时钟源

5.1.3.1 内部高速 16MHz RC 振荡器 HRC

芯片内置 16MHz/2MHz RC 时钟振荡器，不需要外接其它外部器件。出厂前，内置 16MHz RC 时钟振荡器已在常温下校准。

5.1.3.2 内部低速 32KHz RC 振荡器 LRC

芯片内置 32KHz RC 时钟振荡器（固定使能），不需要外接其它外部器件，可用作 WDT 计数时钟源，也可配置为主系统时钟源。出厂前，内置 32KHz RC 时钟振荡器已在常温下校准。

5.1.4 系统时钟源切换

高频时钟能提供系统更高的性能，低频时钟能够提供更低的功耗。因此，根据用户需要，灵活地安排高低频时钟切换，可以使系统在执行速度和功耗方面最优化。

芯片上电复位后，内部 2MHz RC 振荡器（HRC）默认作为系统时钟源，以此保证芯片上电运行的低功耗特性，可通过 OSSC2 寄存器中的 HFS 位切换 HRC 时钟频率至 16MHz。另外，通过配置 OSSC1 寄存器中的 SCKS 位可切换 HRC/LRC 作为系统时钟源。当芯片从睡眠模式唤醒时，默认系统时钟可由芯片配置字来确定使用 HRC 时钟或 LRC 时钟。

系统支持 2 种时钟之间相互切换，共 2 种情况：

- ◇ 内部高速 HRC 时钟切换到内部低速 LRC 时钟
 - 检测 OSCC2 寄存器中的 LRCON 位，直到检测到 LRCON=1；
 - 设置 OSCC1 寄存器中的 SCKS<0>=1；
 - 检测 OSCC1 寄存器的 CHG 位，直到检测到 CHG=0；
 - 用户可选择关闭 HRC 时钟，即设置 OSCC2 寄存器中的 HRCEN=0。
- ◇ 内部低速 LRC 时钟切换到内部高速 HRC 时钟
 - 设置 OSCC2 寄存器中的 HRCEN=1；
 - 检测 OSCC2 寄存器中的 HRCON 位，直到检测到 HRCON = 1；
 - 设置 OSCC1 寄存器中的 SCKS<0>=0；
 - 检测 OSCC1 寄存器的 CHG 位，直到检测到 CHG=0；

5.1.4.1 系统上电时序

当 MRSTN/PA3 配置为 MRSTN 时，当 PWRTEB=0 时，上电固定延迟存在，当 PWRTEB=1 时，上电固定延迟不存在，PWRTEB=0 时上电时序如下图所示。其它复位的上电时序参见 5.3 复位模块一节。

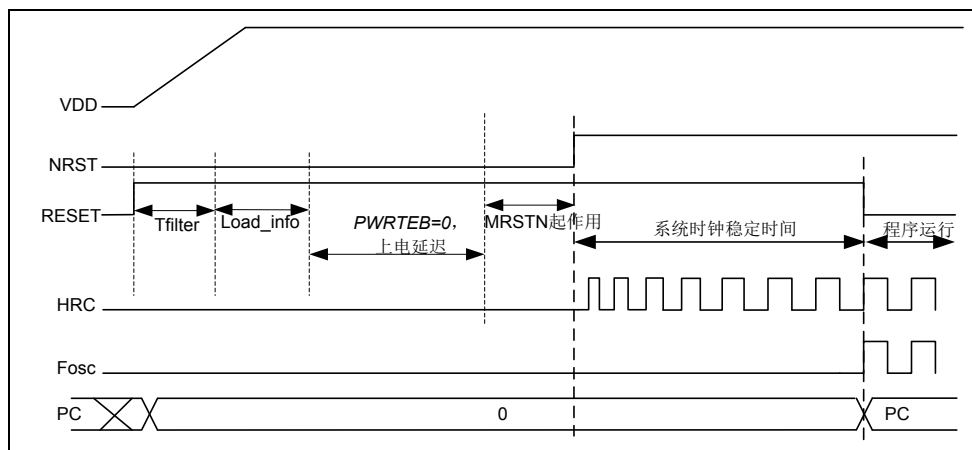


图 5-2 系统上电时序图 1（MRSTN/PA3 配置为 MRSTN 且在最后释放）

注 1: Tfilter 约为 700us, 经过 Tfilter 时间之后开始 load info, 约 1.4ms 后, load 结束;

注 2: 当 PWRTEB=0 时, 才有上电延迟, 上电定时时间约为 128ms; 当 PWRTEB=1 时, 最短上电启动时间为 2.8ms;

注 3: 系统稳定时间约为 256 个 THRC 时钟周期;

当 MRSTN/PA3 配置为 GPIO 时，上电固定延迟总是存在，如下图所示。其它复位的上电时序参见 5.3 复位模块一节。

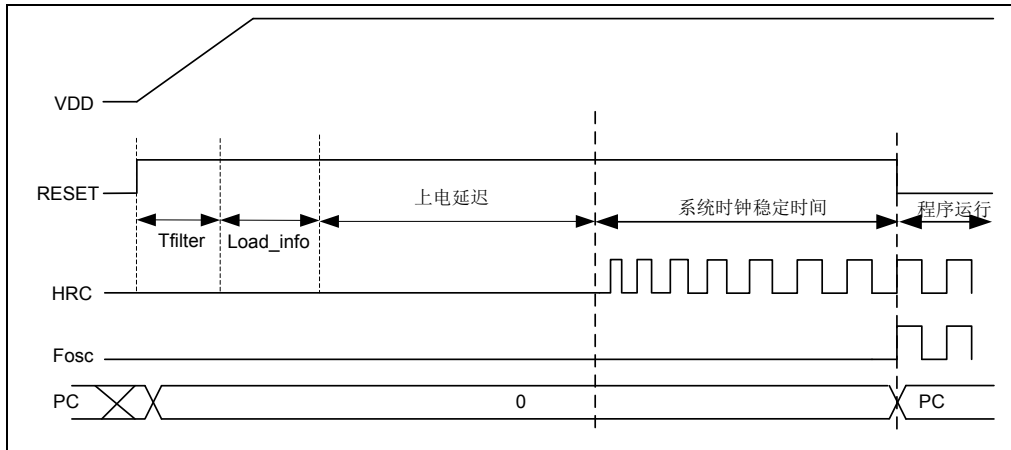


图 5-3 系统上电时序图 2 (MRSTN/PA3 配置为 GPIO)

- 注 1: Tfilter 约为 700us, 经过 Tfilter 时间之后开始 load info, 约 1.4ms 后, load 结束;
- 注 2: 当 PWRTEB=0 时, 才有上电延迟, 上电定时时间约为 128ms; 当 PWRTEB=1 时, 最短上电启动时间为 2.8ms;
- 注 3: 系统稳定时间约为 256 个 THRC 时钟周期;

5.1.5 系统时钟分频

系统时钟支持 1 个最大分频比为 1:256 的后分频器, 可通过 OSSC1 寄存器中的 DIVS<2:0> 位进行选择分频比。后分频器本身不可读写, 配置系统时钟切换选择位 SCKS 后, 后分频器计数自动清零, 但不影响分频比设置。

改变系统时钟的分频比也同样视为系统时钟源的切换。

5.1.6 时钟切换等待

改变系统时钟的时钟源和改变系统时钟分频比都被视为系统时钟切换操作。为确保时钟切换时的系统稳定, 在执行时钟切换操作时系统时钟会暂停运行, 直到时钟切换结束再恢复运行。切换等待时间的长短视切换中的 2 个时钟源的频率而定。

5.1.7 特殊功能寄存器

OSCWP: 时钟控制写保护寄存器								
Bit	7	6	5	4	3	2	1	0
Name	OSCWP<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 为保证系统的稳定运行 OSCC2 和 OSCC1 寄存器默认处于写保护状态。解锁需对 OSCWP 寄存器写入 55H, 写入其它值将恢复写保护状态。

OSCC1: 时钟控制寄存器 1								
Bit	7	6	5	4	3	2	1	0
Name	CHG	DIVS<2:0>			—	SST	—	SCKS
R/W	R	R/W	R/W	R/W	—	R	—	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 CHG: 系统时钟切换标志位
 0: 切换完成
 1: 切换进行中
- Bit 6~4 DIVS<2:0>: 系统时钟后分频比选择位
 000 = 1:1
 001 = 1:2
 010 = 1:4
 011 = 1:8
 100 = 1:16
 101 = 1:32
 110 = 1:64
 111 = 1:128
- Bit 3 保留
- Bit 2 SST: 系统时钟源标志位
 0: HRC 时钟源
 1: LRC 时钟源
- Bit 1 保留
- Bit 0 SCKS: 系统时钟源选择位
 0: HRC 时钟源
 1: LRC 时钟源

OSCC2: 时钟控制寄存器 2								
Bit	7	6	5	4	3	2	1	0
Name	CLKOEN	—	HRCON	LRCON	—	—	HRCEN	HFS
R/W	R/W	—	R	R	—	—	R/W	R/W
POR	0	0	1	1	0	0	0	0

- Bit 7 CLKOEN: 系统时钟 128 分频输出使能位
 0: 关闭
 1: 使能, 输出到 CLK0 (PA4 端口)
- Bit 6 保留
- Bit 5 HRCON: HRC 时钟状态位
 0: 关闭状态
 1: 开启状态
- Bit 4 LRCON: LRC 时钟状态位
 0: 关闭状态
 1: 开启状态
- Bit 3~2 保留
- Bit 1 HRCEN: HRC 时钟使能位
 0: 关闭 (无其它硬件强制使能时)
 1: 使能
- Bit 0 HFS: HRC 频率选择位
 0: HRC 输出 2MHz 时钟 (默认)
 1: HRC 输出 16MHz 时钟

5.2 看门狗定时器

5.2.1 概述

看门狗定时器是芯片的一个组成部分，它的功能在于在发生软件故障时，通过器件复位将芯片复位。若系统进入了错误的工作状态，看门狗可以在合理的时间范围内使芯片复位。使能看门狗时，若用户程序清除看门狗定时器失败，则在预定的时间范围内，看门狗会使系统复位。

WDT 定时器特性：

- ◇ 8 位 WDT 定时计数器（无实际物理地址，不可读写）
- ◇ 定时器时钟源为 LRC 时钟
- ◇ 8 位预分频器（无实际物理地址，不可读写）
- ◇ WDTUL 解锁寄存器
- ◇ WDT 控制寄存器（WDTC）
- ◇ 唤醒功能
- ◇ 复位功能

5.2.2 WDT操作

芯片提供 8 位 WDT 定时计数器，通过芯片配置字 WDTEN 可使能硬件看门狗 WDT。当芯片配置字 WDTEN 使能时，且 WDTIC 寄存器的 SWDTEN 控制位使能时，WDT 定时器计数使能。当 WDTEN 关闭时，WDT 定时器计数禁止。用户通过编程界面选择。用户也可通过配置 WDTIC 寄存器的 SWDTEN 位来使能或禁止 WDT 计数，设置该位之前必须先对 WDT 进行解锁，即向 WDTUL 寄存器写入 0xA5。每一次对 WDTIC 的写操作都必须重新解锁。

在 IDLE 模式下，WDT 计数溢出会唤醒 CPU；在正常运行模式下，WDT 计数溢出会复位芯片。为了避免不必要的复位，可使用 CWDT 指令适时清零 WDT 计数器。

WDT 支持一个预分频器，可通过 WDTIC 寄存器中的 WDTPRS<2:0>位设置 WDT 时钟源的预分频比，再将分频后的时钟信号作为 WDT 定时器的计数时钟。WDT 时钟源来自内部 32KHz RC 振荡器 LRC 时钟。在预分频器分频比为 1:1 时，常温下（25℃）WDT 计数溢出时间约为 8ms。其它工作条件下，WDT 的计数溢出时间，可参考《附录 参数特性图》章节的相关图示。

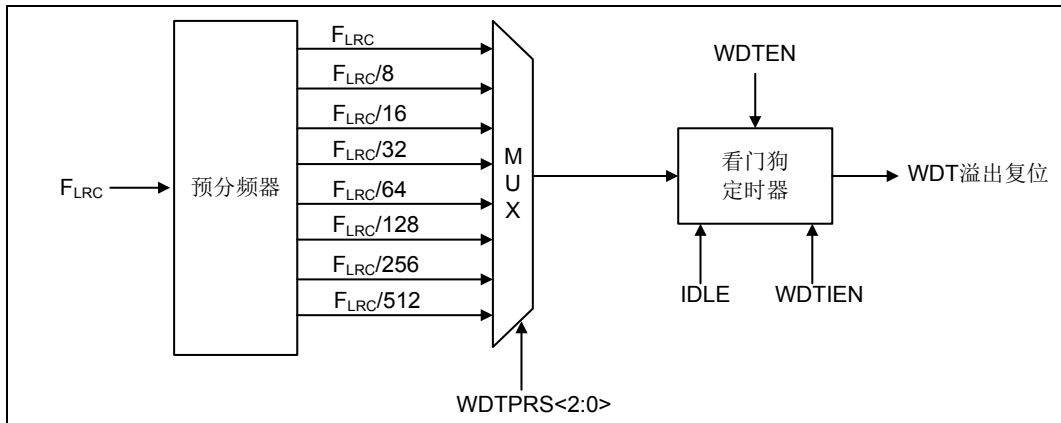


图 5-4 看门狗定时器内部结构图

5.2.3 特殊功能寄存器

WDT 的功能控制由 WDTC 寄存器和芯片配置字共同完成。WDT 功能的使能控制由芯片配置字的 WDTEN 位和 WDTC 控制寄存器的 SWDTEN 位控制。当 WDTEN 为 1 时，仍可以通过设置 SWDTEN 位来关闭 WDT；当 WDTEN 为 0 时，SWDTEN 位无效。WDT 在 IDLE 模式下的使能控制，以及 WDT 预分频器的分频比选择，由 WDTC 寄存器设置。

每次对 WDTC 寄存器进行写操作前都必须对 WDT 解锁，即向 WDTUL 寄存器写入 0xA5。

WDTUL: WDT 解锁控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	WDTUL<7:0>							
R/W	W	W	W	W	W	W	W	W
POR	0	0	0	0	0	0	0	0

Bit 7~0 WDTUL<7:0>: WDT 解锁寄存器
 写入 0xA5 解锁 WDTC 寄存器的写操作。WDTUL 寄存器读出值总为 0x00

WDTC: WDT 控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	SWDTEN	WDTIEN	WDTPRS<2:0>		
R/W	—	—	—	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	1	1	1	1	1

Bit 7~5 保留

Bit 4 SWDTEN: WDT 软件使能位（仅当配置字 WDTEN=0 时有效）
 0: 关闭
 1: 使能（缺省值）

Bit 3 WDTIEN: WDT 在 IDLE 模式下使能位（仅当配置字 WDTEN=1 或 SWDTEN=1 时有效）
 0: 关闭
 1: 使能（缺省值）

Bit 2~0 WDTPRS <2:0>: WDT 预分频器分频比选择位
 000: 1:1
 001: 1:8
 010: 1:16
 011: 1:32
 100: 1:64
 101: 1:128
 110: 1:256
 111: 1:512（缺省值）

5.3 复位模块

5.3.1 概述

复位功能是所有芯片中基本的部分，该芯片支持五种复位方式：

- ◇ 上电复位 POR
- ◇ 掉电复位 BOR，复位电压点可配置
- ◇ 外部复位 MRSTN，低电平复位有效
- ◇ 看门狗定时器 WDT 计数溢出复位
- ◇ RST 指令复位

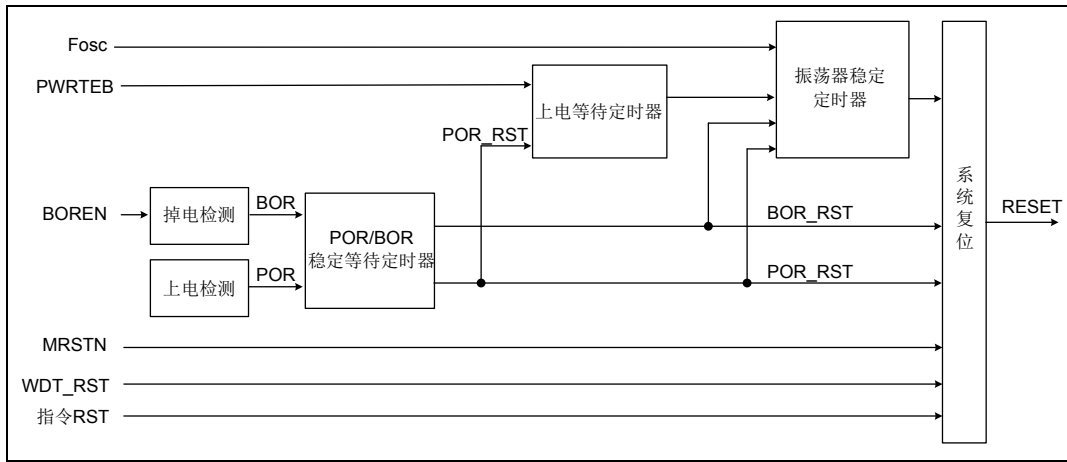


图 5-5 系统复位内部结构图

5.3.2 上电复位POR

芯片上电过程中会产生 POR 复位，并且该复位信号将会一直保持到电源电压升高到芯片能够正常工作的电压为止。系统上电过程呈逐渐上升的曲线形式，需要一定时间才能达到正常电平值。上电复位的时序如下。

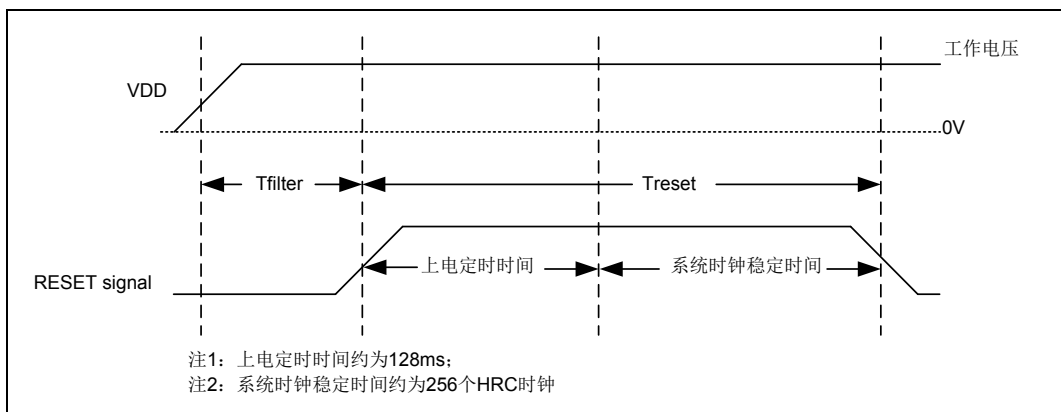


图 5-6 上电复位时序示意图

注：128ms 上电定时时间可以通过芯片配置字中的 PWRTEB 位屏蔽，但如果配置位 MRSTNEN=0，MRSTN/PA3 管脚复用为 GPIO 端口，则该 128ms 上电定时时间无法被屏蔽。

5.3.3 掉电复位BOR

掉电复位针对外部因素引起的系统电压跌落情形（例如：更换电池），掉电复位可能会引起系统工作状态不正常或程序执行错误。

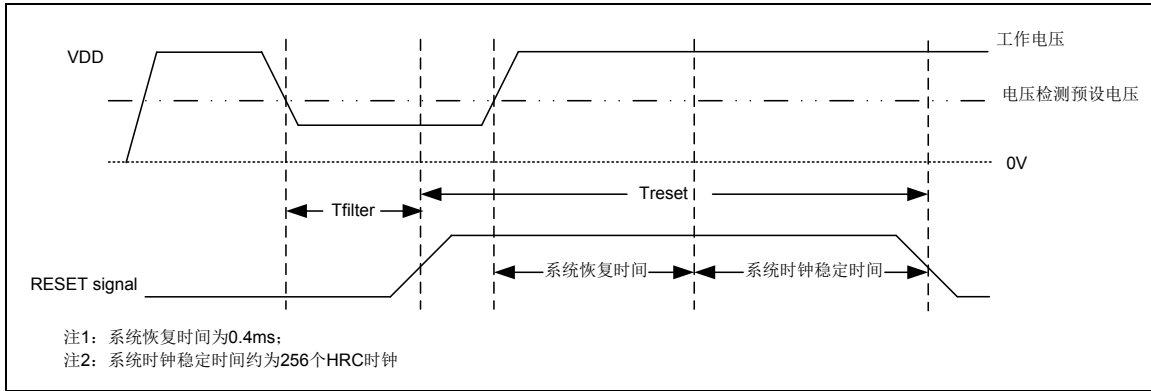


图 5-7 低电压复位时序示意图

5.3.4 外部MRSTN管脚复位

芯片提供外部 MRSTN 管脚，用于系统复位。当复位管脚输入低电平信号时，系统复位。当复位管脚处于高电平时，系统正常运行。需要注意的是，在系统上电完成后，外部复位管脚必须输入高电平，否则系统将一直保持在复位状态。需要特别注意的是，禁止将 MRSTN 管脚直接连接到 VDD 上。

可通过芯片配置字 CFG_WORD0 将 MRSTN 管脚配置为 GPIO 或 MRSTN。

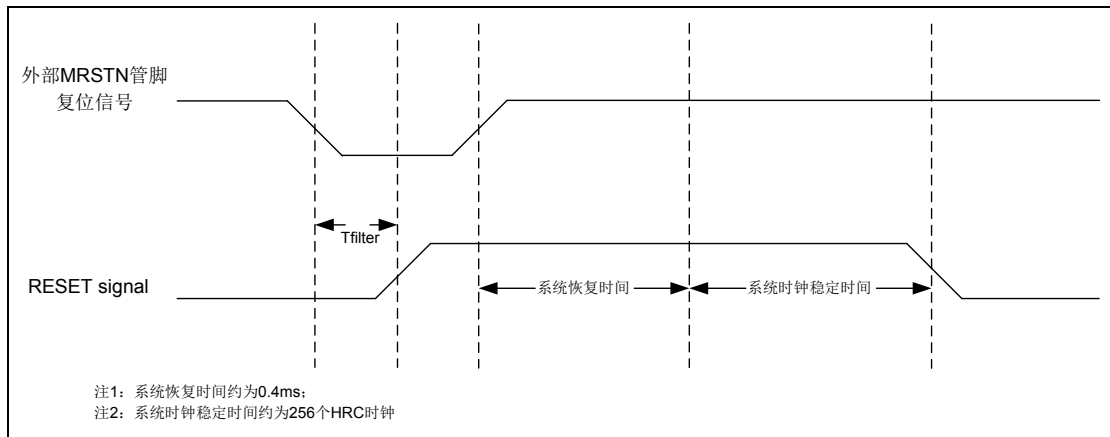


图 5-8 外部 MRSTN 管脚复位

外部 MRSTN 管脚复位有多种应用电路，以下介绍两种比较典型的连接电路。

5.3.4.1 RC复位电路

RC 复位电路是外部 MRSTN 管脚复位电路最简单的一种，对外界环境条件要求不高的情况下，可以采用此种连接方式。

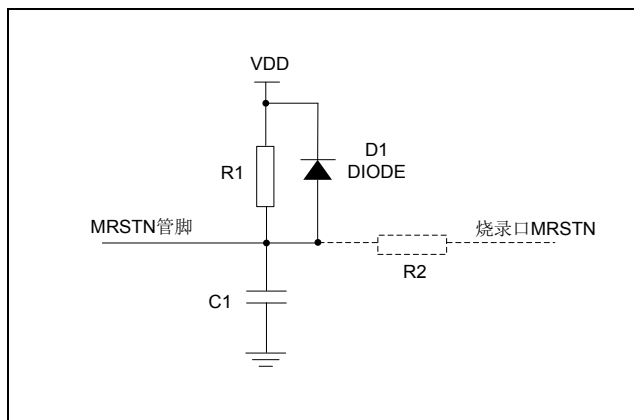


图 5-9 MRSTN 复位参考电路图 1

注：采样 RC 复位，其中 $47K\Omega \leq R1 \leq 100K\Omega$ ，电容 C1 (0.1 μ F)，在有外部烧录口的应用系统中，需要串接 R2 作为限流电阻，阻值为 $0.1K\Omega \leq R2 \leq 1K\Omega$ 。

5.3.4.2 PNP三极管复位电路

PNP 三极管复位电路适用于对电源干扰较强的场合。

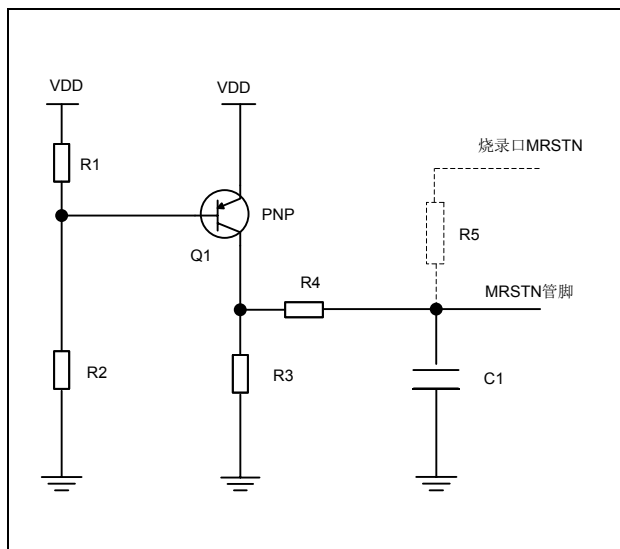


图 5-10 MRSTN 复位参考电路图 2

注：采用 PNP 三极管复位，通过 R1 (2K Ω) 和 R2 (10K Ω) 分压作为基极输入，发射极接 VDD，集电极一路通过 R3 (20K Ω) 接地，另一路通过 R4 (47K $\Omega \leq R4 \leq 100K\Omega$) 和 C1 (0.1 μ F) 接地，C1 另一端作为 MRSTN 输入，当 VDD 为 3.3v 时，建议 R1 为 4.7K Ω ，R2 为 8K Ω ；VDD 为 5v 时，建议 R1 为 1.5K Ω ，R2 为 5.1K Ω ；在有外部烧录口的应用系统中，需要串接 R5 作为限流电阻，阻值为 $0.1K\Omega \leq R5 \leq 1K\Omega$ 。

5.3.5 看门狗定时器溢出复位

看门狗复位是系统的一种保护设置。在正常状态下，由程序将看门狗定时器清零。若出错，系统处于未知状态，程序无法清除看门狗，导致看门狗定时器溢出，此时系统复位。看门狗溢出复位后，系统重启进入正常状态。

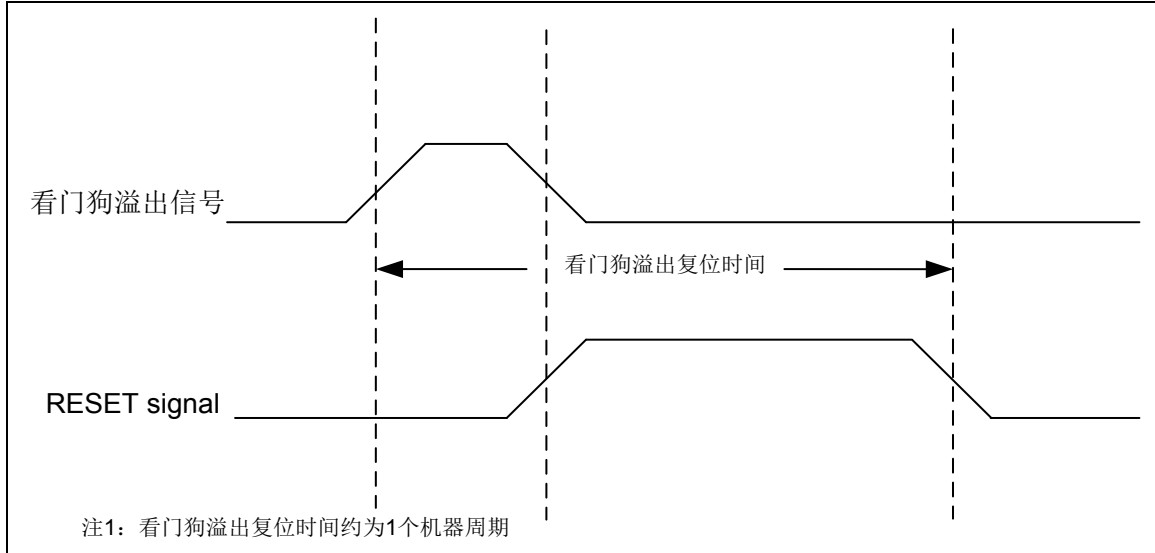


图 5-11 看门狗溢出复位

5.3.6 RST指令复位

整个芯片可通过执行 RST 指令复位，复位后，全部寄存器状态位都将被影响。

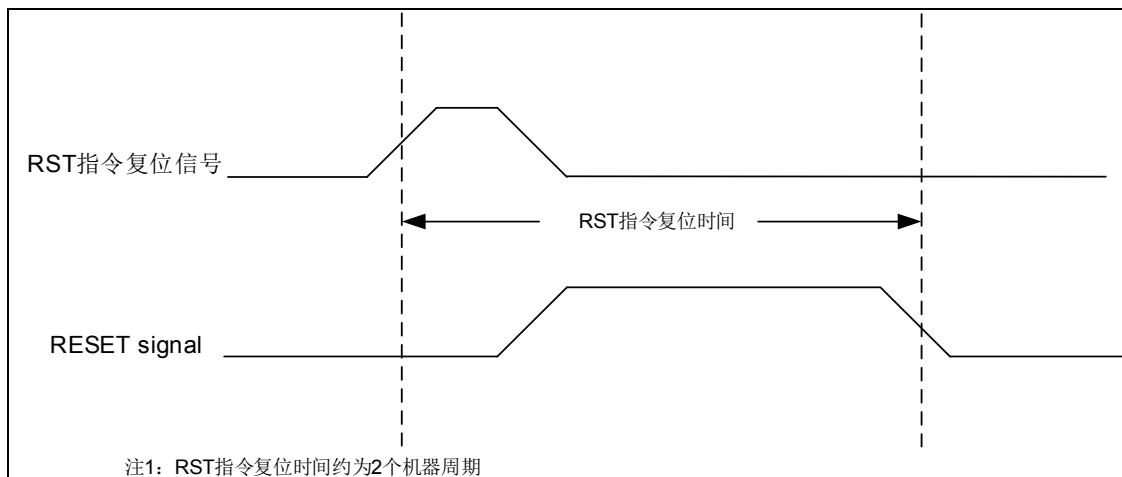


图 5-12 RST 指令复位

5.3.7 特殊功能寄存器

PWRCWP: 源控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PWRCWP<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 PWRCWP<7:0>: PWRC 寄存器写保护寄存器
 当 PWRCWP 写入 0xA5 时, PWRC 的 SBOREN, SMRSTEN 控制位的写保护解除。
 PWRCWP 写入其它值无效, 保持写保护状态。当 SBOREN, SMRSTEN 控制位被
 写入后, 自动重新进入写保护状态。下一次写操作前必须重新解除写保护。
 PWRC 寄存器的其它位不受 PWRCWP 写保护寄存器的影响。

PWRC: 电源控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	SBOREN	SMRSTEN	—	IRSTB	TOB	PDB	PORB	BORB
R/W	R/W	R/W	—	R/W	R/W	R/W	R/W	R/W
POR	1	1	0	1	1	1	0	x

Bit 7 SBOREN: 软件 BOR 使能位 (该位仅当芯片配置字中的 BOREN = 0 时有效)
 0: 软件 BOR 禁能
 1: 软件 BOR 使能 (缺省值)

Bit 6 SMRSTEN: MRSTN/PA3 管脚复用软件配置位 (仅当配置字 MRSTEN = 1 时有效)
 0: 管脚配置为 GPIO PA3 功能
 1: 管脚配置为 MRSTN 功能 (缺省值)

Bit 5 保留

Bit 4 IRSTB: 指令复位标志位
 0: 执行复位指令 (必须用软件置位)
 1: 未执行复位指令

Bit 3 TOB: WDT 溢出标志位
 0: WDT 计数溢出时被清零
 1: 上电复位或执行 CWDT、IDLE 指令后被置 1

Bit 2 PDB: 低功耗标志位
 0: 执行 IDLE 指令后清零
 1: 上电复位或执行 CWDT 指令后置 1

Bit 1 PORB: 上电复位状态位
 0: 上电复位发生 (上电复位后, 必须软件置位)
 1: 无上电复位发生

Bit 0 BORB: 低电压复位状态位
 0: 低电压复位发生 (低电压复位后, 必须软件置位)
 1: 无低电压复位发生

注: 如果用户需要将 MRSTN/PA3 管脚复用为通用 I/O 端口, 但又希望屏蔽 128ms 上电定时时间, 则可以设置配置位 MRSTEN=1, 配置位 PWRTEB=1, 通过软件设置寄存器位 SMRSTEN=0, 使 MRSTN/PA3 管脚在芯片上电复位期间复用为外部复位端口 MRSTN 且屏蔽了 128ms 上电定时时间, 当复位结束后由软件设置复用为 PA3 端口。

5.4 低功耗操作

5.4.1 概述

用户可通过 IDLE 指令使 CPU 暂停执行，进入 IDLE 状态以降低芯片功耗。用户还可以在执行 IDLE 指令前，关闭部分或全部芯片模块，以进入更深程度的睡眠状态，最大限度的降低芯片功耗。芯片支持多种 IDLE 唤醒源，用于 IDLE 模式下的芯片唤醒。

5.4.2 IDLE 状态

IDLE 指令执行后，系统时钟 FOSC 暂停，CPU 停止运行，PC 保持当前值，采用系统时钟运行的同步功能模块均保持当前状态暂停执行，其它异步功能模块可根据 IDLE 前的设置继续运行或关闭。所有 I/O 端口将保持进入 IDLE 前的状态，若使能 WDT，则 WDT 将被清零并保持运行。PDB 标志位被清零，TOB 标志位被置 1。IDLE 状态下保持异步运行的外设可产生中断，并置相应的中断标志。

5.4.3 唤醒方式配置

序号	唤醒方式	唤醒使能	中断模式	备注
1	MRSTN	—	—	—
2	WDT	WDTIEN	—	—
3	KINT	KIE	默认/向量	—
4	PINTn	PIEn	默认/向量	—
5	LVD	LVDIE	默认/向量	—
6	ACP	ACPIE	默认/向量	需选择 LRC 作为工作时钟

5.4.4 低功耗下的功能模块

执行 IDLE 指令前，通过关闭各功能模块使能位，可使芯片在执行 IDLE 指令后进入更深程度的低功耗状态。同时应避免数字输入的 I/O 管脚处于浮空状态，需将这些管脚接固定电平，或在芯片外部进行上拉或下拉处理，否则会引起 I/O 端口漏电。

功能	类型	使能/关闭	唤醒使能	备注
WDT	异步	WDTEN	WDTIEN	—
KINT	异步	KMSKn	KIE	—
PINTn	异步	—	PIEn	—
LVD	异步	LVDEN	LVDIE	—
ACP	异步	比较器使能	ACPIE	需选择 LRC 作为工作时钟

表 5-1 功能模块低功耗配置分类表

5.4.5 时钟源的关闭和唤醒

芯片进入 IDLE 状态后，HRC 时钟源自动关闭，LRC 时钟源始终保持运行。

当 IDLE 被唤醒时，时钟源首先被唤醒，每个时钟源从唤醒到进入正常工作状态都有 WARMUP 时间，WARMUP 时间根据时钟源的时钟频率不同，时间长短也有不同。

在运行或 IDLE 状态下各个外设模块的时钟源也可以设置关停或打开，由寄存器 CLKG 来控制。

模拟比较器 ACP 模块在 IDLE 状态下可运行。

5.4.6 特殊功能寄存器

CLKG: 模块时钟关停寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	ACPCE	T16G1CE	T8P2CE	T8P1CE	T8NCE
R/W	—	—	—	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	1	1	1	1	1

Bit7-5 保留

Bit4 ACPCE: ACP 模块时钟使能位

0: ACP 时钟关停

1: ACP 时钟使能

Bit3 T16G1CE: T16G1 模块时钟使能位

0: T16G1 时钟关停

1: T16G1 时钟使能

Bit2 T8P2CE: T8P2 模块时钟使能位

0: T8P2 时钟关停

1: T8P2 时钟使能

Bit1 T8P1CE: T8P1 模块时钟使能位

0: T8P1 时钟关停

1: T8P1 时钟使能

Bit0 T8NCE: T8N 模块时钟使能位

0: T8N 时钟关停

1: T8N 时钟使能

第6章 外设

6.1 定时器/计数器模块 (Timer/Counter)

本芯片包含 1 组 8 位定时器/计数器 (T8N)、2 组 PWM 时基定时器 (T8P1/T8P2) 和 1 组 16 位定时器/计数器 (T16G1)。

6.1.1 8 位定时器/计数器 (T8N)

6.1.1.1 概述

- 8 位定时器/计数器模块;
- 支持定时器模式 (时钟源为系统时钟二分频, $F_{osc}/2$);
- 支持计数器模式 (时钟源为外部计数时钟, T8NCKI);
- 支持 1 组 8 位可配置预分频器 (T8NPRS);
- 支持 1 组 8 位计数器 (T8N);
- 支持 1 组 8 位控制寄存器 (T8NC);
- 支持溢出中断标志 (T8NIF);
- T8N 在低功耗模式下不工作。

6.1.1.2 内部结构图

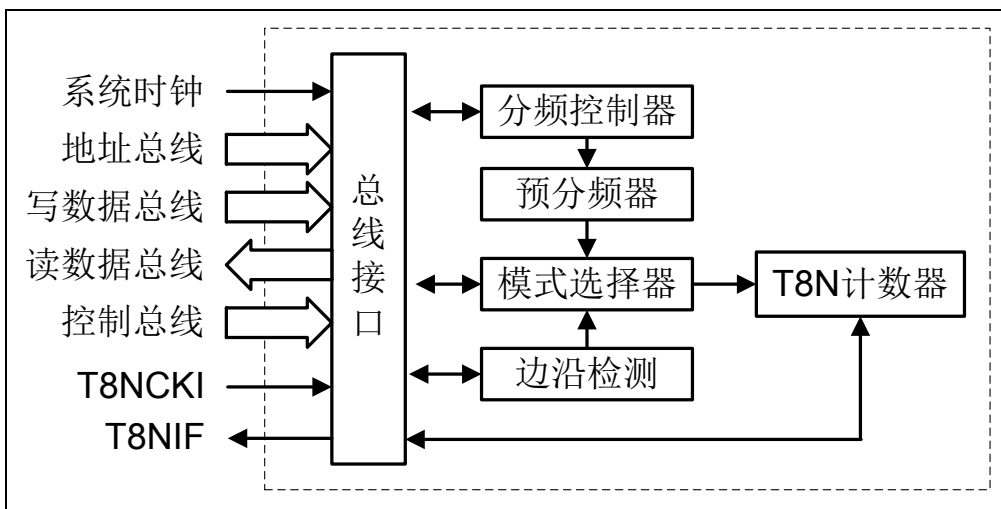


图 6-1 T8N 内部结构图

6.1.1.3 工作模式

工作模式	T8NM
定时器模式	0
同步计数模式	1

表 6-1 T8N 工作模式配置表

T8N 工作模式配置

注 1: 当 T8N 配置为定时器模式时, 若不使用预分频器, T8N 计数器的时钟为系统时钟 2 分频 ($F_{osc}/2$); 若使用预分频器, T8N 计数器的时钟为 $F_{osc}/2$ 分频后的输出信号频率。

注 2: 当 T8N 配置为计数器模式时, T8N 计数器的时钟为外部输入时钟 T8NCKI, 内部相位时钟 p2 将对 T8NCKI 进行时钟同步。所以 T8NCKI 保持高电平或者低电平的时间, 至少为一个机器周期。通过 T8NEG (T8NC<4>) 选择外部时钟的计数边沿为上升沿或下降沿。外部计数模式同样支持预分频器。另外, T8NCKI 所在 IO 端口必须配置为输入状态。

6.1.1.4 预分频器

T8N 定时器频率	T8NPRE	T8NPRS<2:0>
T8N_CLK	0	-
T8N_CLK /2	1	000
T8N_CLK /4	1	001
T8N_CLK /8	1	010
T8N_CLK /16	1	011
T8N_CLK /32	1	100
T8N_CLK /64	1	101
T8N_CLK /128	1	110
T8N_CLK /256	1	111

表 6-2 T8N 预分频器配置表

注 1: 当 T8NPRE=1 时, 使能 T8N 预分频器。此时, 任何对 T8N 计数器的写操作都会清零预分频器, 但不影响预分频器的分频比, 预分频器的计数值无法读写。

注 2: T8N_CLK, 在定时器模式下, 为系统时钟 2 分频, 在计数器模式下, 为外部计数时钟 T8NCKI。

6.1.1.5 中断标志

T8N 提供了一个溢出中断标志。当 T8N 计数器递增计数, 计数值由 FF_H 变为 00_H 时, T8N 计数器发生溢出, T8NIF 位置 1, 如果 T8NIE 位和全局中断 GIE 位使能, 则产生 T8N 溢出中断, 否则中断不被响应。在重新使能这个中断之前, 为了避免误触发中断, T8NIF 位必须软件清零。在 CPU 进入休眠模式后, T8N 模块不工作, 因此不产生中断。

注: T8NIE 和 T8NIF 位请参考《中断处理》章节中的中断使能寄存器和中断标志寄存器。

6.1.1.6 特殊功能寄存器

T8N: T8N 计数器								
Bit	7	6	5	4	3	2	1	0
Name	T8N<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7-0 T8N<7:0>: T8N 计数器

T8NC: T8N 控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	T8NEN	—	T8NM	T8NEG	T8NPRE	T8NPRS<2:0>		
R/W	R/W	—	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 T8NEN: T8N 使能位
 0: 关闭 T8N 模块
 1: 使能 T8N 模块
- Bit 6 保留
- Bit 5 T8NM: T8N 模式选择位
 0: 定时器模式 (时钟源为系统时钟二分频, $F_{osc}/2$)
 1: 计数器模式 (时钟源为 T8NCKI)
- Bit 4 T8NEG: T8NCKI 计数边沿选择位
 0: T8NCKI 上升沿计数
 1: T8NCKI 下降沿计数
- Bit 3 T8NPRE: 预分频器使能位
 0: 禁止
 1: 使能
- Bit 2-0 T8NPRS<2:0>: 预分频器分频比选择位
 000: 1:2
 001: 1:4
 010: 1:8
 011: 1:16
 100: 1:32
 101: 1:64
 110: 1:128
 111: 1:256

6.1.2 8 位PWM时基定时器 (T8P1/T8P2)

6.1.2.1 概述

- T8Px 支持 2 种工作模式：定时器模式，PWM 输出模式
- 时钟源为系统时钟 2 分频 (Fosc/2)；PWM 输出模式下，时钟源可选择为系统时钟
- T8Px 支持 2 个独立的 PWM 输出端口，并且 PWM 输出端口可配置
- T8Px 支持一个可配置预分频器和一个可配置后分频器
- T8Px 包括 8 位计数器(T8Px)，精度寄存器(T8PxRL)，精度缓冲寄存器(T8PxRH)和周期寄存器 (T8PxP)
- T8Px 计数器的初值可任意配置
- T8Px 支持中断产生 T8PxIF (不同工作模式作用不同，必须软件清零)
- T8Px 在低功耗模式下不工作

6.1.2.2 内部结构图

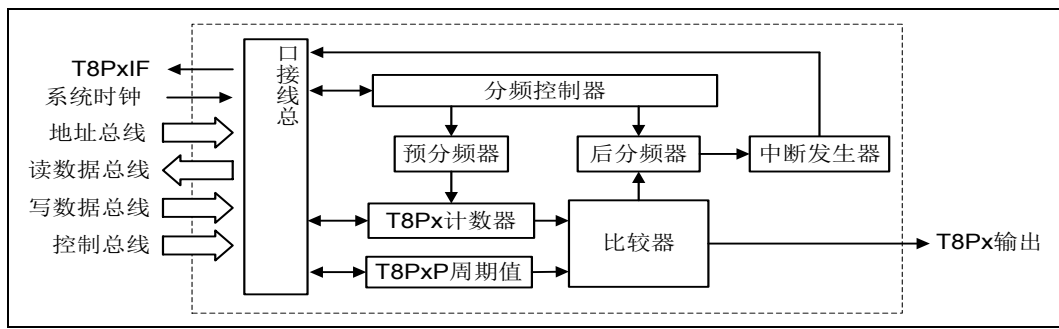


图 6-2 T8Px 内部结构图

6.1.2.3 预分频器和后分频器

T8Px 匹配中断	T8PxPOS<3:0>
计数器与周期寄存器匹配 1 次	0000
计数器与周期寄存器匹配 2 次	0001
计数器与周期寄存器匹配 3 次	0010
计数器与周期寄存器匹配 4 次	0011
计数器与周期寄存器匹配 5 次	0100
计数器与周期寄存器匹配 6 次	0101
计数器与周期寄存器匹配 7 次	0110
计数器与周期寄存器匹配 8 次	0111
计数器与周期寄存器匹配 9 次	1000
计数器与周期寄存器匹配 10 次	1001
计数器与周期寄存器匹配 11 次	1010
计数器与周期寄存器匹配 12 次	1011
计数器与周期寄存器匹配 13 次	1100

T8Px 匹配中断	T8PxPOS<3:0>
计数器与周期寄存器匹配 14 次	1101
计数器与周期寄存器匹配 15 次	1110
计数器与周期寄存器匹配 16 次	1111

表 6-3 T8Px 后分频器配置表

T8Px 定时器频率	T8PxPRS<1:0>
Fosc/2	00
Fosc/8	01
Fosc/32	1x

表 6-4 T8Px 预分频器配置表

注：T8Px 包括 1 个可配置预分频器和 1 个可配置后分频器。预分频器与后分频器的计数值都无法读写，修改 T8Px 控制寄存器或 T8Px 计数器都会把预分频器和后分频器清零。

工作模式	T8PxM
定时器模式	0
PWM 输出模式	1

表 6-5 T8Px 工作模式配置表

6.1.2.4 定时器模式

T8PxM=0 时，T8Px 为定时器模式。

T8Px 计数器的时钟源为系统时钟 2 分频 Fosc/2，可选择预分频器对计数时钟进行分频。T8Px 在定时器模式下对计数时钟进行递增计数，当 T8Px 的计数值与周期寄存器 T8PxP 相等时，T8Px 被自动清零并重新开始计数，同时后分频器加 1 计数。当后分频器的计数值与后分频器分频比相同时，复位后分频器，并将中断标志 T8PxIF 置 1，该中断标志需要软件清零。当 T8PxIF 置 1，如果 T8PxIE 使能，且全局中断 GIE 使能，则产生 T8Px 中断，否则中断不被响应。在重新使能这个中断之前，为了避免误触发中断，T8PxIF 位必须软件清零。在 CPU 进入休眠模式后，T8Px 停止工作。

当 T8PxPMS=1 时，T8Px 计数值将与周期缓冲器 PRDBUF 进行匹配。

当 T8PxE 使能后，周期寄存器 T8PxP 的值立即更新到周期缓冲器 PDRBUF 中；之后 T8Px 从初始值开始计数，直到与周期缓冲器 PDRBUF 相等，再次将周期寄存器 T8PxP 的值更新到周期缓冲器 PDRBUF 中。

如果在之后的计数过程中，修改 T8PxPMS=0，则当 T8Px 与周期缓冲器 PRDBUF 相等后，下一次 T8Px 的计数值才与周期寄存器 T8PxP 进行匹配。

6.1.2.5 标准 PWM 输出模式

T8PxM=1 时，T8Px 为 PWM 输出模式，相应的 PWM 输出端口设置为输出状态。

使能 PWM 输出模式后，首先从一个起始周期开始，起始周期完成后不断循环 PWM 周

期。

起始周期

T8Px 在起始周期内从初始值递增计数到与周期寄存器 T8PxP 相等，此时将精度寄存器 T8PxRL 的数值载入精度缓冲寄存器 T8PxRH 内，并产生 T8PxIF 中断标志。起始周期内 PWM 输出始终为 1。

PWM 周期

起始周期完成后，T8Px 从零开始重新递增计数，并保持 PWM 输出为 1，当 T8Px 与 T8PxRH 的值相等时，PWM 输出改变为 0，并继续递增计数。当 T8Px 的计数值与 T8PxP 再次相等时，PWM 输出恢复为 1，同时将当前 T8PxRL 的数值载入精度缓冲寄存器 T8PxRH 内，并产生 T8PxIF 中断标志。T8Px 清零并重新开始计数，循环 PWM 周期。在 PWM 输出模式下，T8PxRH 寄存器只可读。

当 T8PxPMS=1 时，T8Px 计数值将与周期缓冲器 PRDBUF 进行匹配。

当 T8PxE 使能后，T8Px 从初始值开始计数，直到与周期寄存器 T8PxP 相等，此时将周期寄存器 T8PxP 的值更新到周期缓冲器 PDRBUF 中；接下来 T8Px 的计数值会与周期缓冲器 PDRBUF 进行匹配。

如果在之后的计数过程中，修改 T8PxPMS=0，则当 T8Px 与周期缓冲器 PRDBUF 相等后，下一次 T8Px 的计数值才与周期寄存器 T8PxP 进行匹配。

特别的，若精度缓冲寄存器 T8PxRH 的值为 0，则当前 PWM 周期内 PWM 输出始终为 0；若精度缓冲寄存器 T8PxRH 的值大于 T8PxP，则当前 PWM 周期内 PWM 输出始终为 1。

PWM 输出模式下，计数时钟源可通过特殊功能寄存器 EPWMxC<4>选择为系统时钟二分频 Fosc/2 或系统时钟，同时支持预分频器。此模式下，后分频器的设置不影响 PWM 输出周期和占空比；只影响 T8PxIF 中断标志位的产生，详见表:《T8Px 后分频器配置表》。

对于 PWM 输出，波形如下图所示：

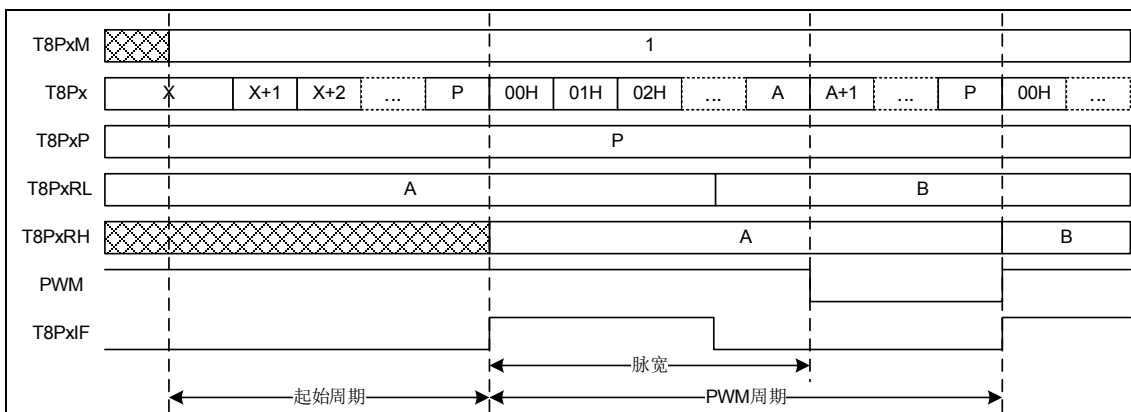


图 6-3 标准 PWM 输出示意图

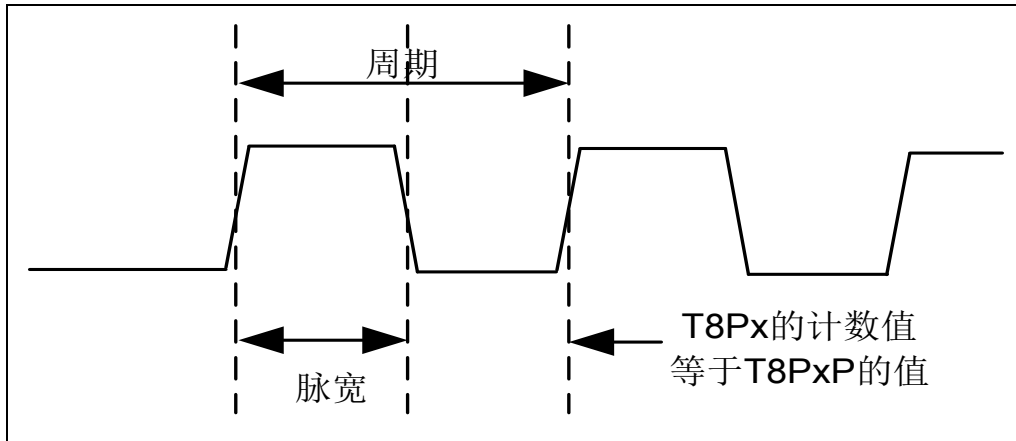


图 6-4 标准 PWM 输出示意图

PWM 计算公式（计数时钟源为 $f_{osc}/2$ ）如下：

$$\text{PWM 周期} = [(T8PxP) + 1] \times 2 \times T_{osc} \times (T8Px \text{ 预分频比})$$

$$\text{PWM 频率} = 1 / (\text{PWM 周期})$$

$$\text{PWM 脉宽} = (T8PxR + 1) \times 2 \times T_{osc} \times (T8Px \text{ 预分频比})$$

$$\text{PWM 占空比} = [\text{PWM 脉宽}] / [\text{PWM 周期}]$$

PWM 的分辨率计算公式：

$$\text{分辨率} = \frac{\log\left(\frac{F_{osc}/2}{F_{pwm} * F_{ckps}}\right)}{\log 2} \text{ 位}$$

PWM 计算公式（计数时钟源为 f_{osc} ）如下：

$$\text{PWM 周期} = [(T8PxP) + 1] \times T_{osc} \times (T8Px \text{ 预分频比})$$

$$\text{PWM 频率} = 1 / (\text{PWM 周期})$$

$$\text{PWM 脉宽} = (T8PxR + 1) \times T_{osc} \times (T8Px \text{ 预分频比})$$

$$\text{PWM 占空比} = [\text{PWM 脉宽}] / [\text{PWM 周期}]$$

PWM 的分辨率计算公式：

$$\text{分辨率} = \frac{\log\left(\frac{F_{osc}}{F_{pwm} * F_{ckps}}\right)}{\log 2} \text{ 位}$$

注 1: $T_{osc} = 1/F_{osc}$, $F_{pwm} = 1 / (\text{PWM 周期})$, F_{ckps} 为 $T8px$ 预分频比

6.1.2.6 增强型 PWM 输出模式

本芯片支持 2 组增强型 PWM 功能（即 EPWM），选择 $T8Px$ 作为其时基。EPWM 输出包括单桥输出和半桥输出。

单桥输出

单桥输出就是标准 PWM 输出，5.1.2.6 节《标准 PWM 输出模式》已经详细介绍。

半桥输出

在半桥输出模式下，有两个端口作为驱动推拉式负载输出。调制波输出到 PWMx0 端口，和它的互补信号输出到 PWMx1 端口，用这两个端口来驱动负载。在这两个端口输出的调制波之间，可编程设置一个死区延时间 Tdelay，来防止半桥功率器件直通，引起瞬间大电流损坏半桥功耗设备。死区时间的值由主时钟频率和寄存器 PDDxC 的值决定，在系统时钟频率固定的条件下，死区时间通过设置 PDDxC<6:0>来设置。Tdelay = 2 × Tosc × (PDDxC<6:0>)。如果死区时间设置大于或者等于 PWM 的工作周期，则 PWM 输出无效。

在半桥输出模式下，调制输出端口必须清零，将端口设置为输出状态。

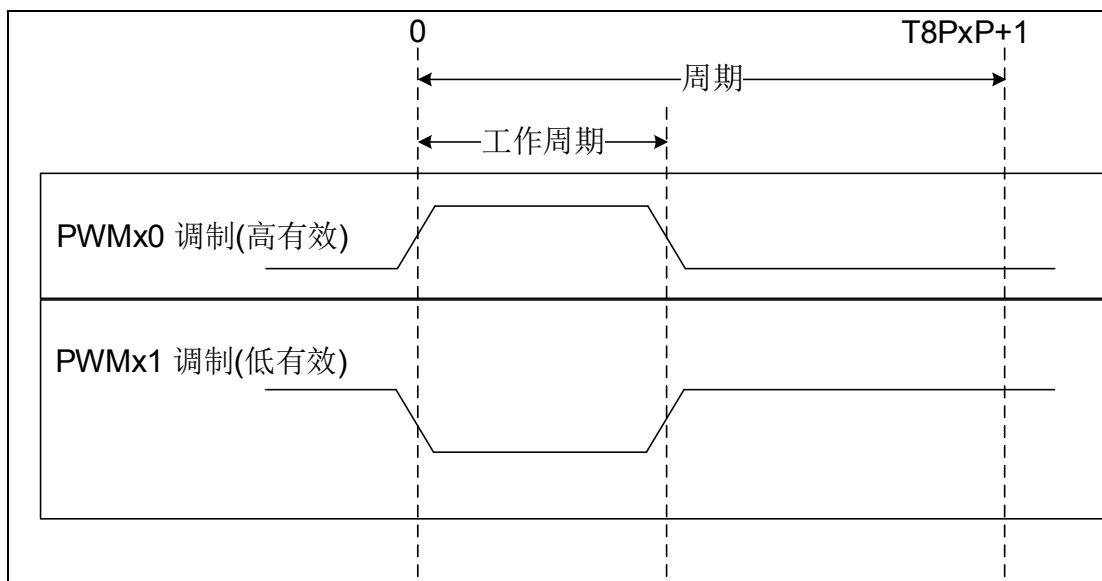


图 6-5 EPWM 单桥输出示意图

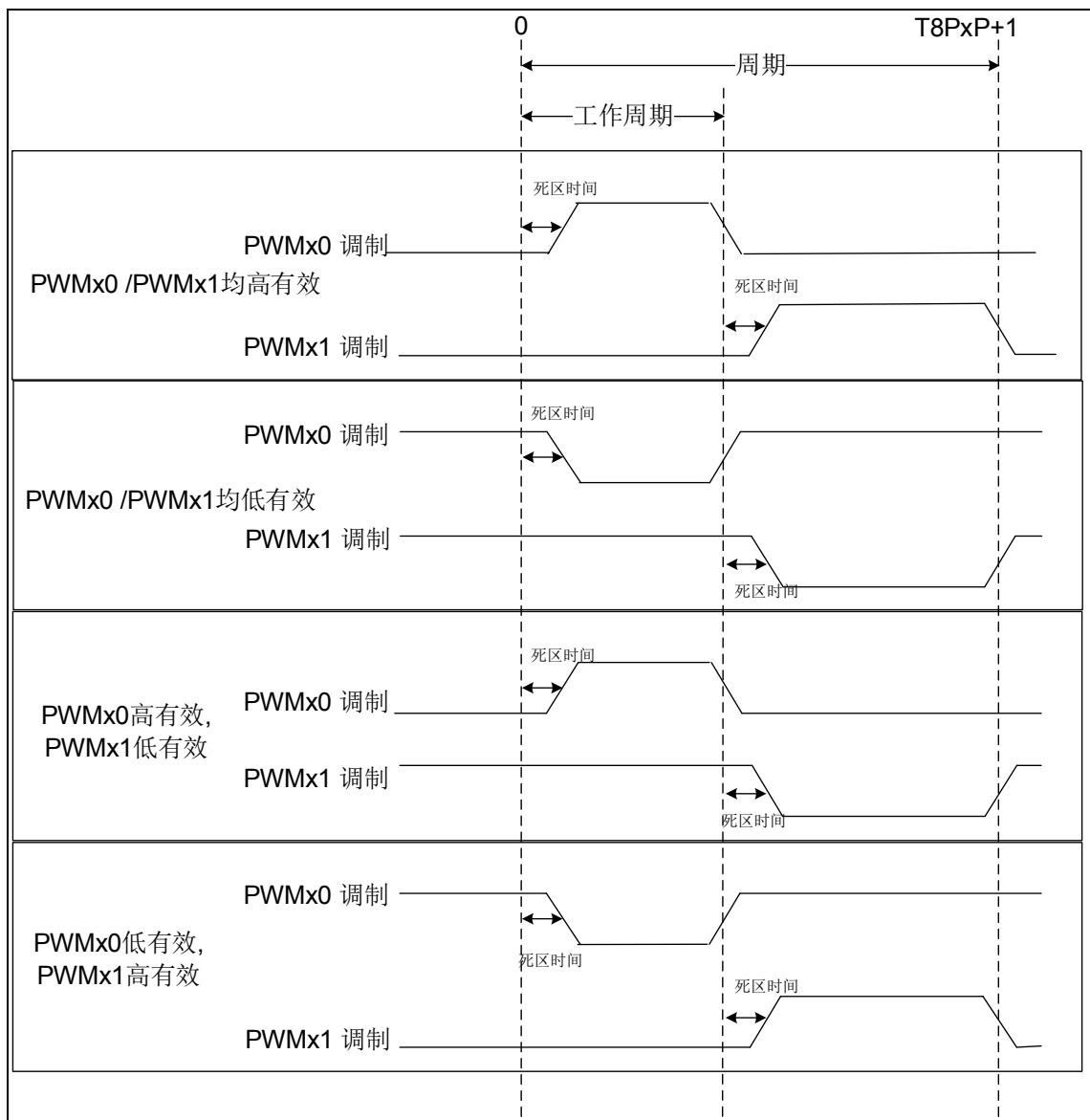


图 6-6 EPWM 半桥输出示意图

6.1.2.7 EPWM自动关断和重启

本芯片支持一种关断事件，为 PA2/N_EPAS 管脚输入关断事件。当自动关断位 EPWMxAS0 使能，PA2/N_EPAS 管脚输入为“0”时，会发生自动关断事件。

当关断事件发生后，EPWM 输出管脚处于关断状态，管脚的关断状态可通过设置 TExAS 寄存器的低四位来控制，可以被设置输出为“1”、“0”或者高阻（三态）。同时，在关断状态下，关断事件标志位 EPWMxASF (EPWMxAS<7>) 置 1。如果关断事件一直保持，关断事件标志位就不会被清零。详见 TExAS 自动关断寄存器控制位介绍。

EPWM 的重启，通过配置寄存器 PRSEN (PDDxC<7>) 位来决定在关断状态下的事件是否自动重启。如果 PRSEN 位为 1，当关断事件撤离后，硬件会自动清零关断事件标志位，并重启 EPWM 功能；如果 PRSEN 位为 0，当关断事件撤离后，需要用软件清零关断事件标志位，重启 EPWM 功能；EPWM 重启后，EPWM 的输出会在下一个 PWM 周期正常输出。可参考下图。

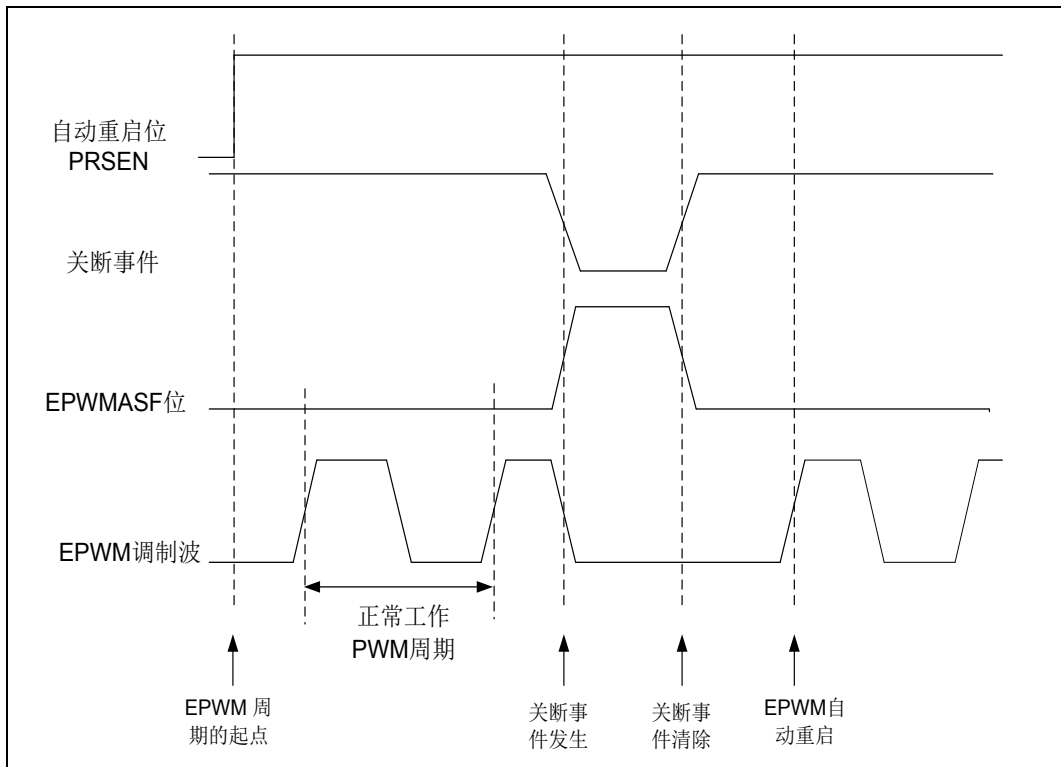


图 6-7 EPWM 关断与自动重启 (PRESN=1)

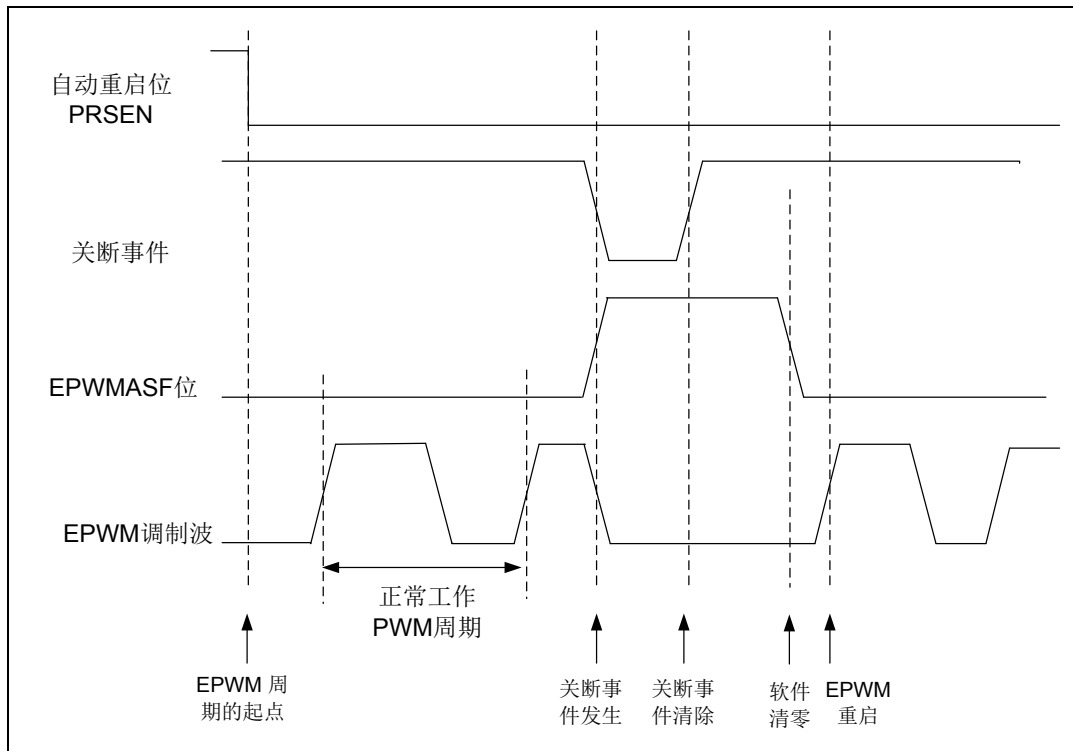


图 6-8 EPWM 关断与重启 (PRESN=0)

启动注意事项

EPWMxC<1:0>位允许用户为每一对 EPWM 输出引脚选择 EPWM 输出信号为高电平有效或低电平有效。EPWM 的输出极性，必须在 EPWM 引脚配置为输出之前选择。由于可能导致应用电路的损坏，因此不推荐在 EPWM 引脚为输出状态时，改变输出极性的配置。在 EPWM 功能扩展模块初始化时，需在初始化工作完成后，再将 PWMx0 和 PWMx1 所在的 EPWM 引脚设置为输出状态。

6.1.2.8 特殊功能寄存器

T8Px: T8Px 计数器								
Bit	7	6	5	4	3	2	1	0
Name	T8Px<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7-0 T8Px<7:0>: T8Px 计数器

T8PxC: T8PxC 控制寄存器									
Bit	7	6	5	4	3	2	1	0	
Name	T8PxM	T8PxPOS<3:0>				T8PxE	T8PxPRS<1:0>		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
POR	0	0	0	0	0	0	0	0	

Bit 7 T8PxM: T8Px 工作模式选择位

- 0: 定时器模式
- 1: PWM 输出模式

Bit 6-3 T8PxPOS<3:0>: T8Px 后分频器分频比选择位

- 0000: 分频比为 1:1
- 0001: 分频比为 1:2
- 0010: 分频比为 1:3
- 0011: 分频比为 1:4
- 0100: 分频比为 1:5
- 0101: 分频比为 1:6
- 0110: 分频比为 1:7
- 0111: 分频比为 1:8
- 1000: 分频比为 1:9
- 1001: 分频比为 1:10
- 1010: 分频比为 1:11
- 1011: 分频比为 1:12
- 1100: 分频比为 1:13
- 1101: 分频比为 1:14
- 1110: 分频比为 1:15
- 1111: 分频比为 1:16

Bit 2 T8PxE: T8Px 使能位

- 0: 关闭 T8P1
- 1: 使能 T8P1

Bit 1-0 T8PxPRS<1:0>: T8Px 预分频器分频比选择位

- 00: 分频比为 1:1
- 01: 分频比为 1:4
- 1x: 分频比为 1:16

T8PxP: T8PxP 周期寄存器								
Bit	7	6	5	4	3	2	1	0
Name	T8PxP<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

Bit 7-0 T8PxP<7:0>: T8Px 周期寄存器

T8PxRL: T8Px 精度寄存器低 8 位								
Bit	7	6	5	4	3	2	1	0
Name	T8PxRL<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7-0 T8PxRL<7:0>: 8 位精度寄存器

T8PxRH: T8Px 精度寄存器高 8 位								
Bit	7	6	5	4	3	2	1	0
Name	T8PxRH<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7-0 T8PxRH<7:0>: 8 位精度寄存器

T8PxOC: EPWM 输出控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	—	PWMx1EN	PWMx0EN
R/W	—	—	—	—	—	—	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7-2 保留

Bit 1 PWMx1EN: PWMx1 端口使能位

0: 通用 I/O

1: EPWM 输出功能

Bit 0 PWMx0EN: PWMx0 端口使能位

0: 通用 I/O

1: EPWM 输出功能

EPWMxC: EPWM 配置寄存器								
Bit	7	6	5	4	3	2	1	0
Name	T8PxPMS	P1Mx	—	PWM_CKS	—	—	EPWMxM<1:0>	
R/W	R/W	R/W	—	R/W	—	—	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 T8PxPMS: 周期匹配选择位
 0: T8Px 计数值与周期寄存器 T8PxP 进行匹配 (默认)
 1: T8Px 计数值与周期缓冲器 PRDBUF 进行匹配
- Bit 6 P1Mx: T8PxM=1, EPWM 输出端口选择位
 0: 单桥输出, PWMx0、PWMx1 为 6 路独立 PWM 输出端口
 1: 半桥输出, PWMx0 与 PWMx1 为 3 组互补 EPWM 输出端口, 并带有死区时间控制
- Bit 5 保留
- Bit 4 PWM_CKS: PWM 输出模式下, 计数时钟源选择位
 (先选择 PWM 模式、计数时钟源, 最后再使能 T8P)
 0: 系统时钟 2 分频
 1: 系统时钟
- Bit 3-2 保留
- Bit 1-0 EPWMxM<1:0>: EPWM 工作模式选择位
 00: EPWM, PWMx0, PWMx1 高有效
 01: EPWM, PWMx0 高有效, PWMx1 低有效
 10: EPWM, PWMx0 低有效, PWMx1 高有效
 11: EPWM, PWMx0, PWMx1 低有效

PDDxC: EPWM 死区控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PRSENx	PDDxC<6:0>						
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 PRSENx: EPWM 重启控制位
 0: 当自动关断事件撤离后, 自动关断事件标志位必须软件清零, 才能重启 EPWM。
 1: 当自动关断事件撤离后, 自动关断事件标志位硬件自动清零, EPWM 自动重启。
- Bit 6-0 PDDxC<6:0>: EPWM 死区延时计数位

TExAS: EPWM 自动关断寄存器								
Bit	7	6	5	4	3	2	1	0
Name	EPWMxASF	—	EPWMxAS1	EPWMxAS0	—	—	PSSxBD<1:0>	
R/W	R/W	—	R/W	R/W	—	—	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 EPWMxASF: EPWM 自动关断事件标志位
 0: 没有关断事件发生

	1: 关断事件已经发生
Bit 6	保留
Bit 5	EPWMxAS1: EPWM 自动关断位 1 0: CMP1 比较器输出不影响 EPWM 1: CMP1 比较器输出“0”引起关断
Bit 4	EPWMxAS0: EPWM 自动关断位 0 0: N_EPAS 端口不影响 EPWM 1: N_EPAS 端口为“0”引起关断
Bit 3-2	保留
Bit 1-0	PSSxBD<1:0>: 管脚 PWMx0 和 PWMx1 关断状态控制位 00: 端口输出“0” 01: 端口输出“1” 1x: 端口为三态

6.1.3 16 位门控型定时器T16G1

6.1.3.1 概述

- T16G1 支持 5 种工作模式：定时器/计数器模式，捕捉器模式，比较器模式，单边 PWM 模式和双边 PWM 模式。
- 定时器/计数器模式可分为：对系统时钟二分频（Fosc/2）定时，对外部时钟（T16G1CKI）进行同步计数或者异步计数。
- 捕捉器模式，对外部输入信号进行捕捉，满足捕捉条件时产生中断。
- 比较器模式，对计数器的计数值进行比较，满足比较结果后输出波形。支持 4 个输出端，并且输出可以反向。
- 单边 PWM 模式和双边 PWM 模式，支持 4 个输出端，并且输出可以反向；支持 17 位 PWM 输出精度。
- T16G1 支持一个可配置的预分频器。
- T16G1 包括 16 位计数器(T16G1H, T16G1L), 精度寄存器(T16G1RH, T16G1RL) 和周期寄存器（T16G1PH, T16G1PL）。
- T16G1 计数器的初值可配置。
- T16G1 支持中断产生 T16G1IF 和 TEIF（必须软件清零）。
- T16G1 在低功耗模式下只支持异步计数模式，并可产生中断唤醒 CPU。
- 支持门控设计，通过门控信号 T16G1GI 控制 T16G1 定时/计数。
- 支持过零检测功能

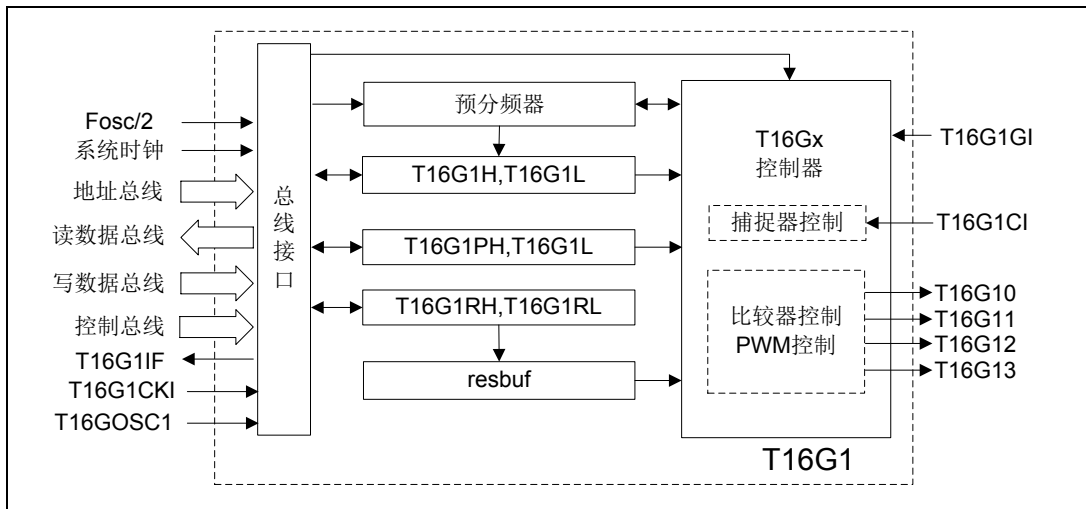


图 6-9 T16G1 内部结构图

6.1.3.2 时钟源配置

T16G1 支持 2 种时钟源：系统时钟二分频（Fosc/2）、T16G1CKI。其中 T16G1CKI 为外部计数时钟输入，通过配置 T16G1CS 来选择时钟源。选择外部计数时钟源时，通过配置 T16G1SYN 选择计数时钟是否经系统时钟同步。当同步外部时钟时，外部时钟的高电平和低电平时间，都需要至少保持 1 个机器周期。

6.1.3.3 预分频器配置

T16G1 支持一个可配置的预分频器，对选择的时钟源进行预分频，并产生计数器（T16G1H, T16G1L）的计数时钟。通过 T16G1PRS<1:0>配置预分频器的分频比。任何对计数器的写操作都会使预分频器清零，但不改变配置的分频比。预分频器的计数值不可读写。

6.1.3.4 定时器/计数器模式

当 T16G1CS=0 时，T16G1 为定时器模式，时钟源为系统时钟 2 分频。当 T16G1CS=1 时，T16G1 为计数器模式，时钟源为外部输入时钟 T16G1CKI。

在计数器模式下，T16G1SYN=1 表示外部输入时钟不经系统时钟同步，即异步计数；T16G1SYN=0 表示外部输入时钟经过系统时钟同步，此工作模式要求外部输入时钟的高/低电平时间，至少保持 1 个机器周期。

在定时器/计数器模式下，T16G1 计数器（T16G1H, T16G1L）对时钟源进行递增计数，当计数值溢出时（即从 FFFF_H 变为 0000_H），产生 T16G1 中断，该中断必须软件清零。

T16G1 支持门控开关，通过 T16G1GI 门控信号对 T16G1 计数进行门控，当 T16G1GEN 为 0 时门控信号不可用。T16G1GINV 位用于选择门控信号的极性。当 T16G1GINV=0 时，T16G1GI 为低电平时使能计数，高电平暂停计数；当 T16G1GINV=1 时，则相反。

当 T16G1 使用 T16G1CKI 作为时钟源时，处于异步计数模式，可以在低功耗模式下继续工作，并且产生的中断可以唤醒 CPU。

6.1.3.5 捕捉器模式

T16G1M<3:2>=01 时，T16G1 配置为捕捉器模式，T16G1CI 所在管脚作为捕捉输入端口。

T16G1M<1:0>用于设置捕捉条件，如下表。

T16G1M<1:0>	捕捉条件	备注
00	捕捉 T16G1CI 每 1 个下降沿脉冲。	T16G1M<3:2>=01
01	捕捉 T16G1CI 每 1 个上升沿脉冲。	
10	捕捉 T16G1CI 每 4 个上升沿脉冲。	
11	捕捉 T16G1CI 每 16 个上升沿脉冲。	

表 6-6 捕捉条件配置表

T16G1 配置为捕捉模式时，时钟源必须配置为系统时钟 2 分频 Fosc/2，或经系统时钟同步后的外部时钟输入。在此模式下，16 位计数器（T16G1H, T16G1L）进行递增计数，当 T16G1CI 输入信号的变化状态满足捕捉条件时，计数器（T16G1H, T16G1L）的值将被分别捕捉到捕捉寄存器（T16G1RH, T16G1RL）中，并产生中断标志 TEIF，该中断必须由软件清零。计数器继续递增计数，当计数值溢出时，产生中断标志 T16G1IF，该中断必须软件清零。若下一次捕捉事件发生时，捕捉寄存器（T16G1RH, T16G1RL）中的值未被及时读取，将被新捕捉的值覆盖。

T16G1 支持 1 个边沿计数器。只有当 T16G1 配置为捕捉器模式时，该边沿计数器才被使用。当 T16G1 关闭或配置成其他模式时，该边沿计数器会被清零并且不被使用。但在

T16G1 的 4 种捕捉模式相互切换时，该边沿计数器不会被清零。因此，当切换捕捉模式后，首次捕捉可能存在误差，同时也可能导致错误的中断产生。为了避免产生错误中断，用户在改变模式时应该禁止中断产生，并且清除中断标志。

6.1.3.6 比较器模式

当 $T16G1M<3:2>=10$ 时，T16G1 配置为比较器模式，T16G1CO 所在管脚作为比较器输出端口。

T16G1M<1:0>用于设置匹配触发事件，如下表。

T16G1M<1:0>	匹配触发事件	备注
00	比较匹配时比较器输出 1	T16G1M<3:2>=10
01	比较匹配时比较器输出 0	
10	比较匹配时比较器输出不变	
11	比较匹配时复位 T16G1H/T16G1L	

表 6-7 匹配触发事件配置表

T16G1 配置为比较器模式时，时钟源必须配置为系统时钟 2 分频 $F_{osc}/2$ ，或经系统时钟同步后的外部时钟输入。在此模式下，16 位计数器（T16G1H，T16G1L）进行递增计数。当计数器（T16G1H，T16G1L）的计数值与比较寄存器（T16G1RH，T16G1RL）中的比较值相等时，执行相应的比较匹配事件，并产生比较匹配中断标志 TEIF，该中断必须软件清零。

6.1.3.7 单边PWM模式

T16G1M<3:0>=1100 时，T16G1 为单边 PWM 模式。

单边 PWM 模式计数时钟源为系统时钟二分频 $F_{osc}/2$ ，并支持预分频器。

PWM 周期

使能单边 PWM 模式后，T16G1（T16G1H，T16G1L）从设定的初始值开始递增计数，当 T16G1（T16G1H，T16G1L）及当前时钟相位与 17 位精度缓冲器 resbuf 的值相匹配时，PWM 输出 pwmout 改变为 0，并继续递增计数。当 T16G1（T16G1H，T16G1L）的计数值与 T16G1P（T16G1PH，T16G1PL）相等时，PWM 输出 pwmout 改变为 1，同时将当前 T16G1R（T16G1RH，T16G1RL）和扩展精度位 T16G1REX（T16G1CH<4>）的数值载入 resbuf 内，并产生中断标志 TEIF 该中断必软件清零。再重新开始循环 PWM 周期。

特别的，若 resbuf 的值为 0，则当前 PWM 周期内 PWM 输出 pwmout 始终为 0；若 resbuf 的高 16 位值（即上一次载入的 T16G1RH，T16G1RL）大于 T16G1P（T16G1PH，T16G1PL），则当前 PWM 周期内 PWM 输出始终为 1。

注：使能单边 PWM 模式后的第一个 PWM 周期内，由于 resbuf 的值不确定，所以 PWM 的输出也是不确定的。

示意图如下：

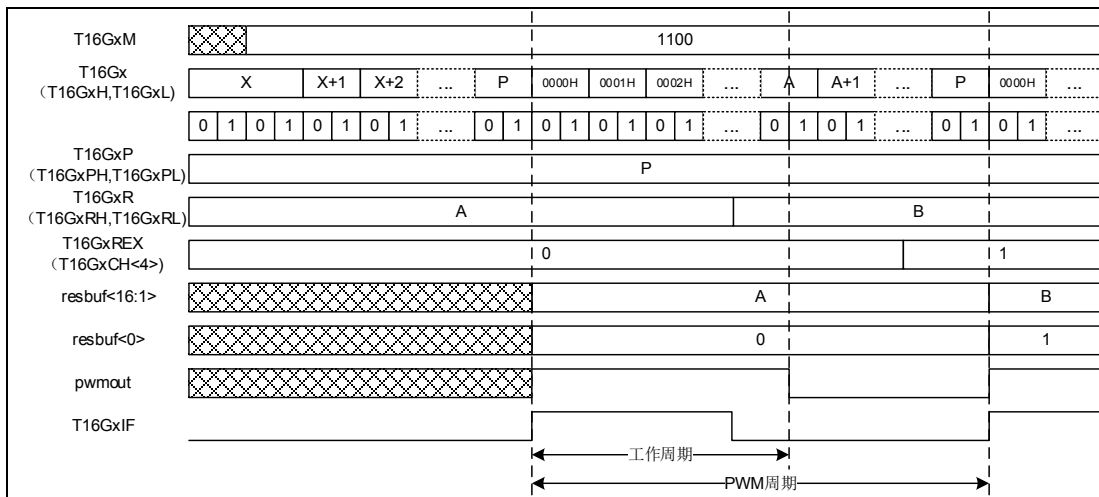


图 6-10 T16G1 单边 PWM 模式示意图

PWM 计算公式如下：

$$\text{PWM 周期} = [(T16G1PH, T16G1PL) + 1] \times 2 \times \text{Tosc} \times (\text{预分频器分频比})$$

$$\text{PWM 频率} = 1 / [\text{PWM 周期}]$$

$$\text{PWM 脉宽} = [(T16G1RH, T16G1RL) \times 2 + T16G1REX] \times \text{Tosc} \times (\text{预分频器分频比})$$

$$\text{PWM 占空比} = [\text{PWM 脉宽}] / [\text{PWM 周期}]$$

给定 PWM 频率，PWM 的最大分辨率可计算为：

$$\text{分辨率} = \frac{\log(\frac{Fosc/2}{Fpwm * Fckps})}{\log 2} \text{ 位}$$

FCKPS 是计数器的预分频器的分频比。

6.1.3.8 双边PWM模式

T16G1M<3:0>=1101 时，为双边 PWM 模式。

使能双边 PWM 模式后，首先从一个起始周期开始，起始周期完成后不断循环 PWM 周期。

起始周期

T16G1 (T16G1H, T16G1L) 在起始周期内从初始值递增计数到与周期寄存器 T16G1P (T16G1PH, T16G1PL) 相等，此时将精度寄存器 T16G1R (T16G1RH, T16G1RL) 和扩展精度位 T16G1REX (T16G1CH<4>) 的数值载入 17 位精度缓冲器 resbuf 内，并产生中断标志 TEIF，该中断必须软件清零。起始周期内 PWM 输出不确定。

PWM 周期

起始周期完成后，T16G1 (T16G1H, T16G1L) 从与 T16G1P 相等的值开始递减计数，当 T16G1 (T16G1H, T16G1L) 及当前时钟相位与 17 位精度缓冲器 resbuf 的值相匹配时，PWM 输出 pwmout 被置 1，并继续递减计数直至减到零。

当 T16G1(T16G1H, T16G1L)的计数值为零时，再进行递增计数。当 T16G1(T16G1H, T16G1L)及当前时钟相位与 17 位精度缓冲器 resbuf 的值相匹配时，PWM 输出 pwmout 被清 0。并继续递增计数直至与 T16G1P (T16G1PH, T16G1PL) 的值相等。

当 T16G1 (T16G1H, T16G1L) 的计数值与 T16G1P (T16G1PH, T16G1PL) 相等时，将当前精度寄存器 T16G1R (T16G1RH, T16G1RL) 和扩展精度位 T16G1REX (T16G1CH<4>) 的数值载入 17 位精度缓冲器 resbuf 内，并产生中断标志 TEIF。再重新开始循环 PWM 周期。

特别的，若 resbuf 的值为 0，则当前 PWM 周期内 PWM 输出 pwmout 始终为 0；若 resbuf 的高 16 位值（即上一次载入的 T16G1RH, T16G1RL）大于 T16G1P (T16G1PH, T16G1PL)，则当前 PWM 周期内 PWM 输出始终为 1。

双边 PWM 模式计数时钟源为系统时钟二分频 Fosc/2，并支持预分频器。

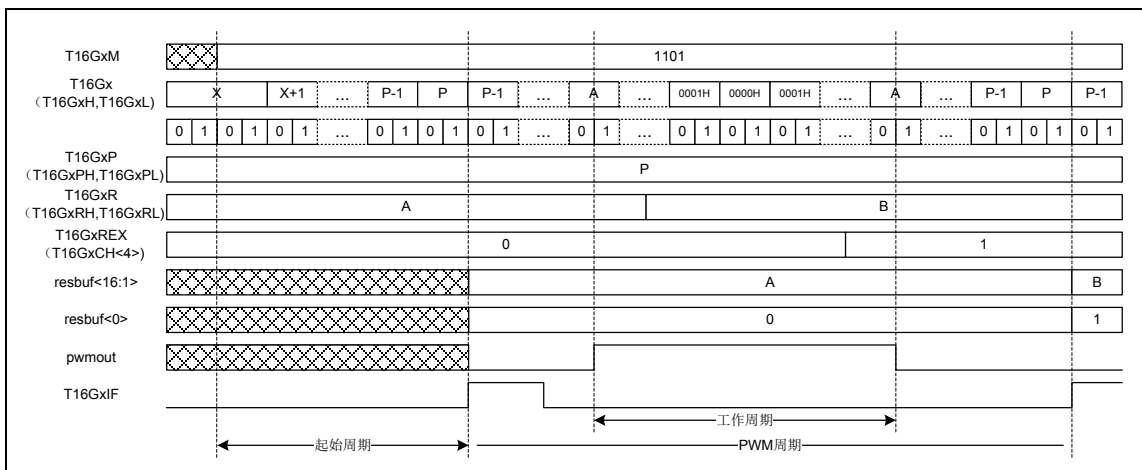


图 6-11 T16G1 双边 PWM 模式示意图

6.1.3.9 T16G1 复用功能输出端口

T16G1 的比较器模式或单/双边 PWM 模式，均支持 4 个输出端口 T16G10、T16G11、T16G12 与 T16G13。可单独使能作为 T16G1 复用功能输出端口，且可分别通过 T16G10INV、T16G11INV、T16G12INV 与 T16G13INV 选择正向输出或反向输出。

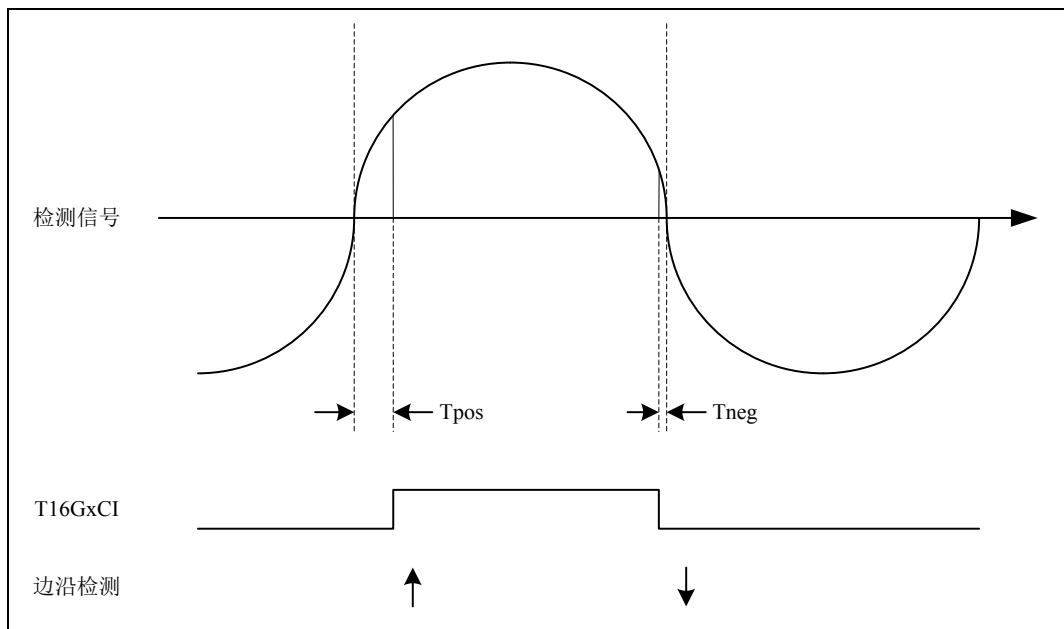
6.1.3.10 过零检测功能

过零检测功能用于对交流信号过零点时刻的检测。

工作原理是将被检测信号从 T16G1 的复用端口 T16G1CI 输入 (如图示), T16G1CI 为 SCHMITT 输入特性 (请参考电气特性章节), 被检测信号到达零点附近会触发 T16G1CI 电平翻转, 产生相应的上升或下降沿信号。此上升或下降沿信号通过数字滤波器后产生边沿检测信号, 此信号会将处于 ZCD (过零检测) 模式的 T16G1 清零并重新开始计数。通过 T16G1ZCDM(T16G1CH[7:6])位选择触发边沿。通过 T16G1ZCDP(T16G1CH[5])位进行判断, 当前被检测信号处于交流信号的正半周或负半周。

过零检测功能必须使 T16G1 工作在 ZCD 模式, ZCD 模式计数时钟只可选择系统时钟 2 分频 $F_{osc}/2$ (T16G1CL[1:0]=01)。预分频器的配置, 应满足 T16G1 定时溢出时间大于相邻 2 次触发信号的时间间隔。

T16G1CI 的边沿滤波时间由 T16G1PL 寄存器决定。



零点时刻判断依据如下公式:

当前时刻为交流信号正半周 $T_{zcp} = T_{cnt} + T_{flt} + T_{pos}$

当前时刻为交流信号负半周 $T_{zcp} = T_{cnt} + T_{flt} - T_{neg}$

T_{cnt} 为依据 T16G1 当前计数值及分频配置所计算出的计数时间;

T_{flt} 为边沿信号的滤波时间: $T_{flt} = (T16G1PL + 2) \times T_{osc}$

T_{pos} 为零点时刻至上升沿电平翻转点的时间;

T_{neg} 为下降沿电平翻转点至零点时刻的时间

注: 只有在计数时钟源关闭 (T16G1CL<0>=0) 时, 才可对 T16G1 (T16G1H, T16G1L) 计数器进行写操作, 否则写操作无效。

6.1.3.11 特殊功能寄存器

T16G1L: T16G1 计数器<7:0>								
Bit	7	6	5	4	3	2	1	0
Name	T16G1L<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7-0 T16G1L<7:0>: T16G1 计数器低 8 位

T16G1H: T16G1 计数器<15:8>								
Bit	7	6	5	4	3	2	1	0
Name	T16G1H<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7-0 T16G1H<7:0>: T16G1 计数器高 8 位

T16G1PL: T16G1 周期寄存器<7:0>								
Bit	7	6	5	4	3	2	1	0
Name	T16G1PL<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

Bit 7-0 T16G1PL<7:0>: T16G1 周期值低 8 位

T16G1PH: T16G1 周期寄存器<15:8>								
Bit	7	6	5	4	3	2	1	0
Name	T16G1PH<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

Bit 7-0 T16G1PH<7:0>: T16G1 周期值高 8 位

T16G1RL: T16G1 精度寄存器<7:0>								
Bit	7	6	5	4	3	2	1	0
Name	T16G1RL<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7-0 T16G1RL<7:0>: T16G1 精度值低 8 位

T16G1RH: T16G1 精度寄存器<15:8>								
Bit	7	6	5	4	3	2	1	0
Name	T16G1RH<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7-0 T16G1RH<7:0>: T16G1 精度值高 8 位

T16G1CL: T16G1 控制寄存器<7:0>								
Bit	7	6	5	4	3	2	1	0
Name	T16G1GINV	T16G1GEN	T16G1PRS		—	T16G1SYN	T16G1CS	T16GON
R/W	R/W	R/W	R/W	R/W	—	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 T16G1GINV: T16G1 门控信号极性位
0: T16G1 门控信号为低时, T16G1 计数
1: T16G1 门控信号为高时, T16G1 计数

Bit 6 T16G1GEN: T16G1 门控使能位
0: 禁止 T16G1 门控
1: 使能 T16G1 门控

Bit 5-4 T16G1PRS: T16G1 输入预分频选择位
00: 1:1
01: 1:2
10: 1:4
11: 1:8

Bit 3 保留为固定 0

Bit 2 T16G1SYN: T16G1 外部时钟输入同步控制位
0: 外部时钟输入经系统时钟同步
1: 外部时钟输入不经系统时钟同步

Bit 1 T16G1CS: T16G1 时钟源选择位
0: 系统时钟二分频 (Fosc/2)
1: 外部时钟 (T16G1CKI 上升沿)

Bit 0 T16GON: T16G 使能位
0: 关闭 T16G
1: 打开 T16G

T16G1CH: T16G1 控制寄存器<15:8>								
Bit	7	6	5	4	3	2	1	0
Name	T16G1ZCDM<1:0>		T16G1ZCDP	T16G1REX	T16G1M<3:0>			
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W
POR	0	0	x	0	0	0	0	0

- Bit 7-6 T16G1ZCDM<1:0>: ZCD 触发边沿选择
 00: 检测上升沿
 01: 检测下降沿
 1x: 检测上升沿和下降沿
- Bit 5 T16G1ZCDP: 过零检测信号极性
 0: 负半周
 1: 正半周
- Bit 4 T16G1REX: PWM 模式扩展精度位
- Bit 3-0 T16G1M<3:0>: T16G1 工作模式选择位
 0000: 定时器/计数器模式
 0001: ZCD 模式
 001x: 保留
 0100: 捕捉 T16G1CI 每 1 个脉冲下降沿
 0101: 捕捉 T16G1CI 每 1 个脉冲上升沿
 0110: 捕捉 T16G1CI 每 4 个脉冲上升沿
 0111: 捕捉 T16G1CI 每 16 个脉冲上升沿
 1000: 匹配时输出 1
 1001: 匹配时输出 0
 1010: 匹配时无输出
 1011: 匹配时复位 T16G1H/T16G1L
 1100: 单边 PWM 模式
 1101: 双边 PWM 模式
 111x: 保留

T16GOC: T16G 输出控制寄存器

Bit	7	6	5	4	3	2	1	0
Name	T16G13INV	T16G12INV	T16G11INV	T16G10INV	T16G13EN	T16G12EN	T16G11EN	T16G10EN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 T16G13INV: T16G13 输出反向控制位
 0: 输出不反向
 1: 输出反向
- Bit 6 T16G12INV: T16G12 输出反向控制位
 0: 输出不反向
 1: 输出反向
- Bit 5 T16G11INV: T16G11 输出反向控制位
 0: 输出不反向
 1: 输出反向
- Bit 4 T16G10INV: T16G10 输出反向控制位
 0: 输出不反向
 1: 输出反向
- Bit 3 T16G13EN: T16G13 端口使能位
 0: 通用 I/O
 1: 比较器/PWM 输出功能
- Bit 2 T16G12EN: T16G12 端口使能位
 0: 通用 I/O
 1: 比较器/PWM 输出功能
- Bit 1 T16G11EN: T16G11 端口使能位
 0: 通用 I/O
 1: 比较器/PWM 输出功能
- Bit 0 T16G10EN: T16G10 端口使能位
 0: 通用 I/O
 1: 比较器/PWM 输出功能

6.2 模拟比较器 (ACP)

6.2.1 概述

本芯片有一组模拟比较器，模拟比较器的输入端和 I/O 管脚复用。此模块还可配置成一个运算放大器来使用。

6.2.2 操作说明

比较器的工作，输入是两个模拟信号，输出是一个数字信号。当输入 (CINN) 大于 (CINP) 时，输出数字 “0” 低电平，而当输入 (CINN) 小于 (CINP) 时，则输出数字 “1” 高电平。

比较器的正端和负端输入信号以及输出信号 COUT 可以通过 CM<1:0> (ACPC<1:0>) 进行设置。其中负端输入 Vin-通道源可通过 ACPC.CNM<1:0>来配置，正端输入 Vin+的通道源可由 CFG_WORD0.ACP_INP_SEL 来配置。

当比较器的输出有变化时，比较器中断使能位 ACPIE (INTE1<5>) 和 PEIE (INTG<6>) 必须被置 1，才能产生中断，中断标志位 ACPIF (INTF1<5>) 被置 1，如果 GIE (INTG<7>) 被置 1，会进入中断子程序进行中断处理。如果 CPU 进入休眠模式，比较器仍处于工作状态，则比较器的比较中断能唤醒 CPU。

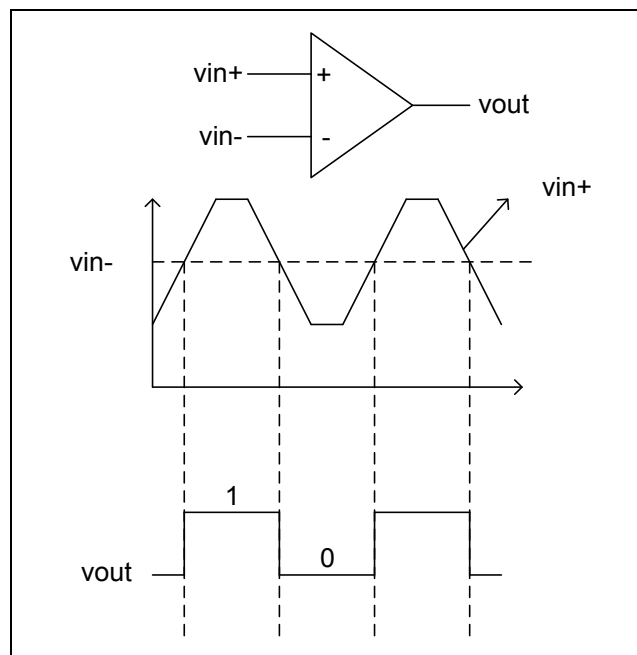


图 6-12 模拟比较器示意图

该模块有 4 种工作模式，具体模式见 ACPC 寄存器描述。当 CM<1:0>=01 和 10 时，为比较器模式；在当 CM<1:0>=11 时，为运算放大器模式，在模拟比较器的输入与输出之间外接反馈电阻，可作为运算放大器使用，此时运放增益由外接反馈电阻设置，注意此时需设置 COUT 复用的 IO 端口为模拟管脚使用（即将寄存器 ANS1[1] 设置为 1），且运算放大器模式下比较器中断功能无效，比较器唤醒功能无效。当芯片复位时，CM<1:0> = 00。特别注意：将 CM<1:0> 配置为 11 时，模拟比较器是否工作于运算放大器模式取决于 COUT 管脚是否配置为模拟端口。如果 COUT 已经配置为模拟端口（即将寄存器 ANS1[1] 设置为

1), 则模拟比较器工作于运算放大器模式; 如果 COUT 配置为数字端口, 此时模拟比较器处于关闭状态, 直到 COUT 配置为模拟端口后, 模拟比较器才工作于运算放大器模式。

6.2.3 控制寄存器

ACPC: ACPC 寄存器								
Bit	7	6	5	4	3	2	1	0
Name	IB_CFG<1:0>		CNM<1:0>		ACPO	CINV	CM<1:0>	
R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W
POR	0	1	0	0	1	0	0	0

Bit 7-6 IB_CFG: 比较器电流配置位

00: 3uA

01: 4uA (default)

10: 5uA

11: 8uA

Bit 5-4 CNM: 比较器负端电压选择位

00: 屏蔽通道选择

01: 通道 1 (cin0)

10: 通道 2 (cin1)

11: 通道 3 (cin2)

Bit 3 ACPO: 比较器输出位

当 CINV = 0 时

1 = $V_{in+} > V_{in-}$

0 = $V_{in+} < V_{in-}$

当 CINV = 1 时

1 = $V_{in+} < V_{in-}$

0 = $V_{in+} > V_{in-}$

Bit 2 CINV: 比较器输出反相位

0: 比较器输出不被反相

1: 比较器输出被反相

Bit 1-0 CM<1:0>: 比较器模式选择位, 详见下表

CM<1:0>	ACP		
	vin+	vin-	vout
00	VSS	VSS	OFF
01	CINP	CINN	ACPO
10	CINP	CINN	COUT
11	CINP	CINN	COUT

注 1: CM=00 时, 模拟比较器关闭, 模拟比较器的输入输出管脚均为普通 IO。

注 2: CM=01 时, 模拟比较器使能, CINP, CINN 作为模拟比较器的输入管脚, COUT 为普通 IO, 模拟比较器的结果只能从 ACPC 寄存器的 ACPO 位查询。

注 3: CM=10 时, 模拟比较器使能, CINP, CINN 作为模拟比较器的输入管脚, 模拟比较器的结果从 COUT 管脚输出。

注 4: CM=11 时, 且 COUT 为模拟管脚时, 模拟比较器作为运算放大器工作。

6.3 低电压检测模块（LVD）

6.3.1 概述

芯片支持低电压检测功能，即 LVD，用于监测电源电压 VDD。在供电电源不稳定的情况下，如外部电源噪声串扰或 EMC 测试条件下，会使电源剧烈波动。在目标电压未稳定时，可能会低于芯片工作电压。若检测到电压低于所设定的阈值，可提供一个警告信号。低电压检测也可产生中断信号。

6.3.2 LVD操作

LVD 功能的使能由 LVDC 寄存器中的 LVDEN 控制位设置。当 LVDEN 位清零时，LVD 功能禁用。当 LVDEN 位置高时，LVD 功能使能。LVD 模块将电源电压 VDD 与预先设定的阈值电压进行比较，比较结果通过 LVDC 寄存器的 LVDO 位进行查询。预置电压的阈值由 LVDC 寄存器中的 LVDVS 配置，当检测电源电压 VDD 时，预置电压阈值范围为 2.6V~4.6V。当目标电压低于预置电压阈值时，LVDO 位被置高，表明检测到低电压产生。当 LVDO 变化时，产生 LVD 中断标志，触发 LVD 中断标志的条件可选择为 LVDO 上升沿产生、LVDO 下降沿产生和 LVDO 上升沿或下降沿都产生。当 LVD 中断使能开启时产生 LVD 中断请求。在睡眠模式下 LVD 中断可唤醒芯片。

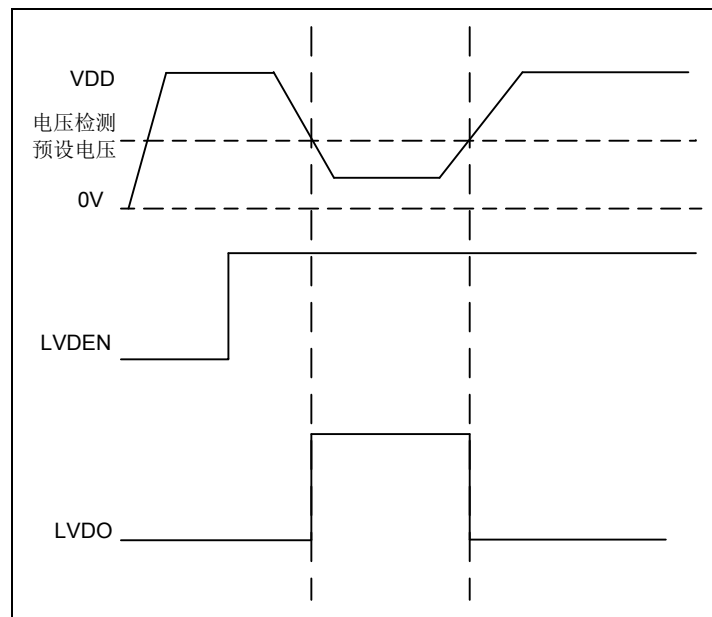


图 6-13 LVD 工作时序图

6.3.3 特殊功能寄存器

LVDCL: LVD 控制寄存器低 8 位								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	LVDFLTEN	LVDIFS<1:0>		LVDO	LV DEN
R/W	—	—	—	R/W	R/W	R/W	R	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7~5 保留
- Bit 4 LVDFLTEN: LVD 滤波器使能
0: 禁止
1: 使能
- Bit 3~2 LVDIFS <1:0>: LVD 中断标志产生模式选择位
00: LVDO 上升沿产生中断
01: LVDO 下降沿产生中断
10: LVDO 上升或下降沿都产生中断
11: 保留
- Bit 1 LVDO: LVD 输出状态位
0: 被监测电压高于电压阈值
1: 被监测电压低于电压阈值
- Bit 0 LV DEN: LVD 使能位
0: 禁止
1: 使能

注 1: 当 IAP 擦除或编程时, 为防止误擦或误编程, 建议使能 LVD, 在 LVD 有效时, 自动退出 IAP 操作;

注 2: 当 LVD 滤波器使能时, 约 200us 宽度的 LVD 低压信号被滤除。为防止误编程、误擦除, 建议禁止 LVD 滤波。

LVDCH: LVD 控制寄存器高 8 位								
Bit	7	6	5	4	3	2	1	0
Name	LVDVS<3:0>				—	—	—	—
R/W	R/W	R/W	R/W	R/W	—	—	—	—
POR	0	0	0	0	0	0	0	0

- Bit 7~4 LVDVS<3:0>: LVD 触发电压选择 (电压为设计值)
1001: 4.6V
1000: 4.0V
0111: 3.6V
0110: 3.0V
0101: 2.8V
0100: 2.6V
其他值: 保留
- Bit 3~0 保留

第7章 中断处理

7.1 概述

中断是芯片的一个重要功能，它能将芯片从睡眠模式中唤醒，也可以使系统在正常运行过程中响应突发事件，中止并保存当前运行程序的信息，跳转到请求中断服务程序的入口地址，执行相对应的中断服务程序，处理突发事件。本系列芯片支持的中断模式有两种：默认中断模式和向量中断模式，最多可支持 12 个中断源：1 个软件中断和 11 个硬件中断。

型号	硬件中断源数	软件中断源数
ES7P1751	11	1

7.2 中断控制结构框图

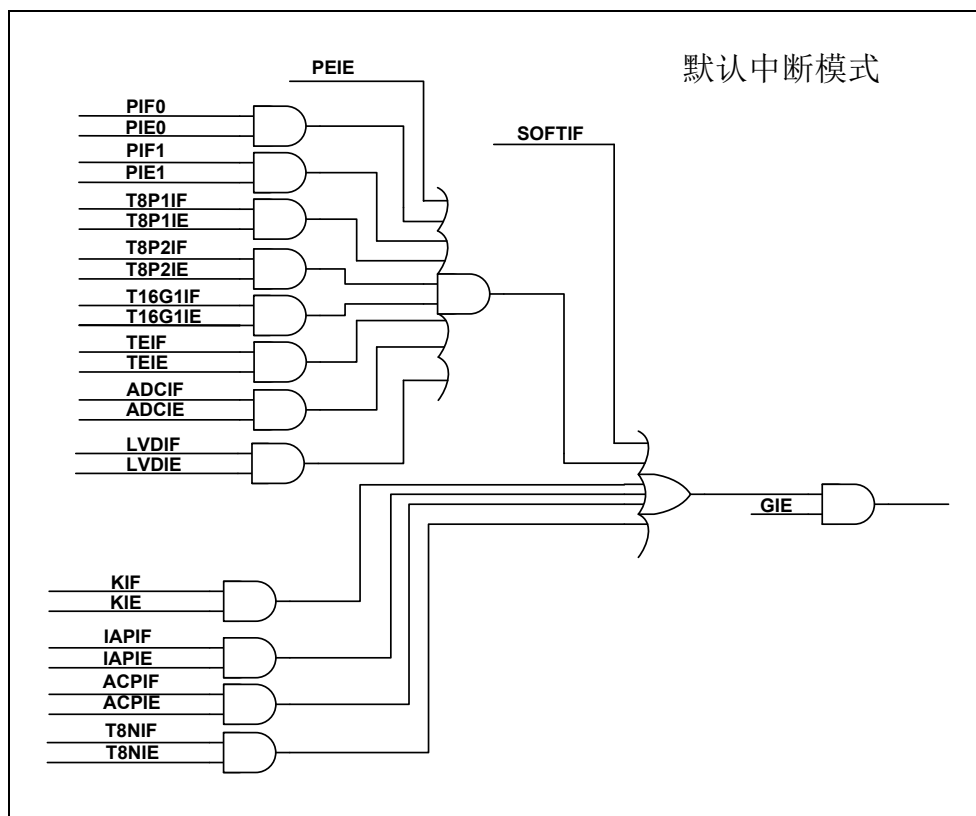


图 7-1 默认中断模式中中断控制逻辑

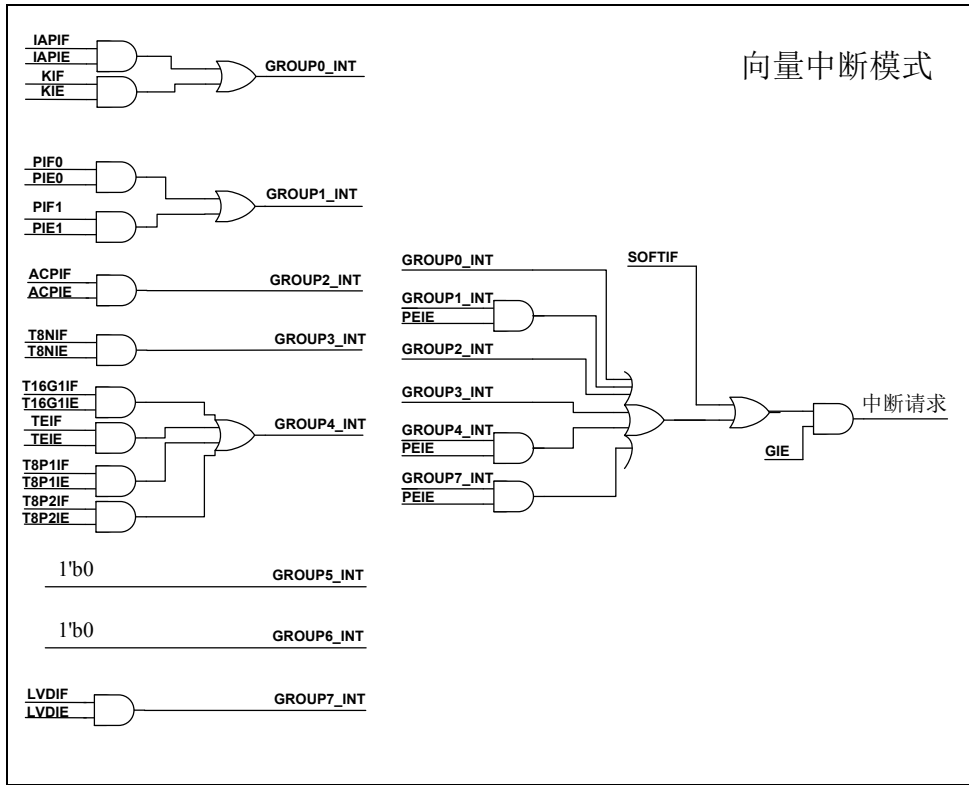


图 7-2 向量中断模式中中断控制逻辑

7.3 中断模式选择

芯片支持两种中断模式，默认中断模式和向量中断模式，可通过 INTG 寄存器中的 INTVEN 位选择。

INTVEN (INTG<0>)	中断模式
0	默认中断模式
1	向量中断模式

表 7-1 中断模式选择表

默认中断模式只支持 1 个中断入口，即 0004_H 入口地址，不支持中断优先级和中断嵌套。

向量中断模式支持多个中断入口，且支持中断嵌套。

7.3.1 默认中断模式

当配置为默认中断模式时，所有中断向量的入口地址均位于 0004_H。用户需通过中断服务程序对各中断标志及中断使能位进行判断，确认引起中断操作的中断源，从而执行相应的中断服务子程序。该模式不支持中断优先级配置。

序号	中断名	中断标志	中断使能	按键屏蔽	外设使能	全局使能	备注
1	软中断	SOFTIF	—	—	—	GIE	—
2	KINT	KIF	KIE	KMSKx	—	GIE	—
3	IAPINT	IAPIF	IAPIE	—	—	GIE	—
4	PINT0	PIF0	PIE0	—	PEIE	GIE	—
5	PINT1	PIF1	PIE1	—	PEIE	GIE	—
6	LVDINT	LVDIF	LVDIE	—	PEIE	GIE	—
7	T8NINT	T8NIF	T8NIE	—	—	GIE	—
8	T8P1INT	T8P1IF	T8P1IE	—	PEIE	GIE	—
9	T8P2INT	T8P2IF	T8P2IE	—	PEIE	GIE	—
10	T16G1INT	T16G1IF	T16G1IE	—	PEIE	GIE	—
11	TEINT	TEIF	TEIE	—	PEIE	GIE	—
12	ACPINT	ACPIF	ACPIE	—	—	GIE	—

表 7-2 默认中断模式使能配置表

7.3.2 向量中断模式

当配置为向量中断模式时，各中断源按组划分，每组中断对应一个中断向量入口地址。软中断入口地址为 0004_H，优先级最高；其它硬件中断分 8 组（IG0~IG7），并对应 8 个中断入口地址。

序号	中断组号	中断入口地址	中断名	备注
1	/	004 _H	SOFT	—
2	IG0	008 _H	KINT	—
3			IAPINT	—
4			PINT0	—
5	IG1	00C _H	PINT1	—
6			IG2	010 _H
7	IG3	014 _H	T8NINT	—
8	IG4	018 _H	T8P1INT	—
9			T8P2INT	—
10			T16G1INT	—
11			TEINT	—
12	IG7	024 _H	LVDINT	—
	IG5	01C _H	保留	—
	IG6	020 _H	保留	—

表 7-3 向量中断模式中中断分组配置表

7.4 中断现场保护

中断现场保护是中断服务程序中一个很重要的组成部分。

指令系统中有 PUSH（压栈）和 POP（出栈）指令，可以方便的实现当前工作状态的保存和恢复。A、PSW、PCRH 和 BKSR 寄存器，分别有各自的两级镜像寄存器 AS1、PSWS1、PCRHS1、BKSRS1 和 AS0、PSWS0、PCRHS0、BKSRS0，用于对相应寄存器的保存和恢复。镜像寄存器无物理地址，他们只能通过 PUSH 和 POP 指令自动完成相应的保存与恢复动作，两级镜像寄存器采用堆栈的操作方式。

7.5 中断操作

若中断事件条件产生，相关中断标志将被置为“1”。中断标志产生后程序要跳转至相应的服务程序地址执行，需满足以下条件：

- 1) 对应中断使能位为“1”。

当对应中断使能位为“0”时，即使中断标志为“1”，中断也不会发生，程序也不会跳转至中断服务程序地址执行。

- 2) 若中断源为 T8P1INT/T8P2INT/T16G1INT/TEINT/LVDINT/PINT0/PINT1 时，外围中断使能位为“1”。当外围中断使能位为“0”时，将屏蔽以上所有中断源中断请求。

- 3) 在默认中断模式下，当全局中断使能位 GIE 为“0”时，将屏蔽所有中断请求。当全局中断使能位 GIE 为“1”时，程序将跳至中断服务程序地址执行。在向量中断模式下，当全局中断使能位 GIE 为“0”时，将屏蔽所有中断请求。当全局中断使能位 GIE 为“1”时，程序将跳至相应的中断服务程序地址执行。

7.5.1 外部中断

当 PINTx 复用端口被配置为数字输入端口，且输入信号变化满足触发条件时，将产生 PINTx 外部端口中断，相应的中断标志 PIFx 被置“1”。当全局中断控制位 GIE、外围中断 PEIE 和外部端口中断控制位 PIEx 都被置为“1”时，则向 CPU 发出 PINTx 外部端口中断请求。当中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。

需要注意的是，相应中断标志位 PIFx 和中断使能位 PIEx 都需通过软件清除，INTC1 寄存器用于配置触发条件，可分别配置为上升沿触发、下降沿触发或双沿触发。

7.5.2 外部按键中断

当 KINx 复用端口被配置为数字输入端口，未被屏蔽的按键中任何一个端口输入信号发生电平变化时，将中断标志位 KIF 置为“1”，当外部按键中断控制位 KIE 为“1”，且全局中断控制位 GIE 使能时，则向 CPU 发出外部按键中断请求。当外部按键中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。

使用外部按键中断时，须配置相应的控制寄存器，并且使能外部按键中断端口的内部弱上拉电阻。

在按键中断使能（KMSKx=1，KIE=1）前，先对端口寄存器进行读或者写的操作，清除中断标志位，以免误产生中断。

清除该中断标志位 KIF 的操作步骤如下：

- 1) 对端口寄存器进行读或者写操作，清除端口电平与锁存器值不匹配的条件；
- 2) 软件清除中断标志位 KIF。

中断使能位 KIE 也需要通过软件进行清除。

7.5.3 T8N溢出中断

8 位定时器/计数器 T8N 处于定时器模式或计数器模式，当 T8N 计数器递增计数由 FF_H 变为 00_H 时，T8N 计数器发生溢出，将中断标志 T8NIF 位置“1”。当 T8N 溢出中断使能位 T8NIE 置为“1”，且全局中断控制位 GIE 使能时，则向 CPU 发出 T8N 溢出中断请求。当 T8N 溢出中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。需要注意的是，T8N 溢出中断标志位 T8NIF 和中断使能位 T8NIE 都需通过软件清除。

7.5.4 T8Px匹配中断

8 位时基定时器 T8Px 两种工作模式都可产生匹配中断。

◇ 定时器模式

T8Px 在定时器模式下对计数时钟进行递增计数，当 T8Px 的计数值与周期寄存器 T8PxP 相等时，T8Px 被自动清零并重新开始计数，同时后分频器加 1 计数。当后分频器的计数值与后分频器分频比相同时，产生匹配中断。

◇ PWM 输出模式

T8Px 在 PWM 输出模式下进行递增计数，当 T8Px 的计数值与周期寄存器 T8PxP 相等时，产生匹配中断。

T8Px 匹配中断产生时，将中断标志 T8PxIF 位置“1”。当 T8Px 匹配中断使能位 T8PxIE 置为“1”，且全局中断控制位 GIE 和外围中断使能位 PEIE 使能时，则向 CPU 发出 T8Px 匹配中断请求。当 T8Px 匹配中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。需要注意的是，T8Px 匹配中断标志位 T8PxIF 和中断使能位 T8PxIE 都需通过软件清除。

7.5.5 T16G1 扩展功能中断

16 位门控定时器 T16G1 在比较器/捕捉器/PWM 模式下可产生 T16G1 扩展功能中断。

◇ 捕捉器模式

在捕捉器模式下，当 T16G1CI 输入信号的变化状态满足捕捉条件时，计数器 T16G1 (T16G1H, T16G1L) 的值将被分别捕捉到寄存器 (T16G1RH, T16G1RL) 中，并产生 T16G1 扩展功能中断。

◇ 比较器模式

在比较器模式下，当计数器 T16G1 (T16G1H, T16G1L) 的计数值与寄存器 (T16G1RH, T16G1RL) 中的比较值相等时，执行相应的比较匹配事件，并产生 T16G1 扩展功能中断。

◇ 单边 PWM 模式/双边 PWM 模式

在单边 PWM 模式/双边 PWM 模式下，当 T16G1 (T16G1H, T16G1L) 的计数值与周期寄存器 T16G1P (T16G1PH, T16G1PL) 相等时，产生 T16G1 扩展功能中断。

T16G1 扩展功能中断产生时，将中断标志 TEIF 位置“1”。当 T16G1 扩展功能中断使能位 TEIE 置为“1”，且全局中断控制位 GIE 和外围中断使能位 PEIE 使能时，则向 CPU 发出 T16G 扩展功能中断请求。当 T16G1 扩展功能中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。需要注意的是，T16G1 扩展功能中断标志位 TEIF 和中断使能位 TEIE 都需通过软件清除。

当切换捕捉模式后，首次捕捉可能存在误差，同时也可能导致错误的中断产生。为了避免产生错误中断，用户在改变模式时应该禁止中断产生，并且清除中断标志。

7.5.6 T16G1 中断

16 位门控定时器 T16G1 在定时器模式/同步计数器模式/异步计数器模式下可产生 T16G1 溢出中断。

当 T16G1 计数器递增计数由 FFFF_H 变为 0000_H 时，T16G1 计数器发生溢出，将中断标志 T16G1IF 位置“1”。当 T16G1 溢出中断使能位 T16G1IE 置为“1”，且全局中断控制位 GIE 和外围中断使能位 PEIE 使能时，则向 CPU 发出 T16G1 溢出中断请求。当 T16G1 溢出中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。需要注意的是，T16G1 溢出中断标志位 T16G1IF 和中断使能位 T16G1IE 都需通过软件清除。

7.5.7 LVD 中断

当 VDD 电压小于 LVDC 寄存器设置的阈值电压时，低电压中断产生，中断标志 LVDIF 位被置“1”。如果中断使能位 LVDIE 置为“1”，且全局中断控制位 GIE 和外围中断使能位 PEIE 使能时，则向 CPU 发出 LVD 中断请求。当 LVD 中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。需要注意的是，LVD 中断标志位 LVDIF 和中断使能位 LVDIE 都需通过软件清除。

7.5.8 ACP 中断

当比较器的输出有变化时，ACP 中断产生，中断标志 ACPIF 位被置“1”。当 ACP 中断使能位 ACPIE 置为“1”，且全局中断控制位 GIE 使能时，则向 CPU 发出 ACP 中断请求。当 ACP 中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。需要注意的是，ACP 中断标志位 ACPIF 和中断使能位 ACPIE 都需通过软件清除。

7.5.9 中断操作注意事项

用户在使能中断前需先清除相应的中断标志，避免中断的误触发。

除只读的中断标志（由硬件清除）外，其余的中断标志必须通过软件清除。

为避免中断的发生与中断标志清除操作冲突时，清除中断标志不成功，建议用户在进行中断标志清除操作后，对中断标志清除成功与否进行软件判断。如果操作不成功则再次进行中断标志清除操作，直到中断标志清除成功为止。用户也可以连续执行两次中断标志清除操作达到相同目的。

7.5.10 特殊功能寄存器

中断功能由一系列的控制寄存器控制。

INTF0: 中断标志寄存器 0								
Bit	7	6	5	4	3	2	1	0
Name	—	TEIF	T16G1IF	T8NIF	T8P2IF	T8P1IF	KIF	IAPIF
R/W	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 保留

Bit 6 TEIF: T16G1 扩展功能中断标志位
 0: 捕捉功能扩展: 未发生捕捉中断
 比较功能扩展: 未发生比较匹配中断
 PWM 功能扩展: 未发生 PWM 中断
 1: 捕捉功能扩展: 发生捕捉中断 (必须用软件清零)
 比较功能扩展: 发生比较匹配中断 (必须用软件清零)
 PWM 功能扩展: 发生 PWM 中断

Bit 5 T16G1IF: T16G1 中断标志位
 0: T16G1 未产生中断
 1: T16G1 产生中断 (必须软件清零)

Bit 4 T8NIF: T8N 溢出中断标志位
 0: T8N 计数未溢出
 1: T8N 计数溢出 (必须用软件清零)

Bit 3 T8P2IF: T8P2 中断标志位
 0: T8P2 计数器计数未发生匹配
 1: T8P2 计数器计数发生匹配 (必须软件清零)

Bit 2 T8P1IF: T8P1 中断标志位
 0: T8P1 计数器计数未发生匹配
 1: T8P1 计数器计数发生匹配 (必须软件清零)

Bit 1 KIF: 外部按键中断标志位
 0: 外部按键端口无电平变化
 1: 外部按键端口有电平变化 (必须软件清零)

Bit 0 IAPIF: IAP 中断标志位
 0: IAP 未产生中断
 1: IAP 产生中断 (必须用软件清零)

INTE0: 中断使能寄存器 0								
Bit	7	6	5	4	3	2	1	0
Name	—	TEIE	T16G1IE	T8NIE	T8P2IE	T8P1IE	KIE	IAPIE
R/W	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 保留

Bit 6 TEIE: T16G1 扩展功能中断使能位
 0: 禁止
 1: 使能

- Bit 5 T16G1IE: T16G1 中断使能位
0: 禁止
1: 使能
- Bit 4 T8NIE: T8N 溢出中断使能位
0: 禁止
1: 使能
- Bit 3 T8P2IE: T8P2 中断使能位
0: 禁止
1: 使能
- Bit 2 T8P1IE: T8P1 中断使能位
0: 禁止
1: 使能
- Bit 1 KIE: 外部按键中断使能位
0: 禁止
1: 使能
- Bit 0 IAPIE: IAP 中断使能位
0: 禁止
1: 使能

INTF1: 中断标志寄存器 1								
Bit	7	6	5	4	3	2	1	0
Name	—	—	ACPIF	LVDIF	—	—	PIF1	PIF0
R/W	—	—	R/W	R/W	—	—	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7-6 保留
- Bit 5 ACPIF: ACP 中断标志位
0: ACP 未产生中断
1: ACP 产生中断 (必须软件清零)
- Bit 4 LVDIF: LVD 中断标志位
0: LVD 未检测到预设低电压
1: LVD 检测到预设低电压 (必须用软件清零)
- Bit 3-2 保留
- Bit 1 PIF1: PINT1 外部端口中断标志位
0: 外部端口上无中断信号
1: 外部端口上有中断信号 (必须用软件清零)
- Bit 0 PIF0: PINT0 外部端口中断标志位
0: 外部端口上无中断信号
1: 外部端口上有中断信号 (必须用软件清零)

INTE1: 中断使能寄存器 1

Bit	7	6	5	4	3	2	1	0
Name	—	—	ACPIE	LVDIE	—	—	PIE1	PIE0
R/W	—	—	R/W	R/W	—	—	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7-6 保留
- Bit 5 ACPIE: ACP 中断使能位
0: 禁止
1: 使能
- Bit 4 LVDIE: LVD 中断使能位
0: 禁止
1: 使能
- Bit 3-2 保留
- Bit 1 PIE1: PINT1 外部端口中断使能位
0: 禁止
1: 使能
- Bit 0 PIE0: PINT0 外部端口中断使能位
0: 禁止
1: 使能

INTC0: 中断控制寄存器 0

Bit	7	6	5	4	3	2	1	0
Name	KMSK7	KMSK6	KMSK5	KMSK4	KMSK3	KMSK2	KMSK1	KMSK0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 KMSK7: KIN7 按键输入屏蔽位
0: 屏蔽
1: 不屏蔽
- Bit 6 KMSK6: KIN6 按键输入屏蔽位
0: 屏蔽
1: 不屏蔽
- Bit 5 KMSK5: KIN5 按键输入屏蔽位
0: 屏蔽
1: 不屏蔽
- Bit 4 KMSK4: KIN4 按键输入屏蔽位
0: 屏蔽
1: 不屏蔽
- Bit 3 KMSK3: KIN3 按键输入屏蔽位
0: 屏蔽
1: 不屏蔽
- Bit 2 KMSK2: KIN2 按键输入屏蔽位
0: 屏蔽
1: 不屏蔽
- Bit 1 KMSK1: KIN1 按键输入屏蔽位

- 0: 屏蔽
- 1: 不屏蔽
- Bit 0 KMSK0: KIN0 按键输入屏蔽位
- 0: 屏蔽
- 1: 不屏蔽

INTC1: 中断控制寄存器 1								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	—	PEG1	PEG0
R/W	—	—	—	—	—	—	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7~2 保留
- Bit 1 PEG1: PINT1 触发边沿选择位
- 0: PINT1 下降沿触发
- 1: PINT1 上升沿触发
- Bit 0 PEG0: PINT0 触发边沿选择位
- 0: PINT0 下降沿触发
- 1: PINT0 上升沿触发

INTG: 中断全局寄存器								
Bit	7	6	5	4	3	2	1	0
Name	GIE	PEIE	—	—	—	—	SOFTIF	INTVEN
R/W	R/W	R/W	—	—	—	—	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 GIE: 全局中断使能位, 或高优先级中断使能位
- 0: 禁止所有的中断
- 1: 使能所有未屏蔽的中断
- Bit 6 PEIE: 外围中断使能位
- 0: 禁止外围接口中断
- 1: 使能未屏蔽的外围接口中断
- Bit 5~2 未使用
- Bit 1 SOFTIF: 软中断标志位
- 0: 无软件中断
- 1: 有软件中断
- Bit 0 INTVEN: 中断模式选择位
- 0: 默认中断模式
- 1: 向量中断模式

第8章 芯片配置字

芯片的各种功能配置由芯片配置字和各功能相关寄存器共同设置完成。

名称	芯片配置字 (CFG_WORD0)	
Reserved	bit0	保留
CLKOEB	bit1	时钟信号输出使能 0: PA4 输出系统时钟 1: PA4 作为 GPIO
MRSTEN	bit2	MRSTN/PA3 管脚功能选择位 0: 管脚用于 GPIO PA3 1: 管脚用于外部复位 MRSTN, 带内部弱上拉。
WDTEN	bit3	硬件看门狗使能位 0: 禁止 1: 使能
PWRTEB	bit4	上电延时定时器使能位 0: 使能 1: 禁止
ICDEB	bit5	调试模式使能位 0: 使能 1: 禁止
ICDSEL	bit6	调试端口选择位 0: PA0 用作 ISDA, PA1 用作 ISCK 1: PB5 用作 ISDA, PB4 用作 ISCK
BOREN	bit7	掉电复位使能位 0: 禁止 1: 使能
Reserved	bit8	保留
ACP_INP_SEL	bit9	模拟比较器正端输入的通道源选择: 0: 选择外部端口 CINP 作为正端 Vin+ 输入源 1: 选择内部 1.2v 电压作为正端 Vin+ 输入源
IAPEN	bit10	IAP 操作使能位 0: 使能 1: 禁止
INTVEN1	bit11	中断模式选择位 0: 默认中断模式 1: 向量中断模式 (控制寄存器位 INTVEN0 也必须为 1)
BORVS	Bit15-12	BOR 电压选择位 1111 4.3v 1110 4.0v 1101 3.7v 1100 3.6v 1011 3.3v 1010 3.1v

名称	芯片配置字 (CFG_WORD0)	
	1001	3.0v
	1000	2.8v
	0111	2.6v
	0110	2.5v
	0101	2.4v
	0100	2.3v
	其他值: 保留	

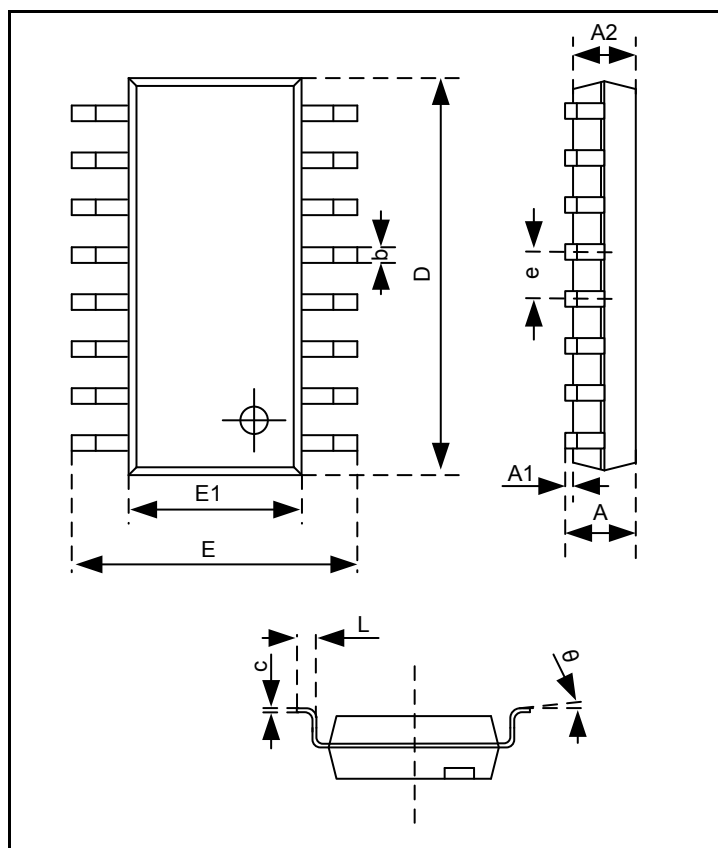
表 8-1 芯片配置字 CFG_WORD0

名称	芯片配置字 (CFG_WORD1)	
Reserved	bit0	保留为 0, 该位禁止写 1, 否则芯片功耗异常
DFLT_CLK	Bit1	唤醒后时钟选择位 0: 进入睡眠前系统时钟 1: LRC (32KHz) 时钟 (缺省值)
VR_LP2HP	Bit2	唤醒时 VR 从 LP 模式切换到 HP 模式时 flash 上电延时设定 0: LP 切换至 HP 时, flash 电源打开等待时间为 3 个 WDT 时钟 1: LP 切换至 HP 时, flash 电源打开等待时间为 15 个 WDT 时钟
Reserved	Bit3	保留
BORFLTSEL	Bit6-4	BOR 滤波时间长度选择位 (32KHz LRC 时钟个数) 3'b000: 7 (218.75us) 3'b001: 1 (31.25us) 3'b010: 2 (62.5us) ... 3'b110: 6 (187.5us) 3'b111: 7 (218.75us) (缺省值)
LVDIAPTEN	bit7	LVD 终止 IAP 编程或擦除使能位 0: 禁止 LVD 终止 IAP 编程或页擦 1: 使能 LVD 终止 IAP 编程或页擦

表 8-2 芯片配置字 CFG_WORD1

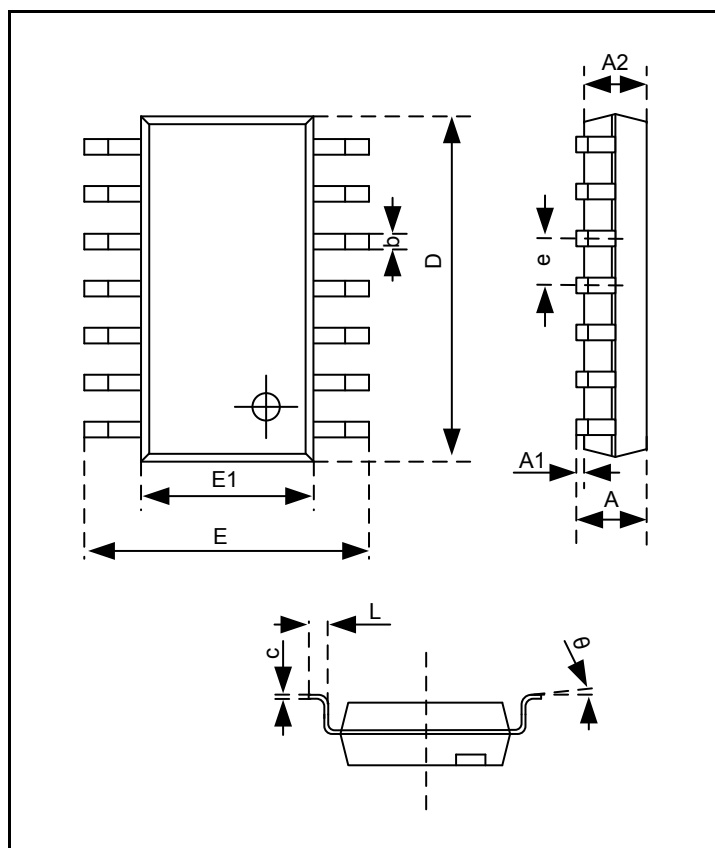
第9章 芯片封装图

9.1 SOP16 封装尺寸图



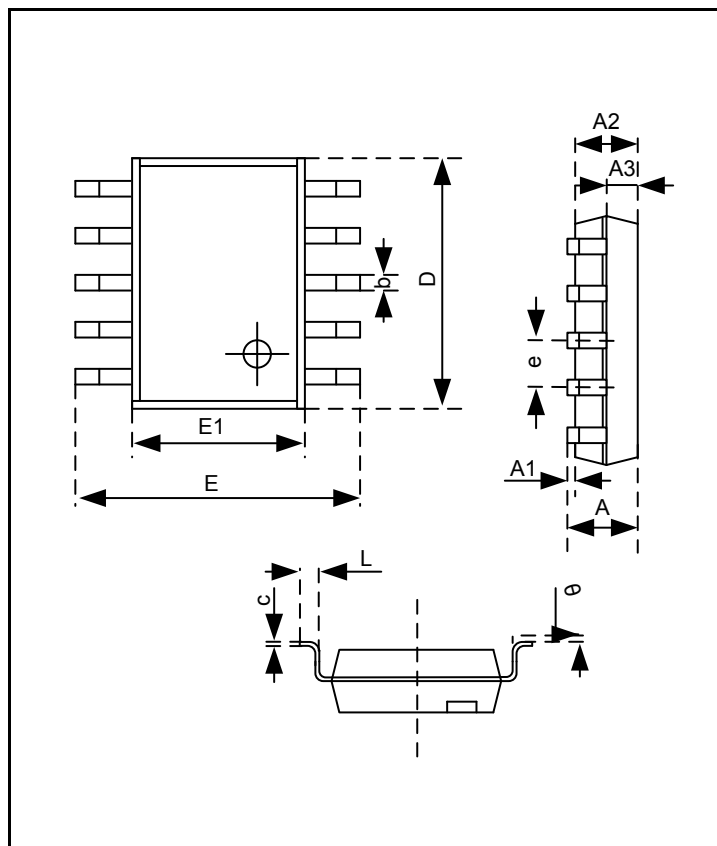
标号	公制 (mm)		
	MIN	NOM	MAX
A	—	—	1.75
A1	0.10	—	0.25
A2	1.25	1.40	1.65
b	0.33	—	0.51
c	0.17	—	0.25
D	9.80	9.90	10.20
E	5.80	6.00	6.20
E1	3.80	3.90	4.00
e	1.27BSC		
L	0.40	—	1.27
θ	0°	—	8°

9.2 SOP14 封装尺寸图



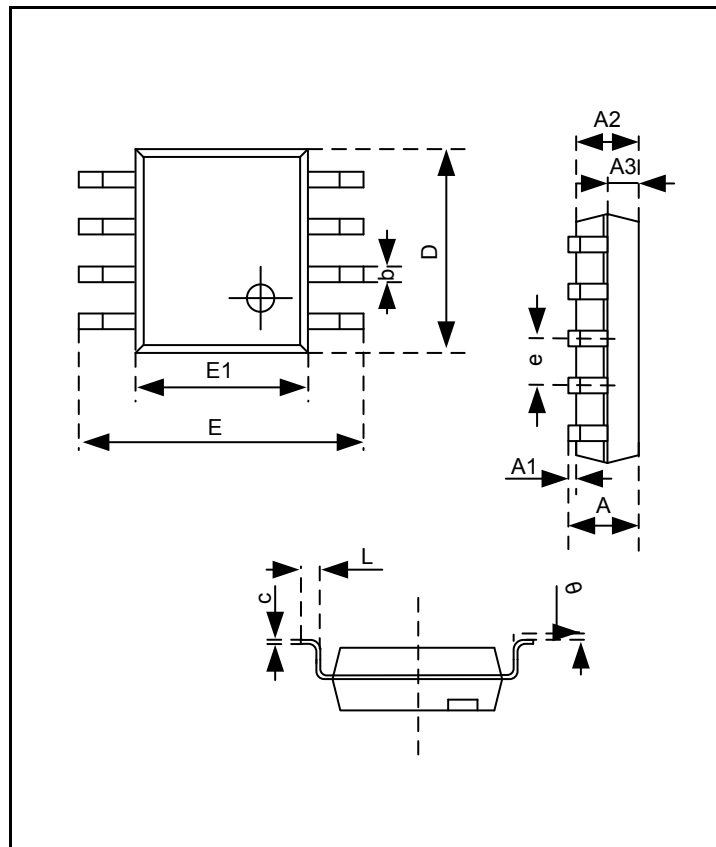
标号	公制 (mm)		
	MIN	NOM	MAX
A	—	—	1.75
A1	0.05	—	0.25
A2	1.18	1.40	1.58
b	0.31	—	0.51
c	0.10	—	0.25
D	8.45	8.65	8.85
E	5.80	6.00	6.20
E1	3.70	3.90	4.10
e	1.27BSC		
L	0.40	—	1.27
θ	0°	—	8°

9.3 SSOP10 封装尺寸图



标号	公制 (mm)		
	MIN	NOM	MAX
A	—	—	1.75
A1	0.10	—	0.25
A2	1.30	1.40	1.55
b	0.33	—	0.51
c	0.17	—	0.25
D	4.70	4.90	5.10
E	5.80	6.00	6.20
E1	3.80	3.90	4.00
e	1.00BSC		
L	0.25	—	1.27
θ	0°	—	8°

9.4 SOP8 封装尺寸图



标号	公制 (mm)		
	MIN	NOM	MAX
A	—	—	1.75
A1	0.05	—	0.25
A2	1.30	1.40	1.55
A3	0.60	0.65	0.70
b	0.33	—	0.51
c	0.17	—	0.25
D	4.70	4.90	5.10
E	5.80	6.00	6.20
E1	3.80	3.90	4.00
e	1.27BSC		
L	0.40	—	1.27
θ	0°	—	8°

附录1 指令集

附录1.1 概述

本芯片提供了 79 条精简指令。

汇编指令为了方便程序设计者使用，指令名称大多是由指令功能的英文缩写所组成的。这些指令所组成的程序经过编译器的编译与连接后，会被转换为相对应的指令码。转换后的指令码可以分为操作码（OP Code）与操作数（Operand）两个部分。操作码部分对应到指令本身。

芯片运行在 4MHz 振荡时钟时，一个机器周期的时间为 500ns。

按照指令执行的机器周期数可将指令分为双周期指令和单周期指令，其中 CALL、GOTO、JUMP、RET、RETIA、RETIE 为双周期指令；满足跳转条件时，JBC、JBS、JDEC、JINC 指令为双周期指令，否则为单周期指令；其它指令为单周期指令。

附录1.2 寄存器操作指令

序号	指令	影响状态位	机器周期	操作	
1	SECTION	I<7:0>	-	1	本芯片不支持该条指令
2	PAGE	I<8:0>	-	1	本芯片不支持该条指令
3	ISTEP	I<7:0>	-	1	IAA+i->IAA (-128≤i≤127)
4	MOVI	I<7:0>	-	1	I<7:0>->(A)
5	MOV	R<7:0>, F	Z, N	1	(R) ->(目标)
6	MOVA	R<7:0>	-	1	(A) ->(R)
7	MOVAR	R<10:0>	-	1	(A) ->({6'h00, R<6:0>})
8	MOVRA	R<10:0>	-	1	({6'h00, R<6:0>}) ->(A)

附录表 9-1 寄存器操作指令表

附录1.3 程序控制指令

序号	指令	影响状态位	机器周期	操作	
9	JUMP	I<7:0>	-	2	PC+1+i<7:0>->PC (-128≤i≤127)
10	AJMP	I<19:0>	-	2	I<10:0>->PC<10:0> I<10:8>->PCRH<2:0>
11	GOTO	I<10:0>	-	2	I<10:0>->PC<10:0>
12	CALL	I<10:0>	-	2	PC+1->TOS, I<10:0>->PC<10:0>
13	LCALL	I<19:0>	-	2	PC+1->TOS, I<10:0>->PC<10:0> I<10:8>->PCRH<2:0>
14	RCALL	R<7:0>	-	2	PC+1->TOS, (R) ->PC<7:0>,

序号	指令	影响状态位	机器周期	操作	
				PCRH<2:0>→PC<10:8>	
15	JBC	R<7:0>, B<2:0>	-	2	当 R = 0 时跳过下一条指令
16	JBS	R<7:0>, B<2:0>	-	2	当 R = 1 时跳过下一条指令
17	JCAIE	I<7:0>	-	2	当 (A) = I 时跳过下一条指令
18	JCAIG	I<7:0>	-	2	当 (A) > I 时跳过下一条指令
19	JCAIL	I<7:0>	-	2	当 (A) < I 时跳过下一条指令
20	JCRAE	R<7:0>	-	2	当 (R) = (A) 时跳过下一条指令
21	JCRAG	R<7:0>	-	2	当 (R) > (A) 时跳过下一条指令
22	JCRAL	R<7:0>	-	2	当 (R) < (A) 时跳过下一条指令
23	JCCRE	R<7:0>, B<2:0>	-	2	当 C = R (B) 时跳过下一条指令
24	JCCRG	R<7:0>, B<2:0>	-	2	当 C > R (B) 时跳过下一条指令
25	JCCRL	R<7:0>, B<2:0>	-	2	当 C < R (B) 时跳过下一条指令
26	JDEC	R<7:0>, F	-	2	(R-1) -> (目标寄存器), 当目标寄存器的值为 0 时则跳过下一条指令
27	JINC	R<7:0>, F	-	2	(R+1) -> (目标寄存器), 当目标寄存器的值为 0 时则跳过下一条指令
28	NOP	-	-	1	空操作
29	POP	-	-	1	AS->A, PSWS->PSW, PCRHS->PCRH
30	PUSH	-	-	1	A->AS, PSW->PSWS, PCRH->PCRHS
31	RET	-	-	2	TOS->PC
32	RETIA	I<7:0>	-	2	I-> (A), TOS->PC
33	RETIE	-	-	2	TOS->PC, 1->GIE
34	RST	-	全部状态位均被影响	1	软件复位指令
35	CWDT	-	N_TO, N_PD	1	00 _H ->WDT, 0->WDT Prescaler, 1-> N_TO, 1-> N_PD
36	IDLE	-	N_TO, N_PD	1	00 _H ->WDT, 0->WDT Prescaler, 1-> N_TO, 0-> N_PD

附录表 9-2 程序控制指令表

附录1.4 算术/逻辑运算指令

序号	指令		影响 状态位	机器周期	操作
37	ADD	R<7:0>, F	C, DC, Z, OV, N	1	(R) + (A) -> (目标)
38	ADDC	R<7:0>, F	C, DC, Z, OV, N	1	(R) + (A) +C-> (目标)
39	ADDCI	I<7:0>	C, DC, Z, OV, N	1	I+ (A) +C-> (A)
40	ADDI	I<7:0>	C, DC, Z, OV, N	1	I+ (A) -> (A)
41	AND	R<7:0>, F	Z, N	1	(A) .AND. (R) -> (目标)
42	ANDI	I<7:0>	Z, N	1	I.AND. (A) -> (A)
43	BCC	R<7:0>, B<2:0>	-	1	0->R
44	BSS	R<7:0>, B<2:0>	-	1	1->R
45	BTT	R<7:0>, B<2:0>	-	1	(~R) ->R
46	CLR	R<7:0>	Z	1	(R) =0
47	SETR	R<7:0>	-	1	FF _H -> (R)
48	NEG	R<7:0>	C, DC, Z, OV, N	1	~ (R) +1-> (R)
49	COM	R<7:0>, F	Z, N	1	(~R) -> (目标)
50	DAR	R<7:0>, F	C	1	对 (R) 十进制调整-> (目标)
51	DAA	-	C	1	对 (A) 十进制调整-> (A)
52	DEC	R<7:0>, F	C, DC, Z, OV, N	1	(R-1) -> (目标)
53	INC	R<7:0>, F	C, DC, Z, OV, N	1	(R+1) -> (目标)
54	IOR	R<7:0>, F	Z, N	1	(A) .OR. (R) -> (目标)
55	IORI	I<7:0>	Z, N	1	I.OR. (A) -> (A)
56	RLB	R<7:0>, F, B<2:0>	C, Z, N	1	C<< R<7:0> <<C
57	RLBNC	R<7:0>, F, B<2:0>	Z, N	1	R<7:0> << R<7>
58	RRB	R<7:0>, F, B<2:0>	C, Z, N	1	C>> R<7:0> >>C
59	RRBNC	R<7:0>, F, B<2:0>	Z, N	1	R<0> >> R<7:0>
60	SUB	R<7:0>, F	C, DC, Z, OV, N	1	(R) - (A) -> (目标)
61	SUBC	R<7:0>, F	C, DC, Z, OV, N	1	(R) - (A) - (~C) -> (目标)
62	SUBCI	I<7:0>	C, DC, Z, OV, N	1	I- (A) - (~C) -> (A)
63	SUBI	I<7:0>	C, DC, Z, OV,	1	I- (A) -> (A)

序号	指令		影响 状态位	机器周期	操作
			N		
64	SSUB	R<7:0>, F	C, DC, Z, OV, N	1	(A) - (R) -> (目标)
65	SSUBC	R<7:0>, F	C, DC, Z, OV, N	1	(A) - (R) - (~C) -> (目标)
66	SSUBCI	I<7:0>	C, DC, Z, OV, N	1	(A) -I- (~C) -> (A)
67	SSUBI	I<7:0>	C, DC, Z, OV, N	1	(A) -I-> (A)
68	SWAP	R<7:0>, F	-	1	R<3:0>-> (目标) <7:4>, R<7:4>-> (目标) <3:0>
69	TBR		-	2	Pmem (FRA) ->ROMD
70	TBR#1		-	2	Pmem (FRA) -> ROMD, FRA+1->FRA
71	TBR_1		-	2	Pmem (FRA) -> ROMD, FRA-1->FRA
72	TBR1#		-	2	FRA+1->FRA, Pmem (FRA) -> ROMD
73	TBW		-	2	本芯片不支持该条指令
74	TBW#1		-	2	本芯片不支持该条指令
75	TBW_1		-	2	本芯片不支持该条指令
76	TBW1#		-	2	本芯片不支持该条指令
77	XOR	R<7:0>, F	Z, N	1	(A) .XOR. (R) -> (目标)
78	XORI	I<7:0>	Z, N	1	I.XOR. (A) -> (A)

附录表 9-3 算术/逻辑运算指令表

指令集说明

注 1: i—立即数, F—标志位, A—寄存器 A, R—寄存器 R, B—寄存器 R 的第 B 位。

注 2: C—进位/借位, DC—半进位/半借位, Z—零标志位, OV—溢出标志位, N—负标志位。

注 3: TOS—顶级堆栈。

注 4: 如果 F = 0, 则目标寄存器为寄存器 A; 如果 F = 1, 则目标寄存器为寄存器 R。

注 5: 79 条指令中另有一条 NOP 指令未在上表中描述。

注 6: SECTION 指令中, I 的位数, 视实际芯片而定。对 ES7P1751 芯片, 通用数据存储器 GPR 就 1 个存储体组, 所以 N 的位数是 1 位, 固定为 0。

注 7: PAGE 指令中, I 的位数, 视实际芯片而定。对 ES7P1751 芯片, 没有 PCRU 寄存器, I 的位数是 1 位。

注 8: 部分指令中, PC 的位数以及 PCRU 寄存器, 视实际芯片而定。对 ES7P1751 芯片, PC 的位数是 10 位, 没有 PCRU 寄存器; 对 ES7P1751 芯片, PC 的位数是 11 位, 没有 PCRU 寄存器。

附录2 特殊功能寄存器总表

地址	名称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	上电复位值
FF80 _H	IAD	IAD<7:0>								0000 0000
FF81 _H	IAAL	IAA<7:0>								0000 0000
FF82 _H	IAAH	IAA<15:8>								0000 0000
FF83 _H	-	-	-	-	-	-	-	-	-	-
FF84 _H	PSW	-	UF	OF	N	OV	Z	DC	C	x00x xxxx
FF85 _H	AREG	A<7:0>								xxxx xxxx
FF86 _H	PCRL	PCRL<7:0>								0000 0000
FF87 _H	PCRH	-	-	-	-	-	PCRH<2:0>			0000 0000
FF88 _H	MULA/MULL	MULA<7:0> / MULL<7:0>								xxxx xxxx
FF89 _H	MULB/MULH	MULB<7:0> / MULH<7:0>								xxxx xxxx
FF8A _H	-	-	-	-	-	-	-	-	-	-
FF8B _H	FRAL	FRAL<7:0>								xxxx xxxx
FF8C _H	FRAH	FRAH<7:0>								xxxx xxxx
FF8D _H	ROMDL	ROMDL<7:0>								xxxx xxxx
FF8E _H	ROMDH	ROMDH<7:0>								xxxx xxxx
FF8F _H	-	-	-	-	-	-	-	-	-	-
FF90 _H	-	-	-	-	-	-	-	-	-	-
FF91 _H	INTG	GIE	PEIE	-	-	-	-	SOFTIF	INTVEN	0000 0000
FF92 _H	-	-								-
FF93 _H	INTC0	KMSK7	KMSK6	KMSK5	KMSK4	KMSK3	KMSK2	KMSK1	KMSK0	0000 0000
FF94 _H	INTE0	-	TEIE	T16G1IE	T8NIE	T8P2IE	T8P1IE	KIE	IAPIE	0000 0000
FF95 _H	INTF0	-	TEIF	T16G1IF	T8NIF	T8P2IF	T8P1IF	KIF	IAPIF	0000 0000
FF96 _H	INTC1	-	-	-	-	-	-	PEG1	PEG0	0000 0000
FF97 _H	INTE1	-	-	ACPIE	LVDIE	-	-	PIE1	PIE0	0000 0000

地址	名称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	上电复位值
FF98 _H	INTF1	-	-	ACPIF	LVDIF	-	-	PIF1	PIF0	0000 0000
FF99 _H	-	-	-	-	-	-	-	-	-	-
FF9A _H	-	-	-	-	-	-	-	-	-	-
FF9B _H	-	-	-	-	-	-	-	-	-	-
FF9C _H	-	-	-	-	-	-	-	-	-	-
FF9D _H	PWRC	SBOREN	SMRSTEN	—	IRSTB	TOB	PDB	PORB	BORB	1101 110x
FF9E _H	-	-	-	-	-	-	-	-	-	-
FF9F _H	PA	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0	xxxx xxxx
FFA0 _H	PB	-	-	PB5	PB4	PB3	PB2	PB1	PB0	xxxx xxxx
FFA1 _H	PAT	PAT7	PAT6	PAT5	PAT4	PAT3	PAT2	PAT1	PAT0	1111 1111
FFA2 _H	PBT	-	-	PBT5	PBT4	PBT3	PBT2	PBT1	PBT0	0011 1111
FFA3 _H	N_PAU	N_PAU <7:0>								1111 0111
FFA4 _H	N_PBU	-	-	N_PBU <5:0>						0011 1111
FFA5 _H	PAEL	PAEL <7:0>								0000 0000
FFA6 _H	PAEH	PAEH <7:0>								0000 0000
FFA7 _H	PBEL	-	-	PBEL <5:0>						0000 0000
FFA8 _H	PBEH	-	-	PBEH <5:0>						0000 0000
FFA9 _H	PASR	PASR <7:0>								0000 0000
FFAA _H	PBSR	-	-	PBSR <5:0>						0000 0000
FFAB _H	PASMT	PASMT <7:0>								0000 0000
FFAC _H	PBSMT	-	-	PBSMT <5:0>						0000 0000
FFAD _H	ANS0	ANS0 <7:0>								1111 0100
FFAE _H	ANS1	-	-	ANS1 <5:0>						0000 1111
FFAF _H	N_PAD	N_PAD <7:0>								1111 1111
FFB0 _H	N_PBD	-	-	N_PBD <5:0>						0011 1111
FFB1 _H	PSFT	-	-	-	-	-	-	-	-	0000 0000

地址	名称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	上电复位值
							PSFT<2:0>			
FFB2 _H	T8N	T8N<7:0>								0000 0000
FFB3 _H	T8NC	T8NEN	-	T8NM	T8NEG	T8NPRES	T8NPRS<2:0>			0000 0000
FFB4 _H	T8P1	T8P1<7:0>								0000 0000
FFB5 _H	T8P1C	T8P1M	T8P1POS<3:0>				T8P1E	T8P1PRS<1:0>		0000 0000
FFB6 _H	T8P1P	T8P1P<7:0>								1111 1111
FFB7 _H	T8P1RL	T8P1RL<7:0>								0000 0000
FFB8 _H	T8P1RH	T8P1RH<7:0>								0000 0000
FFB9 _H	T8P1OC	-	-	-	-	-	-	PWM11EN	PWM10EN	0000 0000
FFBA _H	EPWM1C	T8P1PMS	P1M1	-	PWM_CKS	-	-	EPWM1M<1:0>		0000 0000
FFBB _H	PDD1C	PRSEN1	PDD1C<6:0>							0000 0000
FFBC _H	TE1AS	EPWM1AS F	-	EPWM1AS1	EPWM1AS0	-	-	PSS1BD<1:0>		0000 0000
FFBD _H	T8P2	T8P2<7:0>								0000 0000
FFBE _H	T8P2C	T8P2M	T8P2POS<3:0>				T8P2E	T8P2PRS<1:0>		0000 0000
FFBF _H	T8P2P	T8P2P<7:0>								1111 1111
FFC0 _H	T8P2RL	T8P2RL<7:0>								0000 0000
FFC1 _H	T8P2RH	T8P2RH<7:0>								0000 0000
FFC2 _H	T8P2OC	-	-	-	-	-	-	PWM21EN	PWM20EN	0000 0000
FFC3 _H	EPWM2C	T8P2PMS	P1M2-	-	PWM_CKS	-	-	EPWM2M<1:0>		0000 0000
FFC4 _H	PDD2C	PRSEN2	PDD2C<6:0>							0000 0000
FFC5 _H	TE2AS	EPWM2AS F	-	EPWM2AS1	EPWM2AS0	-	-	PSS2BD<1:0>		0000 0000
FFC6 _H	T16G1L	T16G1L<7:0>								0000 0000
FFC7 _H	T16G1H	T16G1H<7:0>								0000 0000

地址	名称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	上电复位值
FFC8 _H	T16G1PL	T16G1PL<7:0>								1111 1111
FFC9 _H	T16G1PH	T16G1PH<7:0>								1111 1111
FFCA _H	T16G1RL	T16G1RL<7:0>								0000 0000
FFCB _H	T16G1RH	T16G1RH<7:0>								0000 0000
FFCC _H	T16G1CL	T16G1GIN V	T16G1GEN	T16G1PRS<1:0>		-	T16G1SYN	T16G1CS	T16GON	0000 0000
FFCD _H	T16G1CH	T16G1ZCDM<1:0>		T16G1ZCDP	T16G1REX	T16G1M<3:0>				00x0 0000
FFCE _H	T16GOC	T16G13IN V	T16G12INV	T16G11INV	T16G10INV	T16G13EN	T16G12EN	T16G11EN	T16G10EN	0000 0000
FFDB _H	ACPC	IB_CFG<1:0>		CNM<1:0>		ACPO	CINV	CM<1:0>		0100 1000
FFDC _H	-	-								-
FFDD _H	-	-	-	-	-	-	-	-	-	-
FFDE _H	-	-	-	-	-	-	-	-	-	-
FFDF _H	-	-	-	-	-	-	-	-	-	-
FFE0 _H	WDTC	-	-	-	SWDTEN	WDTIEN	WDTPRS<2:0>			0001 1111
FFE1 _H	WDTUL	WDTUL<7:0>								0000 0000
FFE2 _H	OSCC1	CHG	DIVS<2:0>			-	SST	-	SCKS	0000 0000
FFE3 _H	OSCC2	CLKOEN	-	HRCON	LRCON	-	-	HRCEN	HFS	0011 0000
FFE4 _H	OSCWP	OSCWP<7:0>								0000 0000
FFE5 _H	CLKG	-	-	-	ACPCE	T16G1CE	T8P2CE	T8P1CE	T8NCE	0001 1111
FFE6 _H	PWRCWP	PWRCWP<7:0>								0000 0000
FFE7 _H	LVDC	—	—	—	LVDFLTEN	LVDIFS<1:0>		LVDO	LVDEN	0000 0000
FFE8 _H	LVDCH	LVDVS<3:0>				-	-	-	-	0000 0000
FFE9 _H	IAPUL	IAPUL<7:0>								0000 0000
FFEA _H	IAPC	-	-	-	-	PRGTWT<1:0>		IAPCLR	TOEN	0000 0000
FFEB _H	IAPERSS	IAPERSS<7:0>								0000 0000

地址	名称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	上电复位值
FFEC _H	IAPPRGS	IAPPRGS<7:0>								0000 0000
FFED _H	IAPS	-	-	-	ERSS_ERR	PRGS_ERR	IAP_TIMEO UT	IAP_DONE	IAP_LVDIF	0000 0000
FFFE _H	USRCFG0	USRCFG0<7:0>								0001 1000
FFFF _H	USRCFG1	USRCFG1<7:0>								0010 0000

附录3 电气特性

附录3.1 参数特性表

◆ 最大标称值

参数	符号	条件	标称值	单位
电源电压	VDD	-	-0.3 ~ 7.5	V
输入电压	VIN	-	-0.3 ~ VDD + 0.3	V
输出电压	VOUT	-	-0.3 ~ VDD + 0.3	V
存储温度	TSTG	-	-55 ~ 125	°C
操作温度	TOPR	VDD: 2.3V ~ 5.5V	-40 ~ 85	°C

◆ 上电和下电工作条件

参数	符号	最小值	典型值	最大值	单位	测试条件
上电复位	V _{POR}	1.7	—		V	-40°C ~ 85°C 2.3V ≤ VDD ≤ 5.5V
VDD 上电初始电压	V _{start}	0	—	0.5	V	
VDD 上升速率	t _{VDD}	1000	—	—	us/V	
VDD 下降速率		20	—	—	us/V	

◆ ESD 特性参数

参数	符号	等级	最大值	单位	测试条件
ESD 电压 (人体模型)	V _{ESDHBM}	3A	4000	V	25°C, MIL-STD-883J
ESD 电压 (机器模型)	V _{ESDMM}	3	400	V	25°C, JESD22-A115
ESD 电压 (充电器件模型)	V _{ESDCDM}	C3	1000	V	25°C, JEDEC JS-002-2014
LatchUp 电流	I _{LAT}	I	±350	mA	25°C, JESD78

注：上述 ESD 特性参数值是基于理论设计值和被测样品的测试值，不是批量产品测试值，仅供芯片应用时参考。

◆ 芯片功耗特性参数表

参数	符号	最小值	典型值	最大值	单位	工作条件
正常运行程序时芯片供电电压	VDD	2.3		5.5	V	-40°C ~ 85°C
Flash 编程时芯片供电电压	VDD	2.8		5.5	V	-40°C ~ 85°C
芯片静态电流	IDD	-	90	-	μA	25°C, VDD = 5V, BOR 不使能, 内部时钟模式, 所有 I/O 端口输入低电平, MRSTN = 0, OSC1 = 0, OSC2 = 0。
IDLE 休眠模式下芯片电流	IPD1	-	6	-	μA	25°C, VDD = 5V, BOR、LVD 和 WDT 不使能。

参数	符号	最小值	典型值	最大值	单位	工作条件
		-	7	-	μA	25°C, VDD = 5V, BOR 和 WDT 使能, LVD 不使能。
		-	8	-	μA	25°C, VDD = 5V, BOR、WDT、LVD 使能。
正常运行模式 芯片电流 (高速 时钟模式)	I _{OP1}	-	1.6	-	mA	25°C, VDD = 5V, 正常运行模式, 内部 16MHz RC 时钟, I/O 端口输出固定电平, 无负载。
正常运行模式 芯片电流 (高速 时钟模式)	I _{OP2}	-	800	-	uA	25°C, VDD = 5V, 正常运行模式, 内部 2MHz RC 时钟 (内部 16MHz RC 时钟的 8 分频), I/O 端口输出固定电平, 无负载。
正常运行模式 芯片电流 (低速 时钟模式)	I _{OP3}	-	600	-	uA	25°C, VDD = 5V, 正常运行模式, 内部 32KHz RC 时钟, BOR 和 LVD 不使能, I/O 端口输出固定电平, 无负载, ACP 关闭。
VDD 管脚的 最大输入电流	I _{MAXVDD}	-	-	55	mA	25°C, VDD = 5V
VSS 管脚的 最大输出电流	I _{MAXVSS}	-	-	120	mA	25°C, VDD = 5V

◆ 芯片输入输出端口特性表

芯片工作温度范围: -40°C ~ 85°C						
参数	符号	最小值	典型值	最大值	单位	测试条件
IO 端口输入高电平 (有 施密特输入特性)	V _{IH}		2	VDD	V	2.3V ≤ VDD ≤ 5.5V
IO 端口输入低电平	V _{IL}	VSS	0.8		V	
IO 端口输出高电平	V _{OH}	VDD-0.7	-	-	V	2.3V ≤ VDD ≤ 5.5V I _{OH} = 16mA
IO 端口输出低电平	V _{OL}	-	-	0.6	V	2.3V ≤ VDD ≤ 5.5V I _{OL} = 9mA
IO 端口输入漏电流	I _{IL}	-	-	±1	uA	2.3V ≤ VDD ≤ 5.5V VSS ≤ V _{pin} ≤ VDD (端口处于高阻状态)
IO 端口输入弱下拉电流	I _{WPD}	-	82	-	μA	25°C, VDD = 5V V _{pin} = VDD
IO 端口输入弱上拉电流	I _{WPU}	-	90	-	μA	25°C, VDD = 5V V _{pin} = VSS
IO 端口灌电流	I _{OL}	-	10	-	mA	25°C, VDD = 5V

芯片工作温度范围: -40°C ~ 85°C						
						$V_{OL} = 0.6V$
IO 端口拉电流	I_{OH1}	-	6	-	μA	25°C, $V_{DD} = 5V$ $V_{OH} = 4.4V$
	I_{OH2}	-	12	-	μA	25°C, $V_{DD} = 5V$ $V_{OH} = 4.4V$
	I_{OH3}	-	16	-	μA	25°C, $V_{DD} = 5V$ $V_{OH} = 4.4V$
	I_{OH4}	-	20	-	μA	25°C, $V_{DD} = 5V$ $V_{OH} = 4.4V$

◆ 系统时钟要求表

参数	符号	最小值	典型值	最大值	单位	测试条件
系统时钟频率	F_{OSC}	-	2	-	MHz	$2.3V \leq V_{DD} \leq 5.5V$
		-	16	-	MHz	$2.3V \leq V_{DD} \leq 5.5V$
系统时钟周期	T_{OSC1}	-	500	-	ns	$2.3V \leq V_{DD} \leq 5.5V$
		-	62.5	-	ns	$2.3V \leq V_{DD} \leq 5.5V$
外部时钟高电平和低电平时间	T_{OSL}, T_{OSH}	15	-	-	ns	-
外部时钟上升和下降时间	T_{OSR}, T_{OSF}	-	-	15	ns	-
WDT 溢出时间	T_{WDT}	12.5 (41K)	16 (32K)	19.7 (26K)	ms	WDT 时钟源二分频 $V_{DD} = 5V$ -40°C ~ 85°C

注：此处参数为设计理论值；

◆ 内部 16MHz 时钟校准特性表

校准条件	工作条件	最小值	典型值	最大值	单位
5V, 25°C 将频率校准至 16MHz	25°C, $V_{DD} = 5V$	15.84	16	16.16	MHz
	-40°C ~ 85°C, $V_{DD} = 2.3V \sim 5.5V$	15.52	16	16.48	MHz

◆ 模拟比较器 ACP 交流特性表

特性	最小值	典型值	最大值	单位
输入失调电压	-	± 1.0	± 5	mV
输入共模电压	0	-	$V_{DD}-1.5$	V
响应时间	-	-	1.3	μs

注：此处参数为设计理论值；

◆ 模拟运放 OP 交流特性表

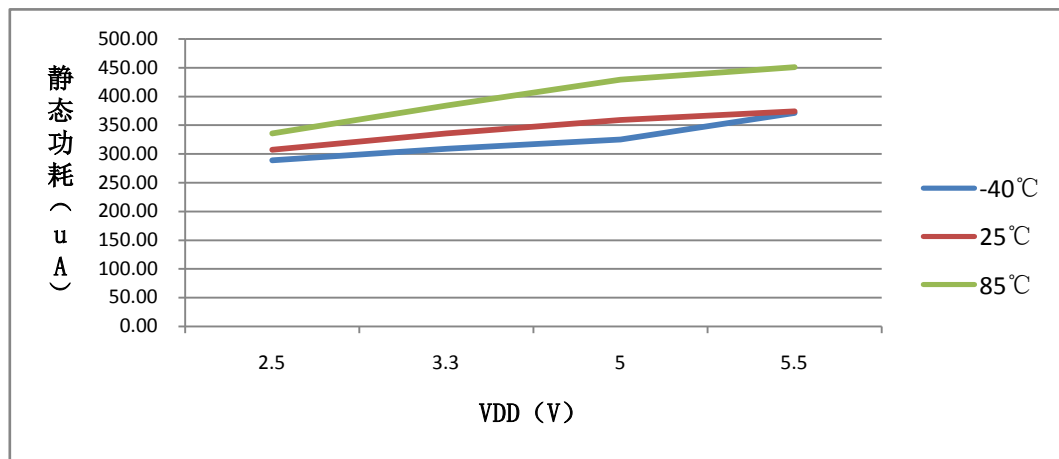
特性	最小值	典型值	最大值	单位
输入失调电压	-	±5	±10	mV
输入共模电压	0	-	VDD-1.5	V
直流增益	-	80	-	dB
单位增益带宽 (负载: 100nF)	-	300	-	kHz
输入噪声 (>10kHz)	-	100	-	nV / \sqrt{Hz}
Slew rate (负载: 100nF)	-	100	-	V/ms
PSRR@DC	-	70	-	dB

注：此处参数为设计理论值；

附录3.2 参数特性图

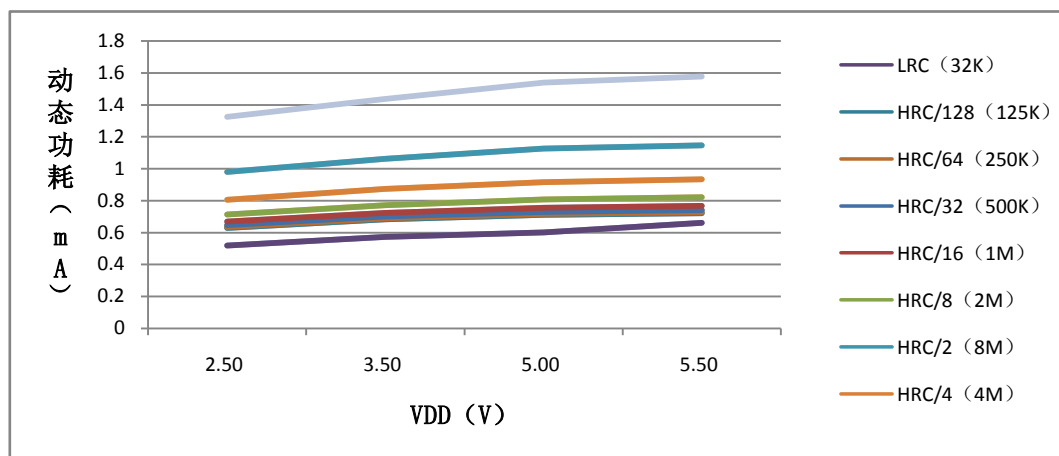
本节中所列图示未经过量产测试，仅作为设计参考之用。其中部分图示中所列的数据已超出指定的操作范围，此类信息也仅供参考，芯片只保证在指定的范围内正常工作。

◆ 芯片静态电流随芯片电压变化特性图



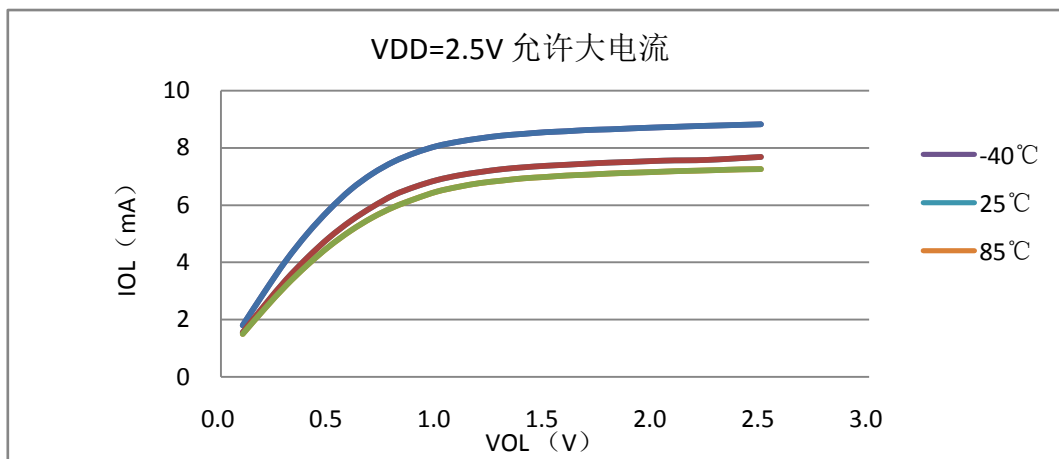
◆ 正常运行模式下芯片电流随时钟频率变化图

(Fosc 时钟源为内部 16MHz RC 时钟的不同分频，室温 25°C)

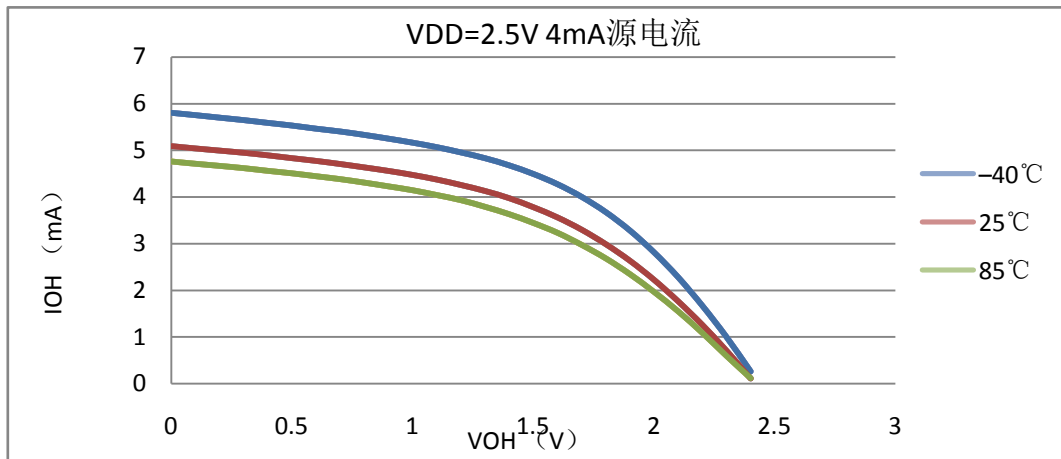


◆ I/O 端口信号输入特性图（允许大电流端口）

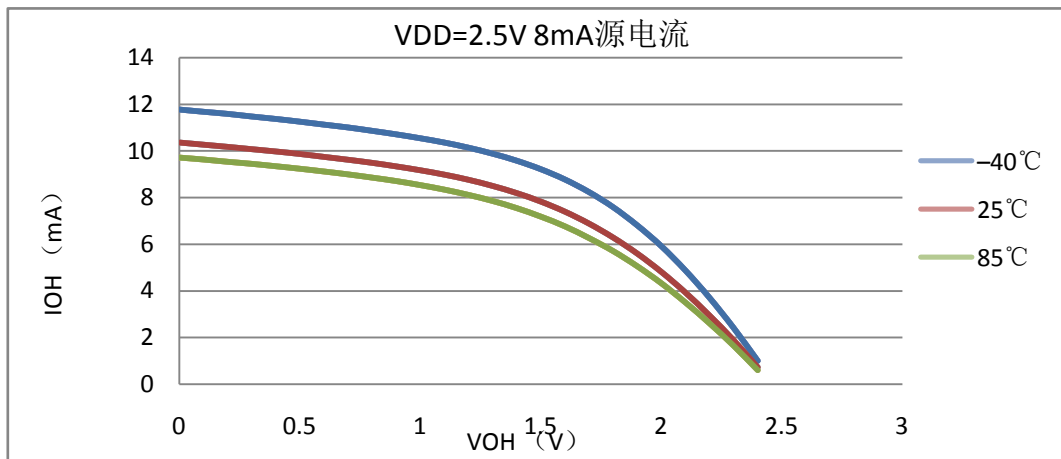
◇ : I_{OL} vs V_{OL} @VDD=2.5V



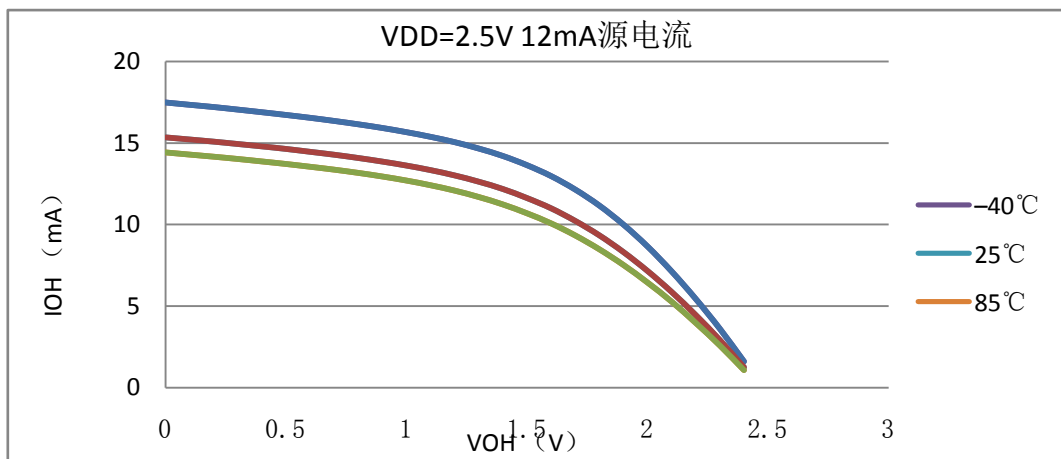
◇ : I_{OH} vs V_{OH} @VDD=2.5V (4mA 档)



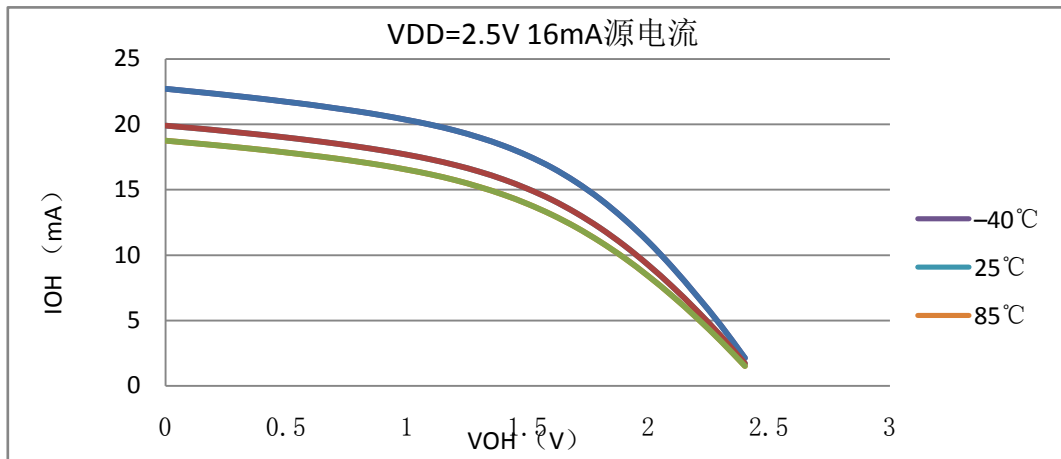
◇ : I_{OH} vs V_{OH} @VDD=2.5V (8mA 档)



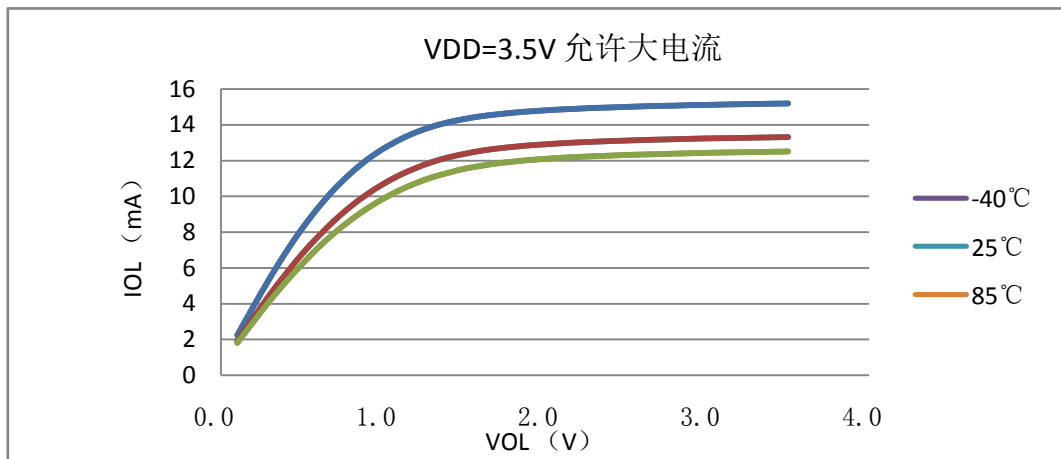
◇ : I_{OH} vs V_{OH} @VDD=2.5V (12mA 档)



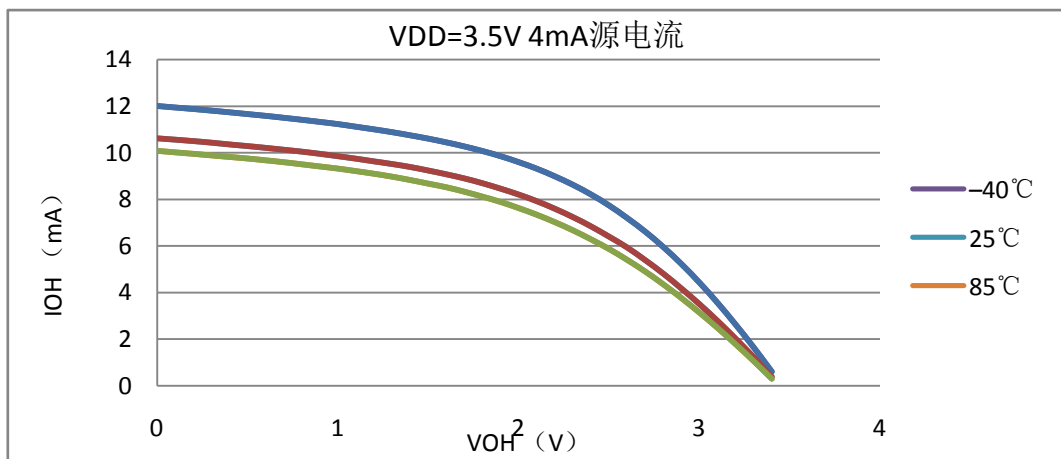
◇ I_{OH} vs V_{OH} @VDD=2.5V (16mA 档)



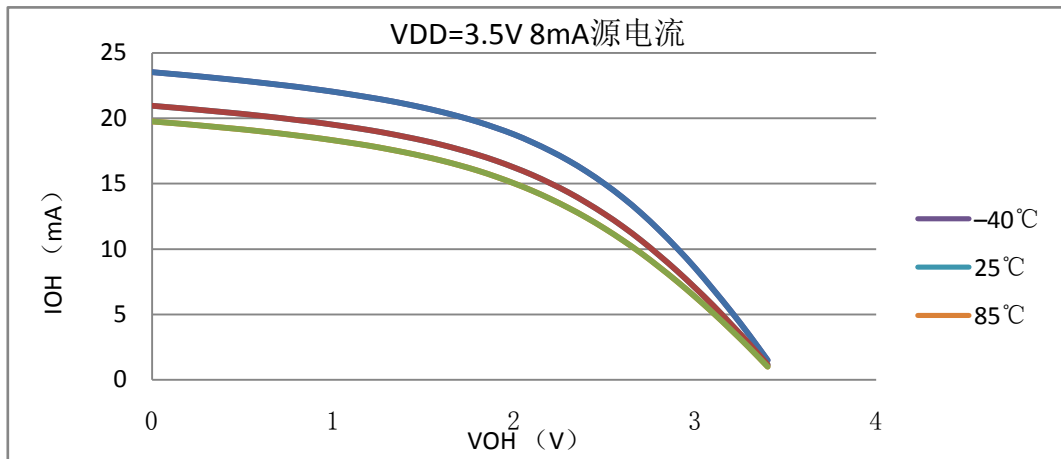
◇ I_{OL} vs V_{OL} @VDD=3.5V



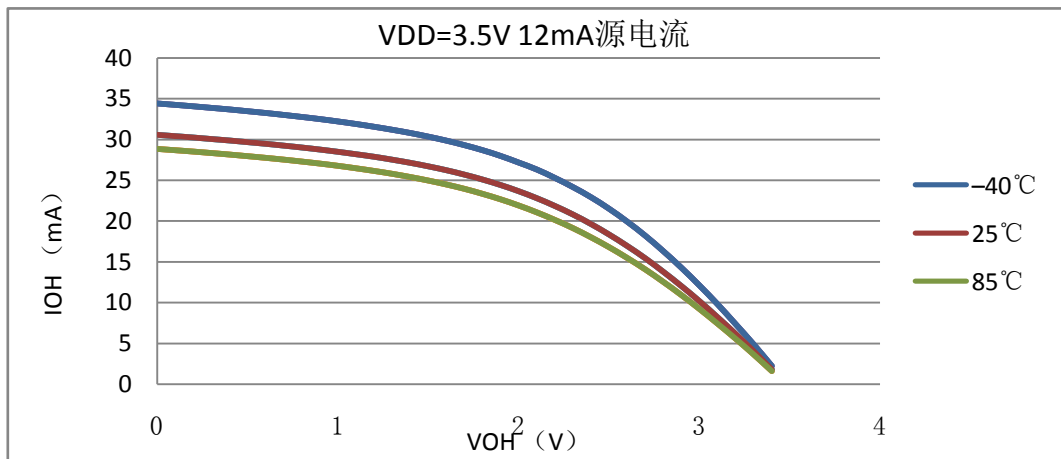
◇ I_{OH} vs V_{OH} @VDD=3.5V (4mA 档)



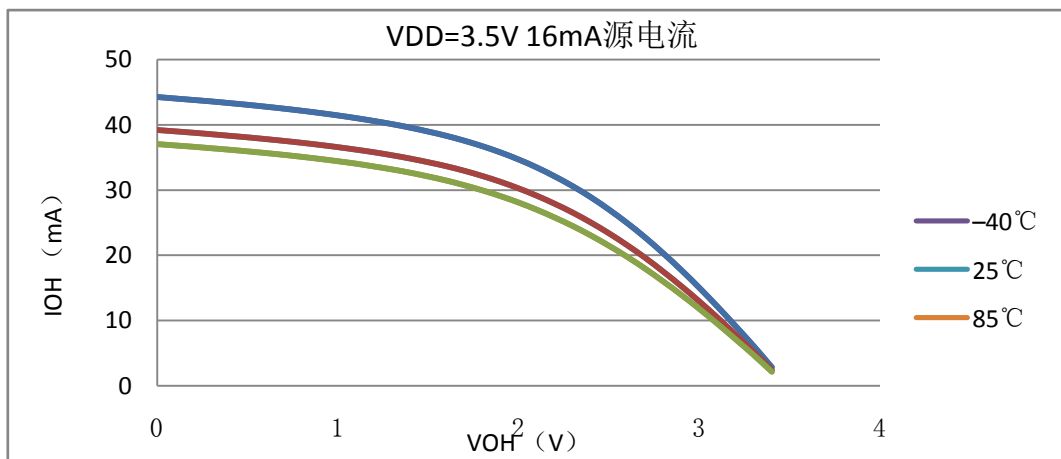
◇ : I_{OH} vs V_{OH} @VDD=3.5V (8mA 档)



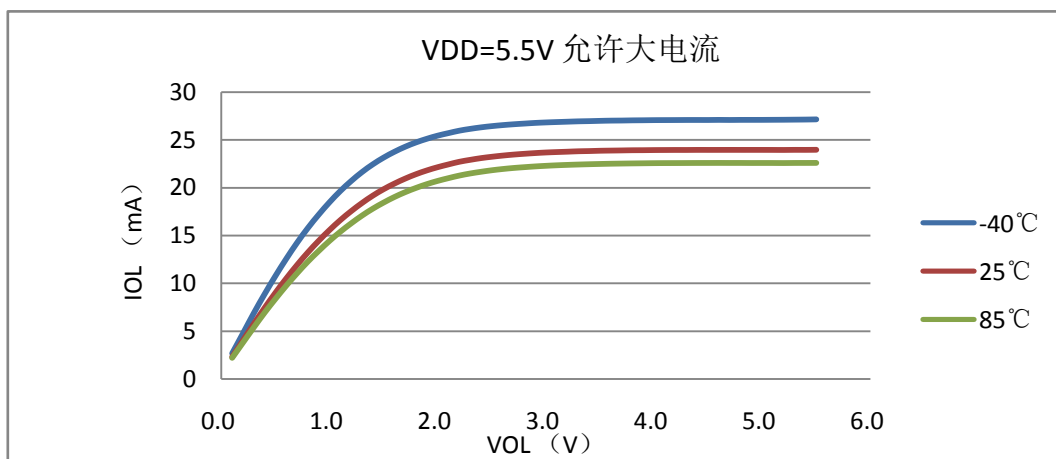
◇ I_{OH} vs V_{OH} @VDD=3.5V (12mA 档)



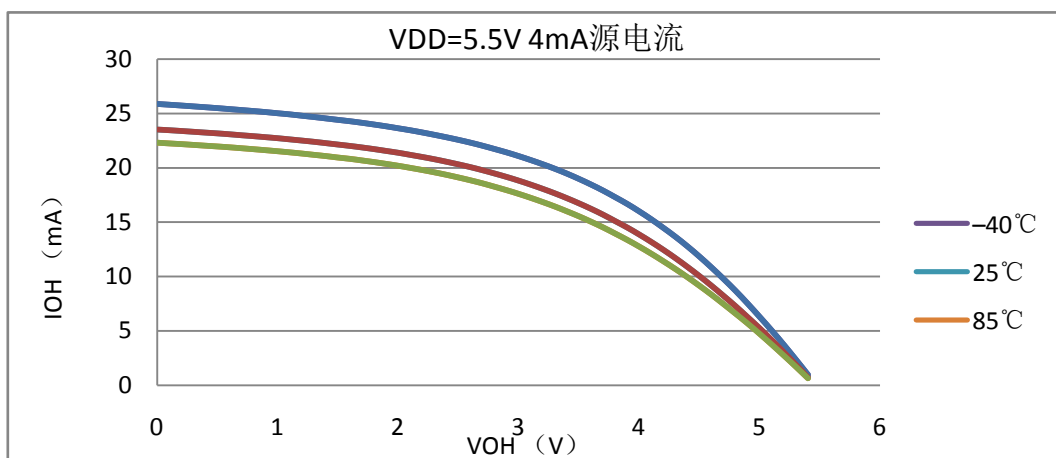
◇ I_{OH} vs V_{OH} @VDD=3.5V (16mA 档)



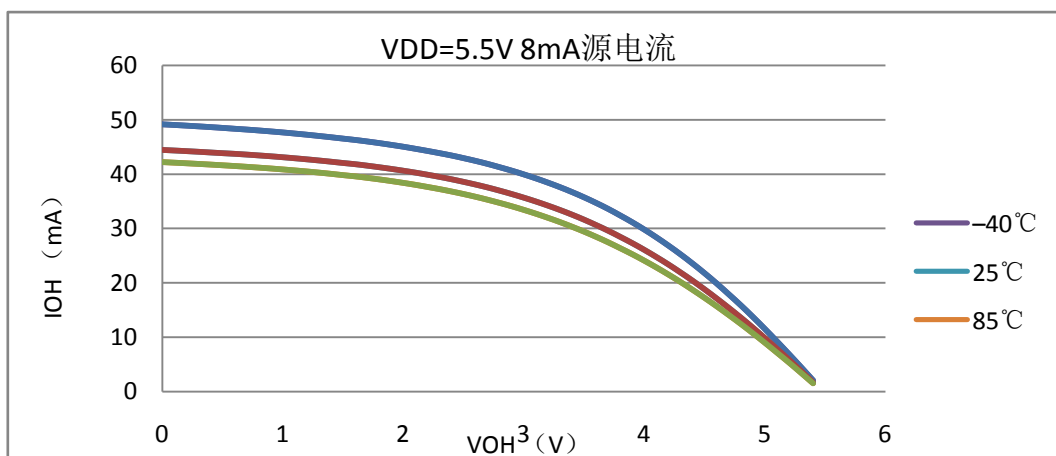
◇ : I_{OL} vs V_{OL} @VDD=5.5V



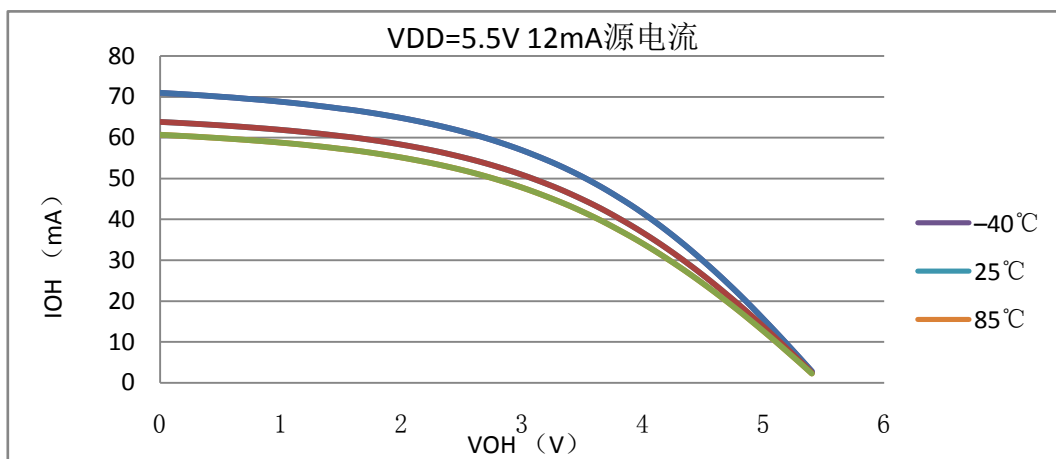
◇ : I_{OH} vs V_{OH} @VDD=5.5V (4mA 档)



◇ : I_{OH} vs V_{OH} @VDD=5.5V (8mA 档)



◇ I_{OH} vs V_{OH} @VDD=5.5V (12mA 档)



◇ I_{OH} vs V_{OH} @VDD=5.5V (16mA 档)

